

LOONGSON

龙芯 2H 处理器数据手册

V1.6

2015 年6 月

龙芯中科技术有限公司

自主决定命运, 创新成就未来

北京市海淀区温泉镇中关村环保科技示范园龙芯产业园2号楼 100095
Loongson Industrial Park, building 2, Zhongguancun environmental protection park
Haidian District, Beijing



www.loongson.cn

版权声明

本档版权归龙芯中科技术有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park, Zhongguancun Environmental Protection Park, 电话(Tel): 010-62546668

传真(Fax): 010-62600826

阅读指南

《龙芯 2H 处理器数据手册》主要介绍龙芯 2H 处理器接口结构，特性，电气规范，以及硬件设计指导。

修订历史

文档更新记录	文档名:	龙芯 2H 处理器数据手册	
	版本号:	V1.6	
	创建人:	研发中心	
	创建日期:	2012-12	
更新历史			
序号.	更新日期	版本号	更新内容
1	2012-11	V1.0	初稿, 第一次正式发布
2	2012-12	V1.1	修改了部分电源参数 修改了不使用引脚的处理原则
3	2013-11	V1.2	修正 SYS_CLKSEL1 描述错误 增加 GMAC、I2C、SPI 引脚的电气特性
4	2014-05	V1.3	修改手册扉页及龙芯公司地址
5	2014-07	V1.4	增加工业级和商业级说明
6	2015-2	V1.5	修正不用 ACPI 时的处理和不使用的电源地连接方法, 电源特性中增加功耗状态及优化, 表 2-1 增加不使用 NAND 启动的建议, 修正 PCIE_PRSENT 极性
7	2015-6	V1.6	增加不支持有源晶振的描述, 细化部分引脚说明, 修订不使用引脚的处理, 增加封装走线长度说明

手册信息反馈: service@loongson.cn

目 录

1 概述.....	1
1.1 芯片特性.....	2
1.1.1 处理器核.....	2
1.1.2 媒体处理器.....	2
1.1.3 GPU.....	2
1.1.4 显示控制器.....	3
1.1.5 DDRII 控制器.....	3
1.1.6 SATA 控制器.....	3
1.1.7 USB2.0 控制器.....	3
1.1.8 GMAC 控制器.....	4
1.1.9 LPC 控制器.....	4
1.1.10 HDA 控制器.....	4
1.1.11 NAND 控制器.....	4
1.1.12 SPI 控制器.....	4
1.1.13 UART.....	5
1.1.14 I2C 总线.....	5
1.1.15 PWM.....	6
1.1.16 HPET.....	6
1.1.17 RTC.....	6
1.1.18 Watchdog.....	6
1.1.19 中断控制器.....	6
1.1.20 ACPI 功耗管理.....	6
1.1.21 PCIE 接口.....	7
1.1.22 HyperTransport 接口.....	7
1.2 质量等级.....	7
1.3 文档约定.....	8
1.3.1 信号命名.....	8
1.3.2 信号类型.....	8
1.3.3 数值表示.....	8
1.3.4 寄存器域.....	8
2 引脚定义.....	1
2.1 DDR2/3 接口.....	1
2.2 HYPERTRANSPORT 接口.....	1
2.3 PCIE 接口.....	2
2.4 VGA 接口.....	2
2.5 DVO 接口.....	3

2.6	GMAC 接口	3
2.7	SATA 接口	3
2.8	USB 接口	4
2.9	HDA 接口	4
2.10	LPC 接口	4
2.11	SPI 接口	5
2.12	I ² C 接口	5
2.13	UART 接口	5
2.14	NAND 接口	5
2.15	GPIO 接口	5
2.16	电源管理接口	7
2.17	EJTAG 接口	7
2.18	时钟配置信号	8
2.19	电源地	8
2.20	初始化信号	10
3	功能描述	13
3.1	DDR2/3 SDRAM 控制器接口描述	13
3.1.1	DDR2/3 SDRAM 控制器特性	13
3.1.2	DDR2/3 SDRAM 读协议	14
3.1.3	DDR2/3 SDRAM 写协议	14
3.1.4	DDR2/3 SDRAM 参数设置顺序	15
3.2	HYPERTRANSPORT 总线接口描述	15
3.2.1	系统 HT 接口连接	15
3.3	LPC 接口模块	16
3.4	DVO 显示接口	16
4	初始化时序	18
4.1	上电顺序	18
4.2	复位时序	19
5	电气特性	20
5.1	电源	20
5.1.1	推荐工作条件	20
5.1.2	绝对最大额定值	21
5.1.3	功耗状态及优化	22
5.2	参考时钟	23
5.2.1	单端参考时钟	23
5.2.2	差分参考时钟	24
5.2.3	参考时钟输出	24
5.3	HYPERTRANSPORT 总线接口特性	24

5.3.1 HyperTransport 推荐直流工作条件.....	25
5.3.2 HyperTransport 推荐交流工作条件.....	25
5.3.3 传输时序特性.....	26
5.4 DDR2 总线内存接口特性.....	28
5.4.1 推荐的直流特性.....	28
5.4.2 推荐的交流特性.....	29
5.4.3 电气交流时序特性.....	29
5.5 PCIE 总线接口特性.....	32
5.5.1 PCIE 推荐交流工作条件.....	32
5.6 DVO 接口特性.....	32
5.6.1 DVO 直流特性.....	32
5.7 RGMII 接口特性.....	33
5.7.1 RGMII 接口直流特性.....	33
5.7.2 RGMII 接口时序.....	34
5.8 SATA 接口特性.....	34
5.8.1 SATA 发送端特性.....	34
5.8.2 SATA 接收端特性.....	35
5.9 USB 接口特性.....	35
5.10 HDA 接口特性.....	39
5.11 LPC 接口特性.....	39
5.12 SPIFLASH 接口特性.....	39
5.13 I2C 接口特性.....	40
6 热特性.....	41
6.1 热参数.....	41
6.2 焊接温度.....	41
7 引脚排列和封装.....	43
7.1 按引脚排列的封装引脚.....	43
7.2 FCBGA 引脚顶层排列.....	50
7.3 封装走线长度.....	53
8 封装机械尺寸.....	57
9 不使用引脚的处理.....	57

图目录

图 3.1 DDR2 SDRAM读协议	14
图 3.2 DDR2 SDRAM写协议	15
图5.1 HyperTransport 总线 TODIFF 时序	26
图5.2 HyperTransport 总线 TDIFF 时序	26
图5.3 HyperTransport 总线 TCADV 时序	26
图5.4 HyperTransport 总线 TSU 和 THD 时序	27
图5.5 HyperTransport 总线 TCADVRS / TCADVRH 时序	27
图5.6 差分的信号电平	29
图5.7 RGMII 接口时序	34
图5.8 HDA 接口时序	39
图5.9 I2C 接口时序	40
图 6.1 焊接回流曲线	42
图 7.1 顶层引脚排列（左侧）	50
图 7.2 顶层引脚排列（中间 1）	51
图 7.3 顶层引脚排列（中间 2）	52
图 7.4 顶层引脚排列（右侧）	53

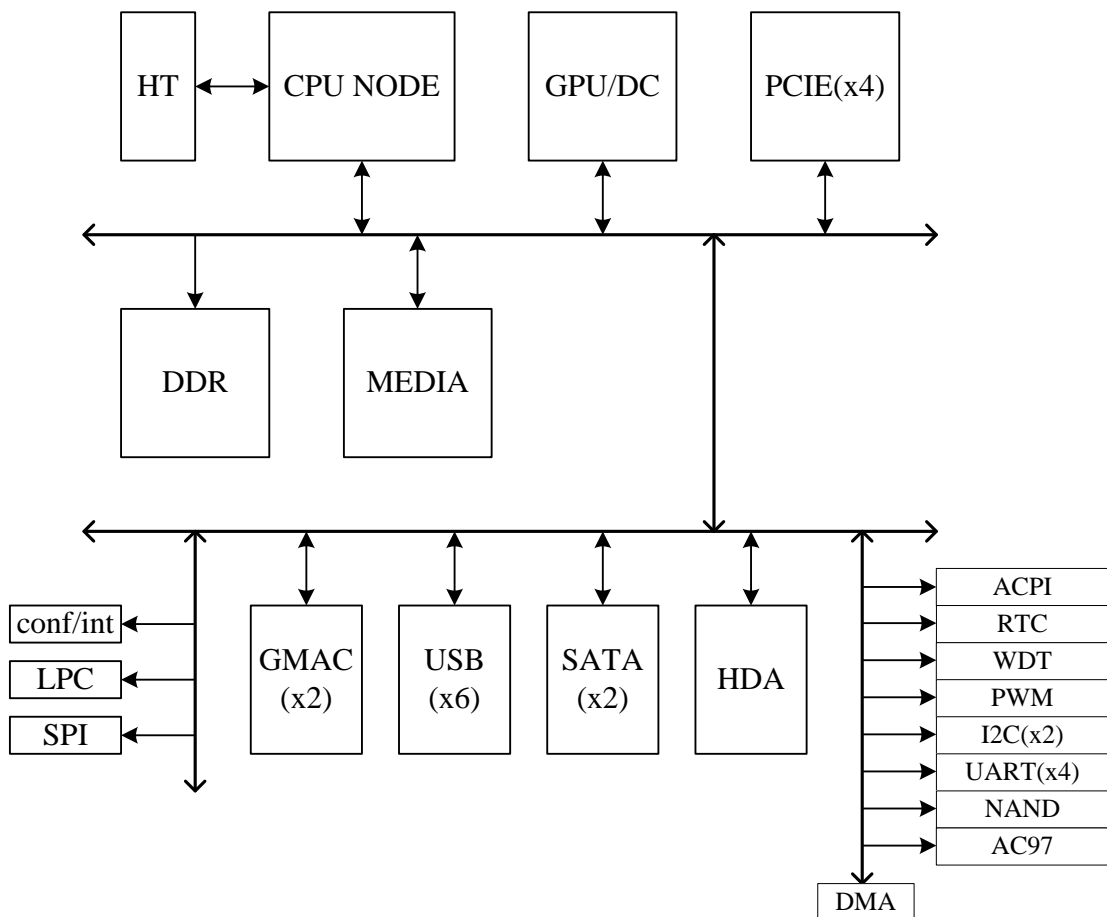
表目录

表 3-1 时钟信号 DDR2 SDRAM 行/列地址转换	13
表 5-1 推荐的工作电源电压	20
表 5-2 绝对最大额定值	21
表 5-3 芯片功耗模式	22
表 5-4 功耗优化项	22
表 5-3 HyperTransport 直流工作条件	25
表 5-4 HyperTransport 交流工作条件	25
表 5-5 HyperTransport 连接传输时序规范	27
表 5-6 推荐的直流工作条件(SSTL_1.8)	28
表 5-7 输入的直流逻辑电平	28
表 5-8 输出直流电流驱动	29
表 5-9 输入交流逻辑电平	29
表 5-10 差分的输入交流逻辑电平	29
表 5-11 差分的交流输出参数	29
表 5-12 不同密度的器件刷新参数	29
表 5-13 DDR2 内存标准速率分级	30
表 5-14 DDR2-667 和 DDR2-800 时序参数	30
表 5-15 PCIE 交流工作条件	32
表 6-1 龙芯 2H 的热特性参数和推荐的最大值	41
表 6-2 龙芯 2H 的热阻参数	41
表 6-3 回流焊接温度分类表	41
表 7-1 按引脚排列的封装引脚表	43
表 7-2 按引脚排列的封装引脚表 (续表)	44
表 7-3 按引脚排列的封装引脚表 (续表)	45
表 7-4 按引脚排列的封装引脚表 (续表)	46
表 7-5 按引脚排列的封装引脚表 (续表)	47
表 7-6 按引脚排列的封装引脚表 (续表)	48
表 7-7 按引脚排列的封装引脚表 (续表)	49
表 7-8 封装走线长度	53

1 概述

龙芯 2H 是面向安全适用计算机设计的高集成度系统芯片。片内集成定点处理器、浮点处理器、流媒体处理和图形图像处理功能，以及南桥、北桥等配套芯片组功能。

龙芯 2H 内部采用多级总线结构。处理器核、内存控制器、图形媒体模块、PCIE 和南桥使用交叉开关互连。南桥内为共享总线，连接 GMAC、USB、SATA、HDA、DMA 等 IO 设备。低速外设（I2C/UART 等）作为一个集合加在南桥总线上。



1-1图龙芯 2H 结构图

1.1 芯片特性

1.1.1 处理器核

- MIPS64 R2 体系结构兼容
- 包括 2 个全流水的 64 位双精度浮点乘加部件；
- 64KB 数据 Cache 和 64KB 的指令 Cache；
- 512K 二级 Cache；
- 通过目录协议维护多核及 I/O DMA 访问的 Cache 一致性；
- x86 虚拟机支持
- EJTAG 支持

1.1.2 媒体处理器

- 支持 AVS、H.264、VC-1 解码；
- 支持 1080p 高清

1.1.3 GPU

- 支持 OpenGL ES2.0, OpenGL ES 1.1
- 支持 OpenVG
- 通过 Futuremark 认证
- 动态电源管理
- 支持 BitBLT 和 Stretch BLT
- 矩形填充
- 硬件画线
- 单色字体渲染
- ROP2, ROP3, ROP4
- Alpha 混合
- 32Kx32K 坐标系统
- 90 度旋转
- 透明支持

- YUV 色域空间转换
- 高质量缩放

1.1.4 显示控制器

- 双显示输出 (CRT/DVO)
- 硬件光标
- 伽玛校正
- 输出抖动
- 最高像素时钟(CRT 200MHz, DVO165MHz 1080p)
- 支持线性显示缓冲
- 上电序列控制
- 低功耗管理
- VGA 电源管理

1.1.5 DDRII 控制器

- 64 位 DDRII/III 控制器, 工作频率 400MHz, ECC
- 可配置为 32 位模式

1.1.6 SATA控制器

- 2 个独立 SATA 端口, 支持 SATAII 硬盘, AHCI 兼容
- 支持 SATA 1.5Gbps 和 SATA2 代 3Gbps 的传输
- 兼容串行 ATA 2.6 规范和 AHCI 1.1 规范
- 低功耗设计

1.1.7 USB2.0控制器

- 6 个独立的 USB2.0 的 HOST 端口
- 其中 1 端口可配置为 OTG 模式
- 兼容 USB1.1 和 USB2.0
- 内部 EHCI 控制和实现高速传输可达 480 Mbps
- 内部 OHCI 控制和实现全速和低速传输

- 低功耗管理

1.1.8 GMAC控制器

- 两路 10/100/1000Mbps 自适应以太网 MAC
- 双网卡均兼容 IEEE 802.3
- 对外部 PHY 实现 RGMII 接口
- 半双工/全双工自适应
- Timestamp 功能
- 半双工时，支持碰撞检测与重发（CSMA/CD）协议
- 支持 CRC 校验码的自动生成与校验，支持前置符生成与删除
- 支持网络开机

1.1.9 LPC控制器

- 兼容 LPC Rev1.1 标准
- 支持系统启动

1.1.10 HDA制器控

- 支持 16, 18 和 20 位采样精度支持可变速率
- 最高达 192KHz
- 7.1 频道环绕立体声输出
- 三路音频输入

1.1.11 NAND控制器

- 最大支持 4GB NAND Flash
- 支持 MLC
- 支持系统启动
- 支持 512/2K/4K/8K 页

1.1.12 SPI 控制器

- 双缓冲接收器

- 极性和相位可编程的串行时钟
- 主模式支持
- 支持到 4 个的变长字节传输
- 支持系统启动
- 支持标准读、连续地址读、快速读、双路 I/O 等 SPI Flash 读模式

1.1.13 UART

- 1 个全功能 UART 和流控 TXD,RXD,CTS, RTS, DSR,DTR,DCD, RI
- 在寄存器与功能上兼容 NS16550A
- 两路全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统
- 可配置为 4 个两线串口(TXD,RXD)

1.1.14 I2C 总线

- 兼容 SMBUS (100Kbps)
- 与 PHILIPS I2C 标准相兼容
- 履行双向同步串行协议
- 只实现主设备操作
- 能够支持多主设备的总线
- 总线的时钟频率可编程
- 可以产生开始/停止/应答等操作
- 能够对总线的状态进行探测
- 支持低速和快速模式
- 支持 7 位寻址
- 支持时钟延伸和等待状态

1.1.15 PWM

- 32 位计数器
- 支持脉冲生成及捕获
- 4 路控制器

1.1.16 HPET

- 32 位计数器
- 支持 1 个周期性中断
- 支持 2 个非周期性中断

1.1.17 RTC

- 计时精确到 0.1 秒
- 可产生 3 个计时中断
- 支持定时开机功能

1.1.18 Watchdog

- 32 比特计数器及初始化寄存器

1.1.19 中断控制器

- 支持软件设置中断
- 支持电平与边沿触发
- 支持中断屏蔽与使能

1.1.20 ACPI功耗管理

- 处理器核动态频率电压调节
- 媒体处理器可关断
- 全芯片 Clock gating
- PHY 可关断
- USB/GMAC 可唤醒
- 来电可自动启动

1.1.21 PCIE接口

- 兼容 PCIE 2.0
- 外部连接支持 X4*1 或者 X1*4
- 支持作为 PCIE 桥片

1.1.22 HyperTransport接口

- 支持从模式，可作为 HT 桥片
- 兼容 HyperTransport 1.03
- 接口频率支持 200/400/800Mhz
- 接口宽度支持 8 位模式

1.2 质量等级

龙芯 2H 芯片有工业级和商业级两种，其主要特征如下：

配置	商业级	工业级
工作温度	0°C~70°C	-40°C~85°C
是否筛选	—	√
是否质量一致性试验	—	√
质量一致性试验标准	—	GB 4937-1995

龙芯 2H 芯片和多数半导体器件一样，其失效率符合浴盆曲线模型。龙芯 2H 工业级芯片为了保证能够更长期、稳定、可靠地工作，并且能够适应更苛刻的环境温度要求，对芯片进行了可靠性筛选，以剔除早期失效的芯片。这种可靠性筛选是 100%的试验，通过筛选的为符合工业级要求的芯片

龙芯 2H 筛选试验主要内容如下：

筛选项目	方法和条件（概要）	要求
1、目检	标识清晰，无沾污，焊球无氧化，芯片完好	100%
2、稳定性烘培	125°C，24h	100%
3、温度快速变化	最高和最低储存温度下，10次循环	100%
4、编序列号		100%
5、中间（老炼前）电测试	常温	100%
6、老炼	T _c =85°C，160h	100%
7、中间（老炼后）电测试	常温	100%
8、允许不合格品率（PDA）计算	PDA≤5%，常温，当5%<PDA≤10%时，可重新提交老炼，但只允许一次	所有批

9、终点电测试	三温，记录所有测试数据	100%
10、外部目检	标识清晰，无污渍，焊球无氧化，芯片完好	100%

1.3 文档约定

1.3.1 信号命名

信号名的选取以方便记忆和明确标识功能为原则。低有效信号以 n 结尾，高有效信号则不带 n。如无特别说明，以 ACPI/GMAC/USB 开头的信号位于 RSM 域；以 RTC 开头的信号位于 RTC 域；其它信号位于 SOC 域。

1.3.2 信号类型

代码	描述
A	模拟
DIFF I/O	双向差分
DIFF IN	差分输入
DIFF OUT	差分输出
I	输入
I/O	双向
O	输出
OD	开漏输出
P	电源
G	地

1.3.3 数值表示

16 进制数表示为'hxxx，2 进制数表示为'bxx，其它数字为 10 进制。

功能相同但标号有别的引脚（如 DDR_DQ0, DDR_DQ1, ...）使用方括号加数字范围的形式简写（如 DDR_DQ[63:0]）。类似地，寄存器域也采用这种表示方式。

1.3.4 寄存器域

寄存器域以[寄存器名].[域名]的形式加以引用。如 chip_config0. uart_split 指芯片配置寄存器 0（chip_config0）的 uart_split 域。

2 引脚定义

2.1 DDR2/3 接口

信号名称	类型	描述	电压
DDR_DQ[63:0]	I/O	DDR2/3 SDRAM 数据总线信号	DDR_VDDQ
DDR_CB[7:0]	I/O	DDR2/3 SDRAM 数据总线ECC信号	DDR_VDDQ
DDR_DQSp[8:0] DDR_DQSn[8:0]	DIFF I/O	DDR2/3 SDRAM 包括) 数据选通ECC (DDR_VDDQ
DDR_DQM[8:0]	O	DDR2/3 SDRAM 包括) 数据屏蔽ECC (DDR_VDDQ
DDR_A[14:0]	O	DDR2/3 SDRAM 地址总线信号	DDR_VDDQ
DDR_BA[2:0]	O	DDR2/3 SDRAM 逻辑Bank地址信号	DDR_VDDQ
DDR_WEn	O	DDR2/3 SDRAM 写使能信号	DDR_VDDQ
DDR_CASn	O	DDR2/3 SDRAM 列地址选择信号	DDR_VDDQ
DDR_RASn	O	DDR2/3 SDRAM 行地址选择信号	DDR_VDDQ
DDR_CS[3:0]	O	DDR2/3 SDRAM 片选信号	DDR_VDDQ
DDR_CKE[3:0]	O	DDR2/3 SDRAM 时钟使能信号	DDR_VDDQ
DDR_CKp[5:0] DDR_CKn[5:0]	DIFF OUT	DDR2/3 SDRAM 差分时钟输出信号 {1,3,5}为一组DIMM, 时钟{0,2,4}为另一组DIMM 时钟	DDR_VDDQ
DDR_ODT[3:0]	O	DDR2/3 SDRAM ODT信号	DDR_VDDQ
DDR_RESETh	O	DDR2/3 SDRAM 复位控制信号	DDR_VDDQ
ACPI_CKE[3:0]	O	DDR2/3 SDRAM 时钟使能信号(RSM 域)	RSM3V3

2.2 HyperTransport 接口

信号名称	类型	描述	电压
HTCLKp HTCLKn	DIFF OUT	HT总线参考时钟(200MHz)	HT_1V8
HT_POWEROK	I/O	HT总线PowerOK信号	HT_1V8
HT_RSTn	I/O	HT总线Reseth信号	HT_1V8
HT_LDT_STOPn	I/O	HT总线Ldt_Stopn信号	HT_1V8
HT_LDT_REQn	I/O	HT总线Ldt_Reqn信号	HT_1V8
HT_TX_CADp[7:0] HT_TX_CADn[7:0]	DIFF OUT	HT总线发送数据命令总线	HT_1V8
HT_TX_CTLp[0] HT_TX_CTLn[0]	DIFF OUT	HT总线发送控制信号	HT_1V8

HT_TX_CLKp[0] HT_TX_CLKn[0]	DIFF OUT	HT总线发送时钟总线	HT_1V8
HT_RX_CADp[7:0] HT_RX_CADn[7:0]	DIFF IN	HT总线接收数据命令总线	HT_1V8
HT_RX_CTLp[0] HT_RX_CTLn[0]	DIFF IN	HT总线接收控制信号	HT_1V8
HT_RX_CLKp[0] HT_RX_CLKn[0]	DIFF IN	HT总线接收时钟信号	HT_1V8

2.3 PCIE 接口

信号名称	类型	描述	电压
PCIE_XTAL[2:1]	DIFF IN	PCIE 参考时钟输入，无 p/n 之分	PCIE_1V2
PCIE[3:0]_CLKp PCIE[3:0]_CLKn	DIFF OUT	PCIE 参考时钟输出	HT_1V8
PCIE_REFRES	A	外部参考电阻，通过 487ohm(+/-1%)电阻连至 PLL_PCIE_DVDD 电源	PCIE_1V2
PCIE[3:0]_TXp PCIE[3:0]_TXn	DIFF OUT	PCIE 差分数据输出	PCIE_1V2
PCIE[3:0]_RXp PCIE[3:0]_RXn	DIFF IN	PCIE 差分数据输入	PCIE_1V2
PCIE[3:0]_PRSNT	I	PCIE 插卡检测，低电平为插入状态	VDDE3V3
PCIE_RSTn	O	PCIE 复位	VDDE3V3

2.4 VGA 接口

信号名称	类型	描述	电压
VGA_ROUT	A	VGA 红色通道输出	VGA_A2V5
VGA_GOUT	A	VGA 绿色通道输出	VGA_A2V5
VGA_BOUT	A	VGA 蓝色通道输出	VGA_A2V5
VGA_IDUMP	G	模拟地	VGA_A2V5
VGA_REXTP VGA_REXTN	A	外部参考电阻 4.12k: 满幅电流 18.7mA 7.81k: 满幅电流 10mA	VGA_A2V5
VGA_HSYNC	O	VGA 水平同步	VDDE3V3
VGA_VSYNC	O	VGA 垂直同步	VDDE3V3

2.5 DVO 接口

信号名称	类型	描述	电压
DVO_CLKp	O	DVO 时钟输出, 正沿 (单端全摆幅信号)	VDDE3V3
DVO_CLKn	O	DVO 时钟输出, 负沿 (单端全摆幅信号)	VDDE3V3
DVO_HSYNC	O	DVO 水平同步	VDDE3V3
DVO_VSYNC	O	DVO 垂直同步	VDDE3V3
DVO_DE	O	DVO 数据有效	VDDE3V3
DVO_D[23:0]	O	DVO 显示数据	VDDE3V3

2.6 GMAC 接口

信号名称	类型	描述	电压
GMAC[1:0]_TXCK	O	RGMI 发送时钟	RSM2V5
GMAC[1:0]_TCTL	O	RGMI 发送控制	RSM2V5
GMAC[1:0]_TXD[3:0]	O	RGMI 发送数据	RSM2V5
GMAC[1:0]_RXCK	I	RGMI 接收时钟	RSM2V5
GMAC[1:0]_RCTL	I	RGMI 接收控制	RSM2V5
GMAC[1:0]_RXD[3:0]	I	RGMI 接收数据	RSM2V5
GMAC[1:0]_MDCK	O	SMA 接口时钟	RSM2V5
GMAC[1:0]_MDIO	I/O	SMA 接口数据	RSM2V5

2.7 SATA 接口

信号名称	类型	描述	电压
SATA_XTAL[2:1]	I/O	参考时钟晶体, 不支持有源晶振	SATA_1V2
SATA_REFRES	A	外部参考电阻, 通过 487ohm(+/-1%)电阻连至 PLL_SATA_DVDD 电源	SATA_1V2
SATA[1:0]_TXp SATA[1:0]_TXn	DIFF OUT	SATA 差分数据输出	SATA_1V2
SATA[1:0]_RXp SATA[1:0]_RXn	DIFF IN	SATA 差分数据输入	SATA_1V2
SATA[1:0]_LEDn	OD	SATA 工作状态, 低表示有数据传输	VDDE3V3

2.8 USB 接口

信号名称	类型	描述	电压
USB_XI[1:0] USB_XO[1:0]	I/O	参考时钟晶体，不支持有源晶振	USB_A2V5
USB_TXRTUNE[1:0]	A	参考电阻，分别经43.2ohm(+/-1%)电阻连接到地	USB_A2V5
USB[5:0]_DP	I/O	USB D+	USB_A2V5
USB[5:0]_DM	I/O	USB D-	USB_A2V5
USB0_ID	I	USB0 OTG ID 输入，下拉为 Host，悬空为 Device	USB_A2V5
USB0_VBUS	A	USB0 OTG VBUS 输入	USB_A2V5
USB[5:0]_OC	I	USB 过流检测，高有效 在 OTG 模式下，USB0_OC 复用为 DRVVBUS 输出，高电平表示要给 VBUS 供电	RSM3V3

2.9 HDA 接口

信号名称	类型	描述	电压
AC97_BITCLK	I/O	AC97 BITCLK 输入 HDA BITCLK 输出	VDDE3V3
AC97_SDATAI	I	AC97/HDA 数据输入	VDDE3V3
AC97_SDATAO	O	AC97/HDA 数据输出	VDDE3V3
AC97_SYNC	O	AC97/HDA 同步	VDDE3V3
AC97_RESET	O	AC97/HDA 复位	VDDE3V3

2.10 LPC 接口

信号名称	类型	描述	电压
LPC_CLKIN	I	LPC 时钟输入	VDDE3V3
LPC_CLK[1:0]	O	相位相同的两路 33MHz 时钟输出	VDDE3V3
LPC_RESETh	O	LPC 复位输出，需外部下拉 当 LPC 为主模式时芯片复位结束后自动上拉 当 LPC 为从模式时芯片复位结束后仍保持为低，需由软件解除（写 chip_config0.lpc_rst）	VDDE3V3
LPC_FRAMEh	I/O	LPC FRAME 控制信号 主控：输出 ROM：输入	VDDE3V3
LPC_AD[3:0]	I/O	LPC 总线数据	VDDE3V3
LPC_SIRQ	I/O	LPC 中断线	VDDE3V3

2.11 SPI 接口

信号名称	类型	描述	电压
SPI_SCK	O	SPI 时钟输出	VDDE3V3
SPI_CS _n	O	SPI 片选 0	VDDE3V3
SPI_SDO	O	SPI 数据输出	VDDE3V3
SPI_SDI	I	SPI 数据输入	VDDE3V3

2.12 I²C 接口

信号名称	类型	描述	电压
IIC[1:0]_SCL	O	I ² C 串行时钟	VDDE3V3
IIC[1:0]_SDA	I/O	I ² C 串行数据	VDDE3V3

2.13 UART 接口

信号名称	类型	描述	电压
UART0_TXD	O	UART0 数据发送	VDDE3V3
UART0_RXD	I	UART0 数据接收	VDDE3V3

2.14 NAND 接口

信号名称	类型	描述	电压
NAND_CLE	O	NAND 命令锁存	VDDE3V3
NAND_ALE	O	NAND 地址锁存	VDDE3V3
NAND_RD	O	NAND 读信号	VDDE3V3
NAND_WR	O	NAND 写信号	VDDE3V3
NAND_CE	O	NAND 片选 0	VDDE3V3
NAND_RDY	I	NAND 准备好 0	VDDE3V3
NAND_D[7:0]	I/O	NAND 地址/数据线	VDDE3V3

2.15 GPIO 接口

GPIO接口共 16 个信号，在复位后为GPIO输入状态，输出高阻。GPIO接口的输出阻抗为 50ohm。

信号名称	类型	描述	电压
GPIO00	I/O	通用输入输出	VDDE3V3
HDA_SDATA11	I	HDA 数据输入，连接第二个 codec	

GPIO01 HDA_SDATAI2	I/O I	通用输入输出 HDA 数据输入，连接第三个 codec	VDDE3V3
GPIO02 UART0_RTS	I/O O	通用输入输出 8 线全功能串口信号，更多复用见下表	VDDE3V3
GPIO03 UART0_DTR	I/O O	通用输入输出 8 线全功能串口信号	VDDE3V3
GPIO04 UART0_RI	I/O I/O	通用输入输出 8 线全功能串口信号	VDDE3V3
GPIO05 UART0_CTS	I/O I	通用输入输出 8 线全功能串口信号	VDDE3V3
GPIO06 UART0_DSR	I/O I	通用输入输出 8 线全功能串口信号	VDDE3V3
GPIO07 UART0_DCD	I/O I	通用输入输出 8 线全功能串口信号	VDDE3V3
GPIO08 SPI_CS _{n1}	I/O O	通用输入输出 SPI 片选 1	VDDE3V3
GPIO09 SPI_CS _{n2}	I/O O	通用输入输出 SPI 片选 2	VDDE3V3
GPIO10 NAND_CE1	I/O O	通用输入输出 NAND 片选 1	VDDE3V3
GPIO11 NAND_RDY1	I/O I	通用输入输出 NAND 准备好 1	VDDE3V3
GPIO12 PWM0	I/O O	通用输入输出 PWM0 输出	VDDE3V3
GPIO13 PWM1	I/O O	通用输入输出 PWM1 输出	VDDE3V3
GPIO14 PWM2	I/O I/O	通用输入输出 PWM2 输入/输出	VDDE3V3
GPIO15 PWM3	I/O I/O	通用输入输出 PWM3 输入/输出	VDDE3V3

uart_split	TXD	RTS	DTR	RI	RXD	CTS	DSR	DCD
00	TXD0	RTS0	DTR0	RI0	RXD0	CTS0	DSR0	DCD0
01	TXD0	RTS0	TXD1	RTS1	RXD0	CTS0	RXD1	CTS1
10	TXD0	RTS0	TXD1	TXD2	RXD0	CTS0	RXD1	RXD2
11	TXD0	TXD1	TXD2	TXD3	RXD0	RXD1	RXD2	RXD3

2.16 电源管理接口

信号名称	类型	描述	电压
ACPI_SYSRSTn	I	系统复位	RSM3V3
ACPI_RSMRSTn	I	RSM 域复位(RTC 电压域) 要求在 RSM 域电源稳定 1ms 后拉高, 在 RSM 域电源降至 95% 及以下时立即拉低。	RTC2V5
ACPI_RTCRSTn	I	RTC 域复位(RTC 电压域) 建议在 RTC 电源稳定 10ms 后再解除复位。	RTC2V5
ACPI_RINGn	I	振铃唤醒	RSM3V3
ACPI_WAKEn	I	PCIE 唤醒	RSM3V3
ACPI_LID	I	屏盖状态	RSM3V3
ACPI_PWRTYPE	I	供电类型指示信号 0: 电池 1: 交流电源 供电类型切换时可产生内部中断	RSM3V3
ACPI_BATLOWn	I	主电池电量低 为低时不论是否使用电池供电, 均无法开机	RSM3V3
ACPI_SUSSTATn	O	低功耗状态	RSM3V3
ACPI_S3n	O	S3 状态	RSM3V3
ACPI_S4n	O	S4 状态	RSM3V3
ACPI_S5n	O	S5 状态	RSM3V3
ACPI_VID[5:0]	O	调压控制 复位后输出高阻, 通过板级上下拉配置初始值	RSM3V3
ACPI_PLTRSTn	O	平台复位	RSM3V3
ACPI_SLPLANn	O	网络电源控制	RSM3V3
ACPI_PWRBTNn	I	电源开关	RSM3V3
ACPI_PWROK	I	电源有效, 指示最后一级电源上电成功	RSM3V3
ACPI_DOTESTn	I	测试模式控制(RSM 电压域) 0: 测试模式 1: 功能模式	RSM3V3

2.17 EJTAG 接口

信号名称	类型	描述	电压
EJTAG_SEL	I	JTAG 选择(0: JTAG, 1: EJTAG)	VDDE3V3
EJTAG_TCK	I	JTAG 时钟	VDDE3V3
EJTAG_TDI	I	JTAG 数据输入	VDDE3V3
EJTAG_TMS	I	JTAG 模式	VDDE3V3

EJTAG_TRST	I	JTAG 复位, 需下拉	VDDE3V3
EJTAG_TDO	O	JTAG 数据输出	VDDE3V3

2.18 时钟配置信号

信号名称	类型	描述	电压
SYS_BAKCLK	I	100MHz 备份时钟	VDDE3V3
SYS_TESTCLK	I	测试时钟	VDDE3V3
SATA_XTAL[2:1]	I/O	参考时钟晶体(25MHz)	SATA1V2
RTC_XI RTC_XO	I/O	RTC 参考时钟晶体(32.768KHz)	RTC2V5
SYS_CLKSEL0	I	系统参考时钟选择 0: SATA_XTAL 1: SYS_BAKCLK	VDDE3V3
SYS_CLKSEL1	I	PCIE 参考时钟选择 0: 从 PCIE_XTAL 输入 1: 内部 100MHz 时钟	VDDE3V3
ACPI_CLKSEL2	I	USB PHY1 时钟选择 0: 内部时钟 1: 在 USB_XI1/XO1 上的 12MHz 晶体	RSM3V3
ACPI_CLKSEL3	I	ACPI 使能 0: 不使用 ACPI 控制芯片 1: 使用 ACPI 控制	RSM3V3
SYS_NMI _n	I/O	不可屏蔽中断 桥片模式下为输出, 否则为输入	VDDE3V3
SYS_INT _n	I/O	普通中断 桥片模式下为输出, 否则为输入	VDDE3V3

2.19 电源地

信号名称	类型	描述	电压
PLL_CORE_AVDD	P	Core PLL 模拟电源	1.8V
PLL_CORE_AGND	G	Core PLL 模拟地	
PLL_CORE_DVDD	P	Core PLL 数字电源	1.1V
PLL_CORE_DGND	G	Core PLL 数字地	
PLL_SYS_AVDD	P	System PLL 模拟电源	1.8V
PLL_SYS_AGND	G	System PLL 模拟地	
PLL_SYS_DVDD	P	System PLL 数字电源	1.1V
PLL_SYS_DGND	G	System PLL 数字地	

PLL_HT_AVDD	P	HT PLL 模拟电源	1.8V
PLL_HT_AGND	G	HT PLL 模拟地	
PLL_HT_DVDD	P	HT PLL 数字电源	1.1V
PLL_HT_DGND	G	HT PLL 数字地	
PLL_DDR_AVDD	P	DDR PLL 模拟电源	2.5V
PLL_DDR_AGND	G	DDR PLL 模拟地	
PLL_DDR_DVDD	P	DDR PLL 数字电源	1.2V
PLL_DDR_DGND	G	DDR PLL 数字地	
PLL_VGA_AVDD	P	VGA PLL 模拟电源	2.5V
PLL_VGA_AGND	G	VGA PLL 模拟地	
PLL_VGA_DVDD	P	VGA PLL 数字电源	1.2V
PLL_VGA_DGND	G	VGA PLL 数字地	
PLL_DVO_AVDD	P	DVO PLL 模拟电源	2.5V
PLL_DVO_AGND	G	DVO PLL 模拟地	
PLL_DVO_DVDD	P	DVO PLL 数字电源	1.2V
PLL_DVO_DGND	G	DVO PLL 数字地	
PLL_PCIE_AVDD	P	PCIE PLL 模拟电源	2.5V
PLL_PCIE_DVDD	P	PCIE PLL 模拟电源	1.2V
PLL_PCIE_VSS	G	PCIE PLL 地	
PLL_SATA_AVDD	P	SATA PLL 模拟电源	2.5V
PLL_SATA_DVDD	P	SATA PLL 模拟电源	1.2V
PLL_SATA_VSS	G	SATA PLL 地	
THSENS_AVDD	P	温度传感器电源	2.5V
THSENS_AGND	G	温度传感器地	
SENSE_VCPU	O	CPU 域电源测试点	
SENSE_VSOC	O	SOC 域电源测试点	
SENSE_VSS	O	CPU/SOC 地测试点	
VDD_CPU	P	CPU 域电源	0.9V~1.1V
VDD_SOC	P	SOC 域电源	1.15V
VDD_RSM	P	RSM 域电源	1.15V
VSS	G	核心地	
RTC_VDD	P	RTC 域电源	1.3~2.5V
RTC_GND	G	RTC 域地	
VDDE3V3	P	SOC 域 IO 电源	3.3V
RSM3V3	P	RSM 域 IO 电源	3.3V

RSM2V5	P	RSM 域 RGMII 接口电源 支持 3.3V, 需配置 chip_config3.mac_volt	2.5V
VSSE	G	IO 地	
DDR_VDDQ	P	DDR IO 电源	1.8/1.5V
DDR_VREF	P	DDR 参考电压	0.9/0.75V
HT_VDD	P	HT PHY CORE 电源	1.1V
HT_VSS	G	HT PHY CORE 地	
HT_1V8	P	HT PHY IO 电源	1.8V
HT_VSSE	G	HT PHY IO 地	
USB_A3V3	P	USB 模拟电源	3.3V
USB_A2V5	P	USB 模拟电源	2.5V
USB_AVSS	G	USB 模拟地	
VGA_A2V5	P	VGA 模拟电源	2.5V
VGA_AVSS	G	VGA 模拟地	
PEST_1V2T	P	PCIE/SATA 发送端电源	1.2V
PCIE_VSST	G	PCIE 发送端地	
SATA_VSST	G	SATA 发送端地	
PCIE_1V2R	P	PCIE 接收端电源	1.2V
PCIE_VSSR	G	PCIE 接收端地	
SATA_1V2R	P	SATA 接收端电源	1.2V
SATA_VSSR	G	SATA 接收端地	

2.20 初始化信号

龙芯 2H 有两类初始化信号：一类从专用的配置引脚(CLKSEL[3:0])输入，控制参考时钟；其它的复用功能引脚，通过在系统复位期间采样外部上下拉的值得到配置信息。部分配置信息编码成 bootcfg，供软件判定上电状态。

这些初始化信号必须连接。

表2-1 配置信号

信号名称	bootcfg	描述
SYS_CLKSEL0	0	系统参考时钟选择 0: SATA_XTAL 1: SYS_BAKCLK
SYS_CLKSEL1	1	PCIE 参考时钟选择 0: 从 PCIE_XTAL 输入 1: 内部 100MHz 时钟

ACPI_CLKSEL2	2	USB PHY1 时钟选择 0: 内部时钟(此时 USB_XI1/XO1 可不接晶体) 1: 在 USB_XI1/XO1 上的 12MHz 晶体
ACPI_CLKSEL3	3	ACPI 使能 0: 不使用 ACPI 控制芯片 1: 使用 ACPI 控制
NAND_D1 NAND_D0	5:4	硬件控制模式下 CPU PLL 倍频配置 00: *4 01: *6 10: *8 11: bypass
NAND_D2	6	CPU PLL 纯硬件控制选择 0: 关闭, CPU PLL 频率由软件配置 1: 打开, CPU PLL 频率由 D1/D0 两位配置
NAND_D4 NAND_D3	8:7	硬件控制模式下 DDR PLL 倍频配置 00: *5/3 01: *8/3 10: *10/3 11: bypass
NAND_D5	9	DDR PLL 纯硬件控制选择 0: 关闭, DDR PLL 频率由软件配置 1: 打开, DDR PLL 频率由 D4/D3 两位配置
NAND_D6	10	SYS PLL 纯硬件控制选择 0: 关闭, SYS PLL 频率由软件配置 1: 打开, SYS PLL 固定振荡在 3GHz
NAND_D7	11	分频器后备模式选择 0: 关闭, 分频器软件可配 1: 打开, 分频器使用固定分频
NAND_CLE	12	PCIE 从模式选择 0: 关闭, PCIE 为 1x4 或者 4x1 的 root complex 1: 打开, PCIE 为 x4 的 endpoint
NAND_ALE	13	LPC ROM 模式使能 0: 关闭, LPC 接口为主控模式 1: 打开, LPC 接口可接受 LPC memory 访问
NAND_WR	14	NAND 启动类型选择
NAND_RD	15	NAND 启动时是否打开读校验 0: 关闭 1: 打开
{SPI_SCK, SPI_CS _n }	17:16	启动源选择 00: NAND 启动 (不建议使用) 10: LPC 启动 x1: SPI 启动

SPI_SDO	18	<p>NAND 启动类型选择 {SPI_SDO, NAND_WR} 00: <256bit 01: 512bit 10: 1Gbit 11: >2Gbit SPI_SDO 在复位期间为输出，且值随机。如果要用 NAND 启动需要在复位期间用强上拉或者强下拉进行配置，并且在启动后用软件关断强拉。</p>
ACPI_VID[5:0]	-	<p>VID 初始值 用于初始化电源管理模块中 VID 寄存器，使得复位结束后在没有软件干预的情况下 ACPI_VID 能输出有效的编码。</p>

3 功能描述

3.1 DDR2/3 SDRAM 控制器接口描述

龙芯 2H 集成了内存控制器，兼容 DDR2/3 SDRAM 标准。

3.1.1 DDR2/3 SDRAM 控制器特性

龙芯 2H 处理器有一个内存控制器，每个内存控制器可以支持两个内存条，共两个片选信号。通过两个片选信号和 18 位的地址总线（15 位行/列地址和 3 位逻辑 Bank 地址）实现最大地址空间是 32G (2^{35})。

在使用 DDR2/3 SDRAM 之前，需要配置 DDR2/3 控制器的参数，以使之能配合相应的内存条正确工作。对于龙芯 2H 处理器，芯片选择信号（CS_n）的最大数目是 4。行地址（RAS_n）和列地址（CAS_n）的最大带宽分别是 15 和 14。还有 3 位的逻辑 bank 信号（BANK_n）。

CPU 内存的物理地址能被转换位行/列地址，见表 3-1。例如，4 个 CS_n 信号，8 个 banks，12 位行地址和 12 位列地址。

表 3-1 时钟信号 DDR2 SDRAM 行/列地址转换

36	32 31	30 29	18 17	15 14	3 2	0
	CS _n	RAS _n	BANK _n	CAS _n	Byte	

内存控制器接收从处理器或外部设备发送的内存读写请求。无论是读还是写操作，内存控制器都处在 slave 状态。

内存控制器中实现了动态页管理功能。对于内存的一次存取，不需软件设计者的干预，控制器会在硬件电路上选择 Open Page/Close Page 策略。内存控制器特性包括：

- 支持的内存类型包括：DDR2/3 颗粒、DDR2/3 UDIMM、DDR2/3 SO-DIMM、DDR2/3 RDIMM（DDR3 RDIMM 仅支持单面工作模式）；
- 全流水的命令和数据读写；
- 通过合并和重排序增加带宽；
- 通过丰富的寄存器读写端口修改基本的参数；
- 内置 Delay Compensation Circuit(DCC)，用来可靠的发送/接收数据；
- 1 位和 2 位错误检测，通过 ECC 进行 1 位的错误修正；
- 频率：133MHz-400MHz；

- 32/64 位软件可选择总线宽度。

3.1.2 DDR2/3 SDRAM 读协议

图 3.1 中显示 DDR2 SDRAM 读协议，命令 (CMD) 包括 RAS_n，CAS_n 和 WE_n。当一个读请求发生时，RAS_n=1，CAS_n=0，WE_n=1。

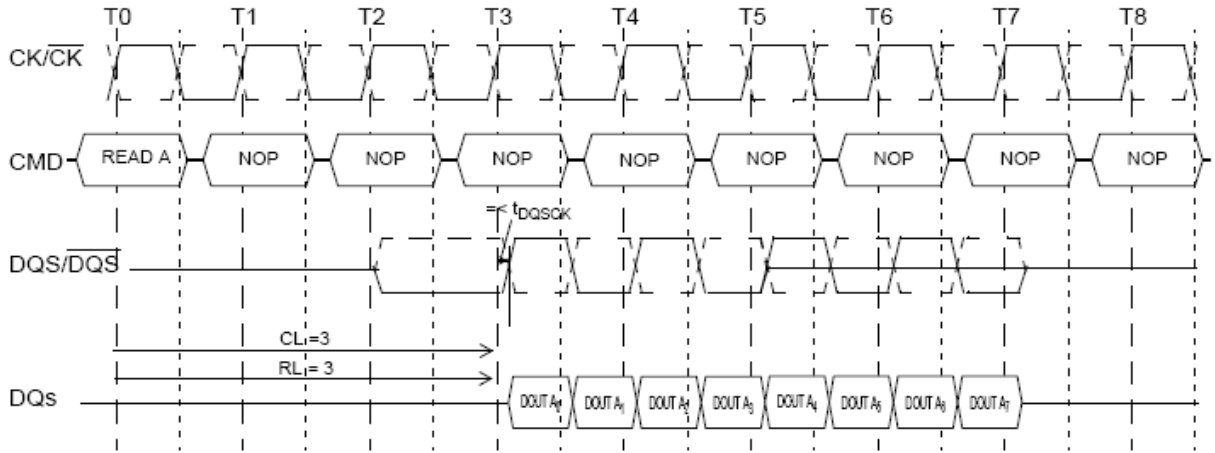


图 3.1 DDR2 SDRAM读协议

注：Cas Latency = 3, Read Latency = 3, Burst Length = 8

3.1.3 DDR2/3 SDRAM 写协议

在图 3.2 中显示 DDR2 SDRAM 写协议，命令 (CMD) 包括 RAS_n，CAS_n 和 WE_n。当写请求发生时，RAS_n=1，CAS_n=0，WE_n=0。与读协议不同，DQM 用来识别需要被写的字节数。DQM 和 DQS 是同步的。

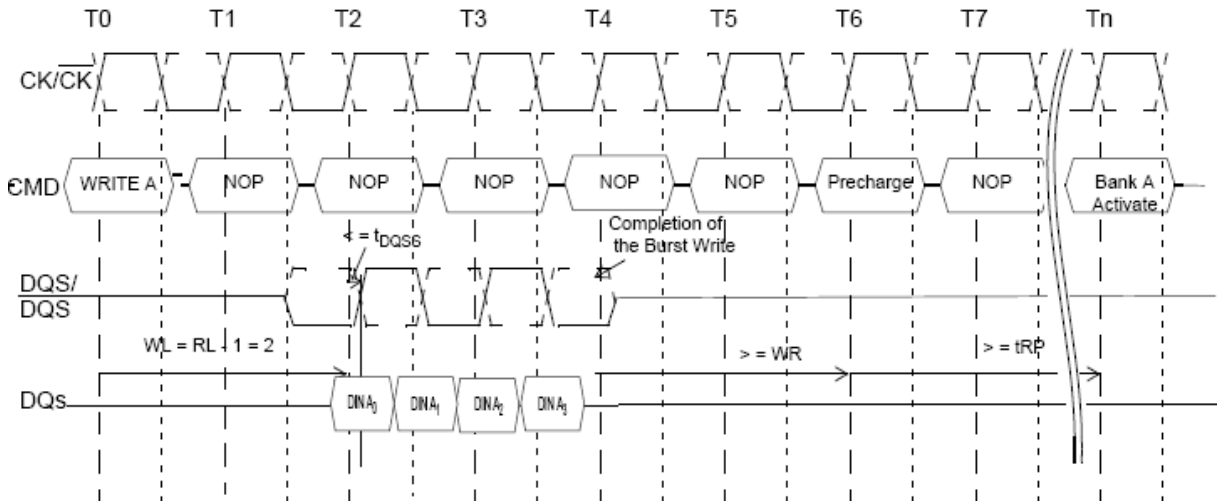


图 3.2 DDR2 SDRAM写协议

注：Cas Latency = 3, Write Latency = Read Latency - 1 = 2, Burst Length = 4.

3.1.4 DDR2/3 SDRAM 参数设置顺序

为了在系统中支持不同的 DDR2 SDRAM 颗粒，DDR2 SDRAM 需要在加电复位后配置。DDR2/3 标准定义了详细的配置操作和过程。DDR2 在内存初始化前是不可用的，内存初始化顺序为：

1. 系统复位期间，所有寄存器内容将清除为缺省值；
2. 系统复位释放；
3. 向配置寄存器地址发 64 位写指令，配置所有 180 个配置寄存器。此时如果写 CTRL_03，应将其中参数 START 设为 0。所有寄存器都必须正确配置才可以正常工作。
4. 向配置寄存器 CTRL_03 中发 64 位写指令。此时应将参数 START 设为 1。结束后内存控制器将自动对内存发起初始化指令。

在系统主板初始化后，DDR2 SDRAM 控制器在内存使用前需要配置内存类型，将相应的配置参数写到对应于物理地址 0X0000 0000 0FF0 0000 的 180 个 64 位寄存器中。每个寄存器会包括一个、多个或部分的参数。

3.2 HyperTransport 总线接口描述

龙芯 2H 处理器集成 8 位 HyperTransport 总线接口。该接口支持与龙芯 3A 处理器相连，为其提供桥片功能。

HyperTransport 接口特性包括：

- 兼容 HyperTransport 1.03；
- 接口频率支持 200/400/800Mhz；
- 接口宽度支持 8 位模式；
- 输入输出频率分别可设；
- 只支持从模式

3.2.1 系统 HT 接口连接

龙芯 2H 中的 HyperTransport 接口用于龙芯 3A 的连接，连接方式如下所示：

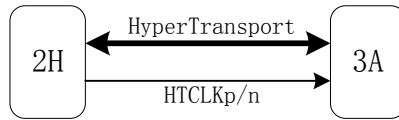


图 3-1 系统 HT 接口连接

3.3 LPC 接口模块

LPC接口支持主从两种模式，由NAND_ALE引脚上的上下拉选择。

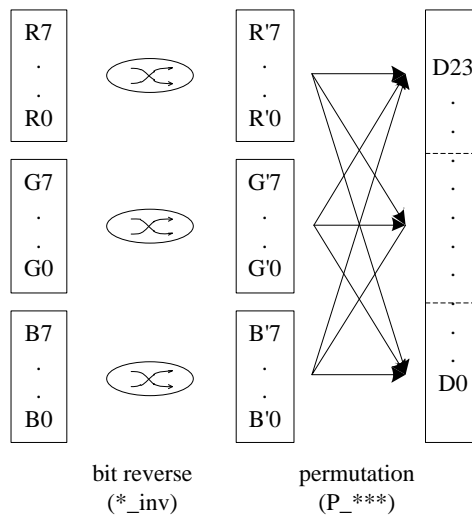
在主模式下，LPC接口支持memory read/write和io read/write访问类型。如希望使用LPC启动，则LPC Flash应选择SST49LF040。

从模式下，LPC接口支持memory read/write，与SST49LF040 行为类似。LPC总线上的读写将映射到内部一块 1KB的静态RAM，从而支持龙芯 3A基本的HT总线初始化和并随后从HT启动。由于内部RAM的初始化需要时间，从模式下LPC_RESETn引脚将会在 2H复位结束后仍保持为低，直至软件通过写 chip_config0.lpc_rst寄存器解除LPC的复位状态。

3.4 DVO 显示接口

DVO接口支持灵活的数据输出形式。原始RGB数据到DVO接口前经过以下处理过程：

1. 颜色分量组内反转；
2. 组间次序全排列；



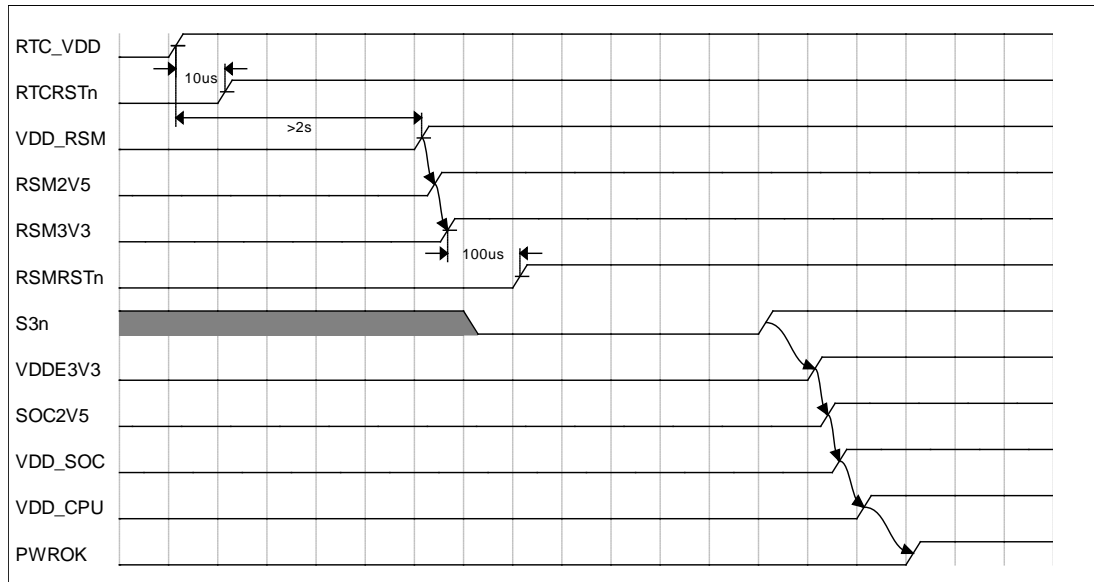
寄存器名	地址	R/W	描述	复位值
OutputPattern	0x1fe51630	R/W	DVO 输出模式寄存器。	32'h0

OutputPattern	bit	描述	初始值
Dual_en	0	DVO 接口双沿输出使能	0
R_inv	1	DVO 接口 Red 按位倒置	0
G_inv	2	DVO 接口 Green 按位倒置	0
B_inv	3	DVO 接口 Blue 按位倒置	0
p_RGB	4	RGB 三个 bus 输出 RGB 颜色信息	0
P_RBG	5	RGB 三个 bus 输出 RBG 颜色信息	0
P_GRB	6	RGB 三个 bus 输出 GRB 颜色信息	0
P_GBR	7	RGB 三个 bus 输出 GBR 颜色信息	0
P_BRG	8	RGB 三个 bus 输出 BRG 颜色信息	0
P_BGR	9	RGB 三个 bus 输出 BGR 颜色信息	0
-	14:10	保留	0
Clk_pol	15	LCD 时钟相位, 写 1 反向	0

4 初始化时序

4.1 上电顺序

建议按下图的次序给龙芯 2H 上电。



1. RTC
 - a) RTC_VDD, 1.3~2.5V
2. RSM
 - a) 1.1V 电源 (VDD_RSM)
 - b) 2.5V 电源 (USB_A2V5/RSM2V5)
 - c) 3.3V 电源 (USB_A3V3/RSM3V3)

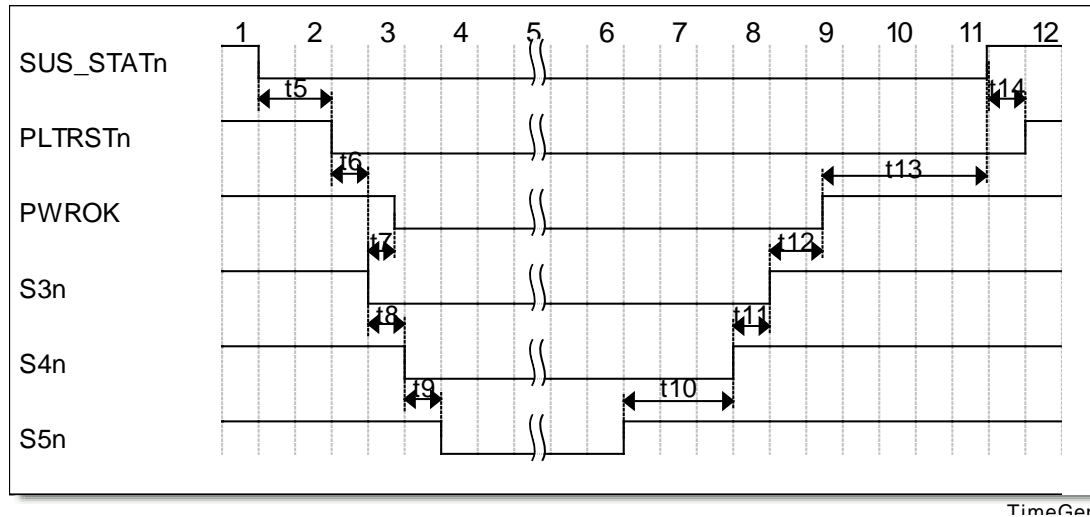
以上三个电源上电间隔大于 1us。(如果同时上电, USB 电源会出现短暂的大电流 4.2.1.1)
3. CORE
 - a) 3.3V IO 电源 (VDDE3V3)
 - b) 2.5V 电源 (PLL_PCIE_AVDD/PLL_SATA_AVDD/)
 - c) 1.8V/1.5V 电源
 - d) 1.1V 核心电源, 1.2V PCIE/SATA 电源 (VDD_SOC / PEST_1V2T / PCIE_1V2R / SATA_1V2R)
 - e) 1.1V 核心电源 (VDD_CPU)

以上电源上电间隔大于 1us。(此处上电顺序并非强制要求)

(注意 2H2 的 S*n 在 RSM 域上电稳定前存在不确定状态, 建议在 RSMRSTn 为低时屏蔽 S*n 对板级电源的控制。2H3 在 RSMRSTn 为低时 S*n 输出低电平)

4.2 复位时序

龙芯 2H 的复位时序由内部的电源管理模块控制，其过程如下图所示：



t5: 3 RTC

t6: 1 RTC

t7: S3n 到 PWROK 无效

t8: 1 RTC

t9: 1 RTC

t10: 间隔最小值为 1 RTC，最大值需满足 S4n 有效最小时间。

t11: 间隔最小值为 1 RTC，最大值需满足 S3n 有效最小时间。

t12: S3n 无效到系统上电成功（PWROK 为电源模块给出，指示最后一级电源上电成功）。

t13: 典型值为 7.87ms。

t14: 1 RTC

5 电气特性

5.1 电源

5.1.1 推荐工作条件

表 5-1 推荐的工作电源电压

电源	描述	范围			最大电流
		Min.	Typ.	Max.	
VDD_CPU	CPU 域电源	1.0V	1.15V	1.3V	4A
VDD_SOC	SOC 域电源	1.1V	1.15V	1.2V	1.5A
VDD_RSM	RSM 域电源	1.1V	1.15V	1.2V	200mA
RTC_VDD	RTC 域电源	1.3V	1.8V	2.5V	5uA
VDDE3V3	SOC 域 IO 电源	3.135V	3.3V	3.465V	200mA
RSM3V3	RSM 域 IO 电源	3.135V	3.3V	3.465V	50mA
RSM2V5	RSM 域 RGMII 2.5V 电源	2.375V	2.5V	2.625V	50mA
	RSM 域 RGMII 3.3V 电源	3.135V	3.3V	3.465V	TBD
DDR_VDDQ	DDR3 IO 电源	1.43V	1.5V	1.57V	500mA
	DDR2 IO 电源	1.71V	1.8V	1.89V	TBD
HT_VDD	HT PHY CORE 电源	1.05V	1.1V	1.15V	100mA
HT_1V8	HT PHY IO 电源	1.7V	1.8V	1.9V	200mA
USB_A3V3	USB 模拟电源	3.135V	3.3V	3.465V	95mA
USB_A2V5	USB 模拟电源	2.375V	2.5V	2.625V	155mA
VGA_A2V5	VGA 模拟电源	2.25V	2.5V	2.75V	100mA
PEST_1V2T PCIE_1V2R SATA_1V2R PLL_PCIE_DVDD PLL_SATA_DVDD	PCIE/SATA 1.2V 电源	1.1V	1.2V	1.3V	1300mA
PLL_PCIE_AVDD PLL_SATA_AVDD	PCIE/SATA 2.5V 模拟电源	2.25V	2.5V	2.75V	100mA
	电源纹波	-	-	10mV	-
PLL_CORE_AVDD PLL_SYS_AVDD PLL_HT_AVDD	Core/Sys PLL 模拟电源	1.7V	1.8V	2.0V	3mA
	电源纹波	-	-	50mV	-
PLL_CORE_DVDD PLL_SYS_DVDD PLL_HT_DVDD	Core/Sys PLL 数字电源	1.05V	1.1V	1.15V	3mA
	电源纹波	-	-	10mV	-
PLL_DDR_AVDD	DDR/VGA/DVO PLL 模拟电源	2.25V	2.5V	2.75V	1.5mA

PLL_VGA_AVDD PLL_DVO_AVDD	电源纹波	-	-	50mV	-
PLL_DDR_DVDD	DDR PLL 数字电源	1.1V	1.2V	1.3V	4mA
PLL_VGA_DVDD PLL_DVO_DVDD	电源纹波	-	-	10mV	-
THSENS_AVDD	温度传感器电源	1.65V	2.5V	2.75V	400uA

5.1.2 绝对最大额定值

表 5-2 绝对最大额定值

参数	描述	最小	最大	单位
VDD_CPU	CPU 域电源	-0.3	1.4	V
VDD_SOC	SOC 域电源	-0.3	1.4	V
VDD_RSM	RSM 域电源	-0.3	1.4	V
RTC_VDD	RTC 域电源	-0.3	2.7	V
VDDE3V3	SOC 域 IO 电源	-0.3	4.5	V
RSM3V3	RSM 域 IO 电源	-0.3	4.5	V
RSM2V5	RSM 域 IO 电源	-0.3	4.5	V
DDR_VDDQ	DDR2/3 IO 电源	-0.3	2.5	V
DDR_VREF	DDR2/3 参考电压	-0.3	2.5	V
HT_VDD	HT PHY CORE 电源	-0.3	1.4	V
HT_1V8	HT PHY IO 电源	-0.3	2.5	V
USB_A3V3	USB 模拟电源	-0.3	4.5	V
USB_A2V5	USB 模拟电源	-0.3	4.5	V
VGA_A2V5	VGA 模拟电源	-0.3	4.5	V
PEST_1V2T PCIE_1V2R SATA_1V2R PLL_PCIE_DVDD PLL_SATA_DVDD	PCIE/SATA 1.2V 电源	-0.3	1.4	V
PLL_PCIE_AVDD PLL_SATA_AVDD	PCIE/SATA 2.5V 模拟电源	-0.3	4.5	V
PLL_CORE_AVDD PLL_SYS_AVDD PLL_HT_AVDD	Core/Sys/HT PLL 模拟电源	-0.3	2.5	V
PLL_CORE_DVDD PLL_SYS_DVDD PLL_HT_DVDD	Core/Sys/HT PLL 数字电源	-0.3	1.4	V
PLL_DDR_AVDD PLL_VGA_AVDD	DDR/VGA/DVO PLL 模拟电源	-0.3	4.5	V

PLL_DVO_AVDD				
PLL_DDR_DVDD PLL_VGA_DVDD PLL_DVO_DVDD	DDR/VGA/DVO PLL 数字电源	-0.3	1.4	V
THSENS_AVDD	温度传感器电源	-0.3	4.5	V
Tstg	存储温度	-50	125	°C
Tw	工作温度	-40	85	°C

5.1.3 功耗状态及优化

表 5-3 芯片功耗模式

运行模式	条件(25°C)	功耗(W)
峰值	CPU 1.25V, 1GHz; DDR 333MHz PCIe、SATA、USB 连接设备 进行 720P AVS 媒体播放 监测功耗峰值	9
典型	CPU 1.1V, 800MHz; DDR 333MHz 运行 SPEC CPU2000 所有模块保持打开状态 测量平均功耗	5
低功耗	CPU 1.0V, 600MHz; DDR 200MHz HT、PCIe、SATA 电源接地 VGA 关闭、媒体模块关断 软件无任务运行 测量平均功耗	2

表 5-4 功耗优化项

模块	方法	可节省功耗(W)
PCIE/SATA PHY	PHY 电源接地	~1
媒体解码	ACPI 关断媒体模块电源	0.4
VGA 显示输出	DAC 输出配成高阻	0.15
内部模块(usb/otg/ gmac/dc/hda/sata)	配置 chip_config0 关时钟	~0.01
处理器核	调节电压、频率	~2

5.2 参考时钟

5.2.1 单端参考时钟

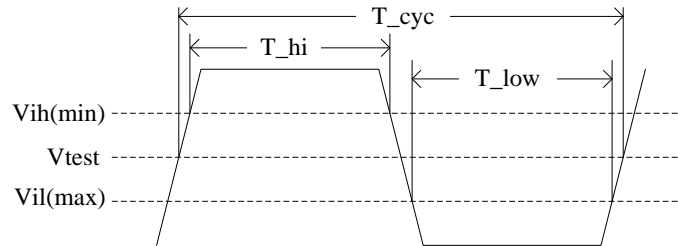


图 5-1 单端参考时钟波形

时钟	参数	描述	最小	最大	单位
LPC_CLKIN	Vih	输入高电平电压	2.0	-	V
	Vil	输入低电平电压	-	0.8	V
	T_cyc	时钟周期	30	-	ns
	T_hi	高电平时间	40%T_cyc	60%T_cyc	ns
	T_low	低电平时间	40%T_cyc	60%T_cyc	ns
	Tslew	斜率	1	4	V/ns
SYS_BAKCLK	Vih	输入高电平电压	2.0	-	V
	Vil	输入低电平电压	-	0.8	V
	T_cyc	时钟周期	9.99	10.01	ns
	T_hi	高电平时间	40%T_cyc	60%T_cyc	ns
	T_low	低电平时间	40%T_cyc	60%T_cyc	ns
	Tslew	斜率	1	4	V/ns
	Tccjitter	周期间抖动	-	100	ps
EJTAG_TCK	Vih	输入高电平电压	2.0	-	V
	Vil	输入低电平电压	-	0.8	V
	T_cyc	时钟周期	30	-	ns
	T_hi	高电平时间	40%T_cyc	60%T_cyc	ns
	T_low	低电平时间	40%T_cyc	60%T_cyc	ns
	Tslew	斜率	1	4	V/ns

5.2.2 差分参考时钟

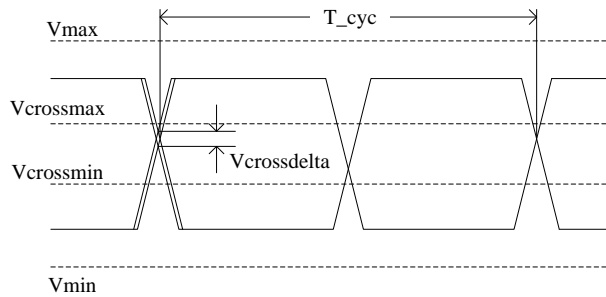


图 5-2 单端参考时钟波形

时钟	参数	描述	最小	最大	单位
PCIE_XTAL[2:1]	Vrange	输入电压范围(单端)	-0.3	1.15	V
	Vcrossrange	交叉点范围	250	550	mV
	Vcrossdelta	上升沿 Vcross 变动范围	-	140	mV
	T_cyc	时钟周期	9.847	10.203	ns
	Duty cycle	占空比	40	60	%
	Vih	差分输入高	+150	-	mV
	Vil	差分输入低	-	-150	mV
	Tccjitter	周期间抖动	-	30	ps
	Tslew	斜率	0.6	4	V/ns

5.2.3 参考时钟输出

时钟	参数	描述	最小	最大	单位
HTCLKp/n PCIE[3:0]_CLKp/n	Vrange	输出电压范围(单端)	300	900	mV
	Vcrossrange	交叉点范围	550	650	mV
	Vcrossdelta	上升沿 Vcross 变动范围	-	140	mV
	T_cyc	时钟周期	9.847	10.203	ns
	Duty cycle	占空比	40	60	%
	Tccjitter	周期间抖动	-	150	ps
	Tslew	斜率(5pf 负载情况下)	2	3	V/ns

5.3 HyperTransport 总线接口特性

5.3.1 HyperTransport 推荐直流工作条件

表 5-5 HyperTransport 直流工作条件

Symbol	Parameter	Min.	Typ.	Max.	Unit
V_{OD}	Output Differential Voltage	495	600	715	mV
ΔV_{OD}	Change in V_{OD} from 0 to 1 State	-15	0	15	mV
V_{OCM}	Output Common Mode Voltage	495	600	715	mV
ΔV_{OCM}	Change in V_{OCM} from 0 to 1 State	-15	0	15	mV
V_{ID}	Input Differential Voltage	200	600	1000	mV
ΔV_{ID}	Change in V_{ID} from 0 to 1 State	-15	0	15	mV
V_{ICM}	Input Common Mode Voltage	440	600	780	mV
ΔV_{ICM}	Change in V_{ICM} from 0 to 1 State	-15	0	15	mV
R_{TT}	Input Differential Impedance	90	100	110	Ohm
R_{ON} (pull up)	Output Driver Impedance driving high	45	50	55	Ohm
R_{ON} (pull down)	Output Driver Impedance driving low	45	50	55	Ohm
C_{out}	Output pad capacitance for devices rated above 800 MT/s.			3	pF
	Output pad capacitance for devices rated up to 800 MT/s.			5	pF
C_{in}	Input pad capacitance for devices rated above 800 MT/s.			2	pF
	Input pad capacitance for devices rated up to 800 MT/s			5	pF

5.3.2 HyperTransport 推荐交流工作条件

表 5-6 HyperTransport 交流工作条件

Symbol	Parameter	Min.	Typ.	Max.	Unit
V_{OD}	Output Differential Voltage	400	600	820	mV
ΔV_{OD}	Change in V_{OD} from 0 to 1 State	-75		75	mV
V_{OCM}	Output Common Mode Voltage	440	600	780	mV
ΔV_{OCM}	Change in VOVM from 0 to 1 State	-50		50	mV
V_{ID}	Input Differential Voltage	300	600	900	mV
ΔV_{ID}	Change in V_{ID} from 0 to 1 State	-125		125	mV
V_{ICM}	Input Common Mode Voltage	385	600	845	mV
ΔV_{ICM}	Change in V_{ICM} from 0 to 1 State	-100		100	mV
T_R	Input Rising Edge Rate	1.0		4.0	V/ns
T_F	Input Falling Edge Rate	1.0		4.0	V/ns

5.3.3 传输时序特性

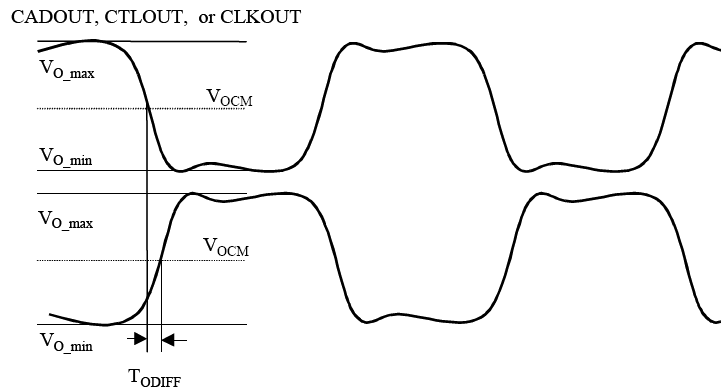


图5.1 HyperTransport 总线 T_{ODIFF} 时序

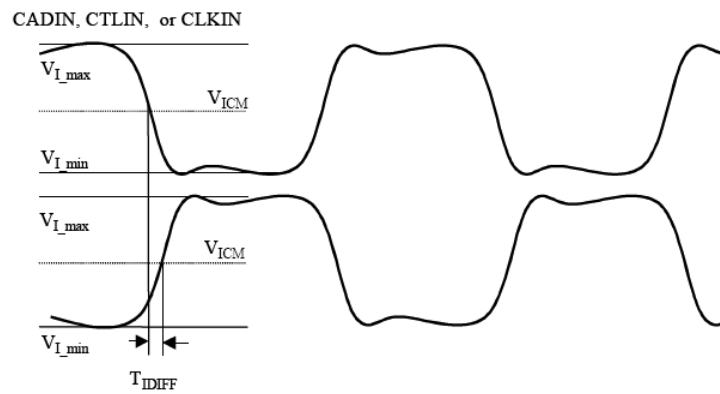


图5.2 HyperTransport 总线 T_{DIFF} 时序

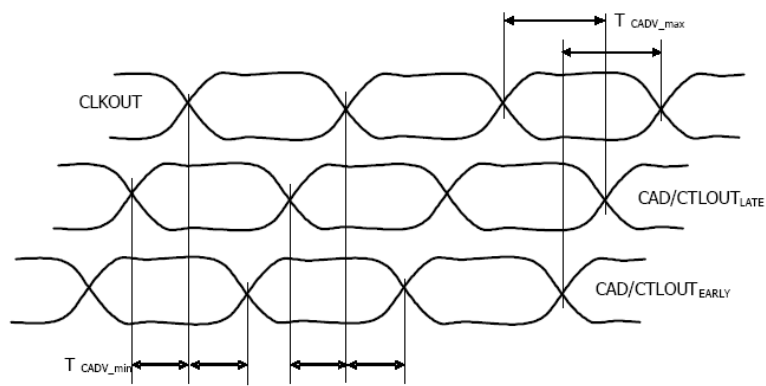


图5.3 HyperTransport 总线 T_{CADV} 时序

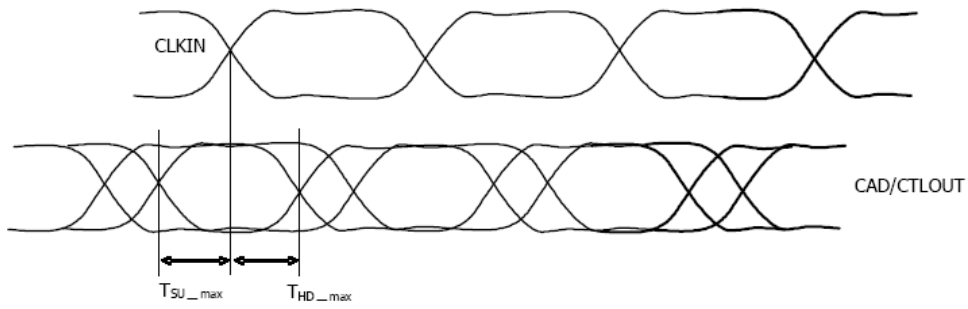


图5.4 HyperTransport 总线 T_{SU} 和 T_{HD} 时序

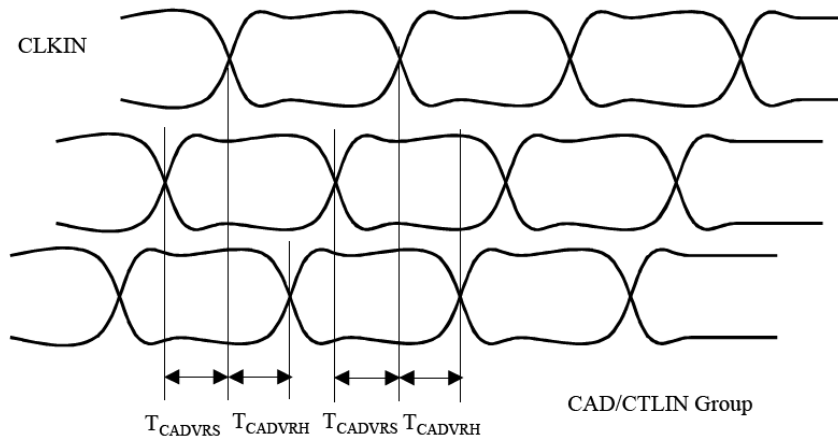


图5.5 HyperTransport 总线 T_{CADVRS} / T_{CADVRH} 时序

表 5-7 HyperTransport 连接传输时序规范

Parameter	Description	Link Speed	Min.	Max.	Units
T_{ODIFF}	Output differential skew	400 MT/s 800 MT/s 1600 MT/s		70 70 60	ps ps ps
T_{IDIFF}	Input differential skew	400 MT/s 800 MT/s 1600 MT/s		90 90 65	ps ps ps
T_{CADV}	Transmitter output CAD/CTLOUT valid relative to CLKOUT	400 MT/s 800 MT/s 1600 MT/s	695 345 166	1805 905 459	ps ps Ps

T_{CADVRS}	Receiver input CADIN valid time to CLKIN	400 MT/s 800 MT/s 1600 MT/s	460 225 116		ps ps Ps
T_{CADVRH}	Receiver input CADIN valid time from CLKIN	400 MT/s 800 MT/s 1600 MT/s	460 225 116		ps ps Ps
T_{SU}	Receiver input setup time	400 MT/s 800 MT/s 1600 MT/s	0 0 0	250 175 110	ps ps Ps
T_{HD}	Receiver input hold time	400 MT/s 800 MT/s 1600 MT/s	0 0 0	250 175 110	ps ps Ps

5.4 DDR2 总线内存接口特性

5.4.1 推荐的直流特性

表 5-8 推荐的直流工作条件(SSTL_1.8)

Symbol	Parameter	Rating			Units
		Min.	Typ.	Max.	
VDDQ(MEM_VDDE_0/1)	Supply Voltage for Output	1.7	1.8	1.9	V
VREF(MEM_VREF_0/1)	Input Reference Voltage	0.49 x VDDQ	0.50 x VDDQ	0.51 x VDDQ	V
VTT	Termination Voltage	VREF - 0.04	VREF	VREF + 0.04	V

表 5-9 输入的直流逻辑电平

Symbol	Parameter	Min.	Max.	Units
V _{IH} (dc)	DC input logic HIGH	VREF+0.125	VDDQ+0.3	V
V _{IL} (dc)	DC input logic LOW	-0.3	VREF-0.125	V

表 5-10 输出直流电流驱动

Symbol	Parameter	SSTL_18	Units
$I_{OH(dc)}$	Output Minimum Source DC Current	-13.4	mA
$I_{OL(dc)}$	Output Minimum Sink DC Current	13.4	mA

5.4.2 推荐的交流特性

表 5-11 输入交流逻辑电平

Symbol	Parameter	DDR2-400, DDR2-533		DDR2-667, DDR2-800		Units
		Min.	Max.	Min.	Max.	
$V_{IH(ac)}$	ac input logic HIGH	$V_{REF}+0.250$	-	$V_{REF}+0.200$	-	V
$V_{IL(ac)}$	ac input logic LOW	-	$V_{REF}-0.250$		$V_{REF}-0.200$	V

表 5-12 差分的输入交流逻辑电平

Symbol	Parameter	Min.	Max.	Units
$V_{ID(ac)}$	AC differential input voltage	0.5	$V_{DDQ}+0.6$	V
$V_{IX(ac)}$	AC differential crosspoint voltage	$0.5 \times V_{DDQ}-0.175$	$0.5 \times V_{DDQ}+0.175$	V

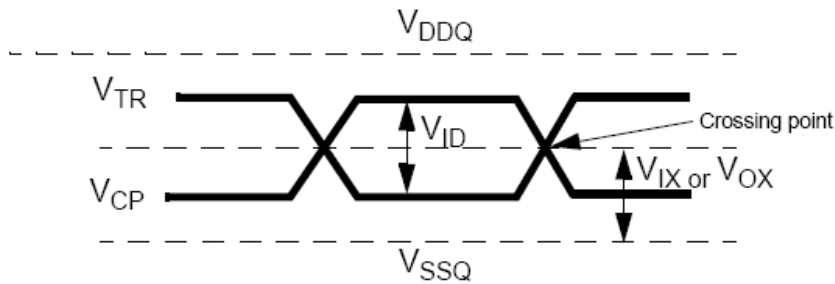


图5.6 差分的信号电平

表 5-13 差分的交流输出参数

Symbol	Parameter	Min.	Max.	Units
$V_{OX(ac)}$	AC differential crosspoint voltage	$0.5 \times V_{DDQ}-0.125$	$0.5 \times V_{DDQ}+0.125$	V

5.4.3 电气交流时序特性

表 5-14 不同密度的器件刷新参数

Parameter	Symbol	256 Mb	512 Mb	1Gb	2Gb	4Gb	Units
Refresh to active/Refresh command time	tRFC	75	105	127.5	195	327.5	ns
Average periodic refresh interval	tREFI	$0^{\circ}C \leq TCASE \leq 85^{\circ}C$	7.8	7.8	7.8	7.8	μs
		$85^{\circ}C < TCASE \leq 95^{\circ}C$	3.9	3.9	3.9	3.9	μs

表 5-15 DDR2 内存标准速率分级

Speed bin CL-tRCD-tRP	DDR2-800C		DDR2-800D		DDR2-800E		DDR2-667C		DDR2-667D		Units
	4-4-4		5-5-5		6-6-6		4-4-4		5-5-5		
Parameter	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
tRCD	10	-	12.5	-	15	-	12	-	15	-	ns
tRP1	10	-	12.5	-	15	-	12	-	15	-	ns
tRC	55	-	57.5	-	60	-	57	-	60	-	ns
tRAS	45	70000	45	70000	45	70000	45	70000	45	70000	ns
tCK(avg) @CL=2	Optional		Optional		Optional		Optional		Optional		ns
tCK(avg) @CL=3	Optional		Optional		Optional		Optional		Optional		ns
tCK(avg) @CL=4	2.5	8	3.75	8	3.75	8	3	8	3.75	8	ns
tCK(avg) @CL=5	2.5	8	2.5	8	3	8	3	8	3	8	ns
tCK(avg) @CL=6	Optional		Optional		2.5	8	Optional		Optional		ns

表 5-16 DDR2-667 和 DDR2-800 时序参数

Parameter	Symbol	DDR2-667		DDR2-800		Units
		Min.	Max.	Min.	Max.	
Average clock period	tCK(avg)	3000	8000	2500	8000	ps
Average clock HIGH pulse width	tCH(avg)	0.48	0.52	0.48	0.52	tCK(avg)
Average clock LOW pulse width	tCL(avg)	0.48	0.52	0.48	0.52	tCK(avg)
Write command to DQS associated clock edge	WL	RL - 1		RL - 1		nCK
DQS latching rising transitions to associated clock edges	tDQSS	-0.25	0.25	-0.25	0.25	tCK(avg)
DQS falling edge to CK setup time	tDSS	0.2	x	0.2	x	tCK(avg)
DQS falling edge hold time from CK	tDSH	0.2	x	0.2	x	tCK(avg)
DQS input HIGH pulse width	tDQSH	0.35	x	0.35	x	tCK(avg)
DQS input LOW pulse width	tDQSL	0.35	x	0.35	x	tCK(avg)
Write preamble	tWPRE	0.35	x	0.35	x	tCK(avg)
Write postamble	tWPST	0.4	0.6	0.4	0.6	tCK(avg)
Address and control input setup time	tIS(base)	200	x	175	x	ps
Address and control input hold time	tIH(base)	275	x	250	x	ps
Control & Address input pulse width for each input	tIPW	0.6	x	0.6	x	tCK(avg)
DQ and DM input setup time	tDS(base)	100	x	50	x	ps

DQ and DM input hold time	tDH(base)	175	x	125	x	ps
DQ and DM input pulse width for each input	tDIPW	0.35	x	0.35	x	tCK(avg)
DQ output access time from CK/CK	tAC	-450	450	-400	400	ps
DQS output access time from CK/CK	tDQSCK	-400	400	-350	350	ps
Data-out high-impedance time from CK/CK	tHZ	x	tAC, max	x	tAC, max	ps
DQS/DQS low-impedance time from CK/CK	tLZ(DQS)	tAC, min	tAC, max	tAC, min	tAC, max	ps
DQ low-impedance time from CK/CK	tLZ(DQ)	2 x tAC, min	tAC, max	2 x tAC, min	tAC, max	ps
DQS-DQ skew for DQS and associated DQ signals	tDQSQ	x	240	x	200	ps
CK half pulse width	tHP	Min(tCH(abs), tCL(abs))	x	Min(tCH(abs), tCL(abs))	x	ps
DQ hold skew factor	tQHS	X	340	x	300	ps
DQ/DQS output hold time from DQS	tQH	tHP - tQHS	x	tHP - tQHS	x	ps
Read preamble	tRPRE	0.9	1.1	0.9	1.1	tCK(avg)
Read postamble	tRPST	0.4	0.6	0.4	0.6	tCK(avg)
Activate to activate command period for 1KB page size products	tRRD	7.5	x	7.5	x	ns
Activate to activate command period for 2KB page size products	tRRD	10	x	10	x	ns
Four Activate Window for 1KB page size products	tFAW	37.5	x	35	x	ns
Four Activate Window for 2KB page size products	tFAW	50	x	45	x	ns
CAS to CAS command delay	tCCD	2	x	2	x	nCK
Write recovery time	tWR	15	x	15	x	ns
Auto precharge write recovery + precharge time	tDAL	WR + tnRP	x	WR + tnRP	x	nCK
Internal write to read command delay	tWTR	7.5	x	7.5	x	ns
Internal read to precharge command delay	tRTP	7.5	x	7.5	x	ns
CKE minimum pulse width (HIGH and LOW pulse width)	tCKE	3	x	3	x	nCK
Exit self refresh to a non-read command	tXSNR	tRFC + 10	x	tRFC + 10	x	ns
Exit self refresh to a read command	tXSRD	200	x	200	x	nCK
Exit precharge power down to any command	tXP	2	x	2	x	nCK
Exit active power down to read command	tXARD	2	x	2	x	nCK
Exit active power down to read command (slow exit, lower power)	tXARDS	7-AL	x	8-AL	x	nCK
ODT turn-on delay	tAOND	2	2	2	2	nCK
ODT turn-on	tAON	tAC, min	tAC, max + 0.7	tAC, min	tAC, max + 0.7	ns

ODT turn-on (Power-Down mode)	tAONPD	tAC, min + 2	2 x tCK(avg) + tAC, max + 1	tAC, min + 2	2 x tCK(avg) + tAC, max + 1	ns
ODT turn-off delay	tAOFD	2.5	2.5	2.5	2.5	nCK
ODT turn-off	tAOF	tAC, min	tAC, max + 0.6	tAC, min	tAC, max + 0.6	ns
ODT turn-off (Power-Down mode)	tAOFPD	tAC, min + 2	2.5 x tCK(avg) + tAC, max + 1	tAC, min + 2	2.5 x tCK(avg) + tAC, max + 1	ns
ODT to power down entry latency	tANPD	3	x	3	x	nCK
ODT Power Down Exit Latency	tAXPD	8		8		nCK
Mode register set command cycle time	tMRD	2	x	2	x	nCK
MRS command to ODT update delay	tMOD	0	12	0	12	ns
OCD drive mode output delay	tOIT	0	12	0	12	ns
Minimum time clocks remains ON after CKE asynchronously drops LOW	tDelay	tIS + tCK(avg) + tIH	X	tIS + tCK(avg) + tIH	x	ns

5.5 PCIE 总线接口特性

5.5.1 PCIE 推荐交流工作条件

表 5-17 PCIE 交流工作条件

Parameter	Description	Min	Typ	Max	Unit
TUIPCIEX1	Unit interval for PCI Express gen1 (2.5 Gbit/s)	-	400	-	ps
TUIPCIEX2	Unit interval for PCI Express gen2 (5 Gbit/s)	-	200	-	ps
Fssc	Spread spectrum modulation frequency	30	-	33	kHz
SSCtol	Spread spectrum modulation deviation	-5000	-	0	ppm
Vcm,ac	AC coupled common mode voltage	0	-	2000	mV
Zdiff	Nominal differential impedance	-	100	-	ohm
tsettle,cm	Common mode transient settle time (SATA gen1 only)	-	-	10	ns
Vtrans	Sequencing transient voltage	-2	-	2	V

5.6 DVO 接口特性

5.6.1 DVO 直流特性

DVO 引脚驱动能力可通过 chip_config3.dvo_drive[2:0]进行配置。

表 5-1 DVO 直流特性

参数	描述	驱动能力	典型	单位
Ioh	输出高电平(VDDE-0.4V)时电流输出	低	2	mA
		高	8	mA

Iol	输出低电平(0.4V)时电流输入	低	2	mA
		高	8	mA

5.7 RGMII 接口特性

RGMII 接口有专用的电源（RSM2V5），支持 2.5V 和 3.3V 工作电压。配置寄存器 chip_config3 中包含电压选择(mac_volt)和驱动能力选择(mac_drive)用于配置 RGMII 接口的特性。

5.7.1 RGMII 接口直流特性

表 5-2 RGMII 接口输出特性

参数	描述	mac_drive	典型	单位
Ioh	输出高电平(VDDE-0.4V)时电流输出	00	4	mA
		01	6	mA
		10	8	mA
		11	10	mA
Iol	输出低电平(0.4V)时电流输入	00	4	mA
		01	6	mA
		10	8	mA
		11	10	mA

表 5-3 RGMII 接口输入特性

参数	描述		最小	最大	单位
Vih	输入高电平电压	2.5V 供电	1.7	2.8	V
		3.3V 供电	2.0	3.6	V
Vil	输入低电平电压	2.5V 供电	-0.3	0.7	V
		3.3V 供电	-0.3	0.8	V

5.7.2 RGMII 接口时序

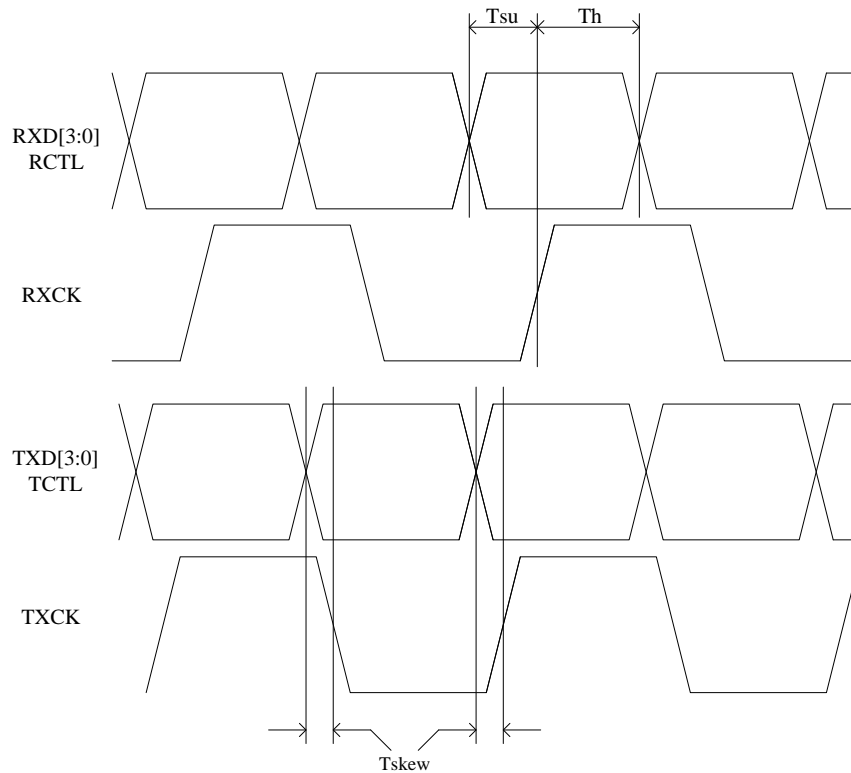


图5.7 RGMII 接口时序

表 5-4 RGMII 接口时序

参数	描述	最小	典型	最大	单位
Tsu	RX 信号建立时间	1	-	-	ns
Th	RX 信号保持时间	1	-	-	ns
Tskew	TXCK 相对 TX 数据的偏移	-500	-	+500	ps
Tr	TXD/TXCK 上升时间(10pf 负载)			1.2	ns
Tf	TXD/TXCK 下降时间(10pf 负载)			1.3	ns

5.8 SATA 接口特性

5.8.1 SATA 发送端特性

表 5-5 SATA 发送端特性

参数	描述	最小	典型	最大	单位
Zdiff	差分输出阻抗	85	100	115	ohm
Vdiff, TX	差分输出电压	320	400	480	mV

Vcm, DC	交流耦合的 SATA 接口上直流共模点	0	-	800	mV
Trise/fall	上升/下降时间(20%~80%)	36		176	ps

5.8.2 SATA 接收端特性

表 5-6 SATA 接收端特性

参数	描述	最小	典型	最大	单位
Zdiff	差分输入阻抗	85	100	115	ohm
Zs-e	单端输入阻抗	40	-	-	ohm
Vdiff, RX	差分输入电压	240	-	1600	mV
Vcm, DC	交流耦合的 SATA 接口上直流共模点 (供上下电瞬态分析)	800	900	970	mV
Vcm, AC	所允许的公模点正弦漂移峰峰值 (f=2MHz~200MHz)	100	-	200	mV
Trise/fall	1.5Gbps 时上升/下降时间(20%~80%)	100	-	273	ps
	3.0Gbps 时上升/下降时间(20%~80%)	67	-	136	ps

5.9 USB 接口特性

下述表格源自 USB 2.0 规范，更多信息请参考其中第 7 章。

表 5-7 USB 直流电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units
Input Levels for Low-/full-speed:					
High(driven)	VIH		2		V
High(floating)	VIHZ		2.7	3.6	V
Low	VIL			0.8	V
Differential Input Sensitivity	VDI	$(D+) - (D-)$	0.2		V
Differential Common Mode Range	VCM	Includes VDI range	0.8	2.5	V
Input Levels for High-speed:					
High-speed squelch detection threshold (differential signal amplitude)	VHSSQ		100	150	mV
High speed disconnect detection threshold (differential signal amplitude)	VHSDSC		525	625	mV
High-speed differential input signaling levels					

High-speed data signaling common mode voltage range(guide line for receiver)	VHSCM		-50	500	mV
Output Levels for Low-/full-speed:					
Low	VOL		0	0.3	V
High(Driven)	VOH		2.8	3.6	V
SE1	VOSE1		0.8		V
Output Signal Crossover Voltage	VCRS		1.3	2	V
Output Levels for High-speed:					
High-speed idle level	VHSOI		-10	10	mV
High-speed data signaling high	VHSOH		360	440	mV
High-speed data signaling low	VHSOL		-10	10	mV
Chirp J level(differential voltage)	VCHIRPJ		700	1100	mV
Chirp K level(differential voltage)	VCHIRPK		-900	-500	mV
Decoupling Capacitance:					
Downstream Facing Port Bypass Capacitance (perhub)	CHPB	VBUS to GND	120		μ F
Upstream Facing Port Bypass Capacitance	CRPB	VBUS to GND	1	10	μ F
Input Capacitance for Low-/full-speed:					
Downstream Facing Port	CIND			150	pF
Upstream Facing Port(w/ocable)	CINUB			100	pF
Transceiver edge rate control capacitance	CEdge			75	pF
Input Impedance for High-speed:					
TDR spec for high-speed termination					
Terminations:					
Bus Pull-up Resistor on Upstream Facing Port	RPU	1.5k Ω \pm 5%	1.425	1.575	k Ω
Bus Pull-down Resistor on Downstream Facing Port	RPD	15k Ω \pm 5%	14.25	15.75	k Ω
Input impedance exclusive of pullup/pulldown(for low-/full-speed)	ZINP		300		k Ω
Termination voltage for upstream facing port pullup(RPU)	VTERM		3	3.6	V
Terminations in High-speed:					
Termination voltage in high-speed	VHSTERM		-10	10	mV

表 5-8 USB 高速源电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units
Driver Characteristics:					
Rise Time(10%-90%)	THSR		500		ps

Fall Time(10%-90%)	THSF		500		ps
Driver waveform requirements					
Driver Output Resistance(which also serves as high-speed termination)	ZHSDRV		40.5	49.5	Ω
Clock Timings:					
High-speed Data Rate	THSDRAT		479.76	480.24	Mb/s
Micro frame Interval	THSFRAM		124.9375	125.0625	μs
Consecutive Micro frame Interval Difference	THSRFI			4 high-speed bit times	
High-speed Data Timings:					
Data source jitter		Source and receiver jitter specified by the eye pattern templates in Section 7.1.2.2			
Receiver jitter tolerance					

表 5-9 USB 全速源电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units	
Driver Characteristics:						
Rise Time	TFR		4	20	ns	
Fall Time	TFF		4	20	ns	
Differential Rise and Fall Time Matching	TFRFM	(TFR/TFF)	90	111.11	%	
Driver Output Resistance for driver which is not high-speed capable	ZDRV		28	44	Ω	
Clock Timings:						
Full-speed Data Rate for hubs and devices which are high-speed capable	TFDRATHS	Average bit rate	11.994	12.006	Mb/s	
Full-speed Data Rate for devices which are not high-speed capable	TFDRATE	Average bit rate	11.97	12.03	Mb/s	
Frame Interval	TFRAME		0.9995	1.0005	ms	
Consecutive Frame Interval Jitter	TRFI	No clock adjustment		42	ns	
Full-speed Data Timings:						
Source Jitter Total(including frequency tolerance):	To Next Transition	TDJ1		-3.5	3.5	ns
	For Paired Transitions	TDJ2		-4	4	ns
Source Jitter for Differential Transition to SE0 Transition	TFDEOP			-2	5	ns
Receiver Jitter:	To Next Transition	TJR1		-18.5	18.5	ns
	For Paired Transitions	TJR2		-9	9	ns
Source SE0 interval of EOP	TFEOPT		160	175	ns	
Receiver SE0 interval of EOP	TFEOPR		82		ns	
Width of SE0 interval during differential transition	TFST			14	ns	

表 5-10 USB 低速源电气特性

Parameter	Symbol	Min.	Max.	Units	
Driver Characteristics:					
Transition Time:	Rise Time	TLR	75	300	ns
	Fall Time	TLF	75	300	ns
Rise and Fall Time Matching	TLRFM	80	125	%	
Upstream Facing Port(w/cable, low-speed only)	CLINUA	200	450	pF	
Clock Timings:					
Low-speed Data Rate for hubs which are high-speed capable	TLDRATHS	1.49925	1.50075	Mb/s	
Low-speed Data Rate for devices which are not high-speed capable	TLDRATE	1.4775	1.5225	Mb/s	
Low-speed Data Timings:					
Upstream facing port source Jitter Total(including frequency tolerance):	To Next Transition	TUDJ1	-95	95	ns
	For Paired Transitions	TUDJ2	-150	150	ns
Upstream facing port source Jitter for Differential Transition to SE0 Transition	TLDEOP	-40	100	ns	
Upstream facing port differential Receiver Jitter:	To Next Transition	TDJR1	-75	75	ns
	For Paired Transitions	TDJR2	-45	45	ns
Downstream facing port source Jitter Total(including frequency tolerance):	To Next Transition	TDDJ1	-25	25	ns
	For Paired Transitions	TDDJ2	-14	14	ns
Downstream facing port source Jitter for Differential Transition to SE0 Transition				ns	
Downstream facing port Differential Receiver Jitter:	To Next Transition	TUJR1	-152	152	ns
	For Paired Transitions	TUJR2	-200	200	ns
Source SE0 interval of EOP	TLEOPT	1.25	1.5	μs	
Receiver SE0 interval of EOP	TLEOPR	670		ns	
Width of SE0 interval during differential transition	TLST		210	ns	

5.10 HDA 接口特性

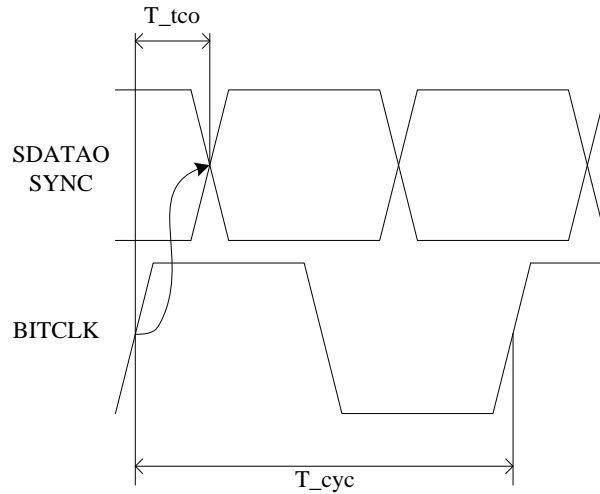


图5.8 HDA 接口时序

表 5-11 HDA 接口时序

参数	描述	最小	典型	最大	单位
T_{cyc}	HDA 时钟周期	-	41.67	-	ns
T_{tco}	BITCLK 到 SDATAO/SYNC 的延迟	3	-	10	ns
T_{su}	SDATAI 到 BITCLK 的建立时间	20	-	-	ns
T_h	SDATAI 到 BITCLK 的保持时间	5	-	-	ns

5.11 LPC 接口特性

表 5-12 LPC 接口时序

参数	描述	最小	典型	最大	单位
T_{cyc}	LPC 时钟周期	30	-	-	ns
T_{val}	LPC_CKIN 到数据输出的延迟	0	-	14	ns
T_{su}	数据输入建立时间	5	-	-	ns
T_h	数据输入保持时间	0	-	-	ns

5.12 SPI Flash 接口特性

表 5-13 SPI Flash 接口时序

参数	描述	最小	典型	最大	单位
T_{ckh}	SCK 时钟高电平时间	0.5T-1	-	-	ns

T_ckl	SCK 时钟低电平时间	0.5T-1	-	-	ns
T_val	SCK 下降沿到数据输出的延迟	-5	-	5	ns
T_su	数据输入建立时间	20	-	-	ns
T_h	数据输入保持时间	0	-	-	ns

注：T 为 SCK 时钟周期

5.13 I2C 接口特性

表 5-14 I2C 接口时序

参数	描述	最小	典型	最大	单位
T_ckh	SCL 时钟高电平时间	4	-	-	us
T_ckl	SCL 时钟低电平时间	5	-	-	us
T_val	SCL 下降沿到数据输出的延迟	5	-	-	us
T_su	数据建立时间(SDA 变化到 SCL 上升)	0	-	-	us
T_h	数据保持时间(SCL 下降到 SDA 变化)	0	-	-	us

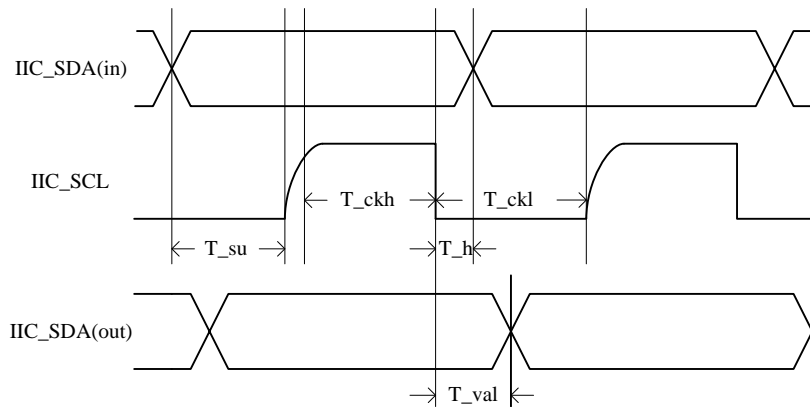


图5.9 I2C 接口时序

6 热特性

6.1 热参数

表 6-1 龙芯 2H 的热特性参数和推荐的最大值

Parameter	Value
TDP Max Power	10 Watts
T_A	25 °C
T_J	125 °C

表 6-2 龙芯 2H 的热阻参数

Heat sink	V_{air} (m/s)	θ_{JA} (°C/W)	ψ_{JT} (°C/W)	θ_{JC} (°C/W)
w/o	0	8.1	0.18	0.31
	1	6.2	0.18	-
	2	5.3	0.18	-
w/	0	3.5	0.24	-
	1	1.9	0.26	-
	2	1.4	0.27-	-

6.2 焊接温度

表 6-3 回流焊接温度分类表

Profile Feature		Pb-Free Assembly
Average ramp-up rate (T _{max} to T _p)		3°C/second max.
Preheat	Temperature Min (T _{min})	150 °C
	Temperature Max (T _{max})	200 °C
	Time (T _{min} to T _{max}) (ts)	60-180 seconds
Time maintained above	Temperature (T _L)	217 °C
	Time (t _L)	60-150 seconds
Peak Temperature (T _p)		245°C
Time within 5°C of actual Peak Temperature (tp) ²		20-40 seconds
Ramp-down Rate		6 °C/second max.
Time 25°C to Peak Temperature		8 minutes max.

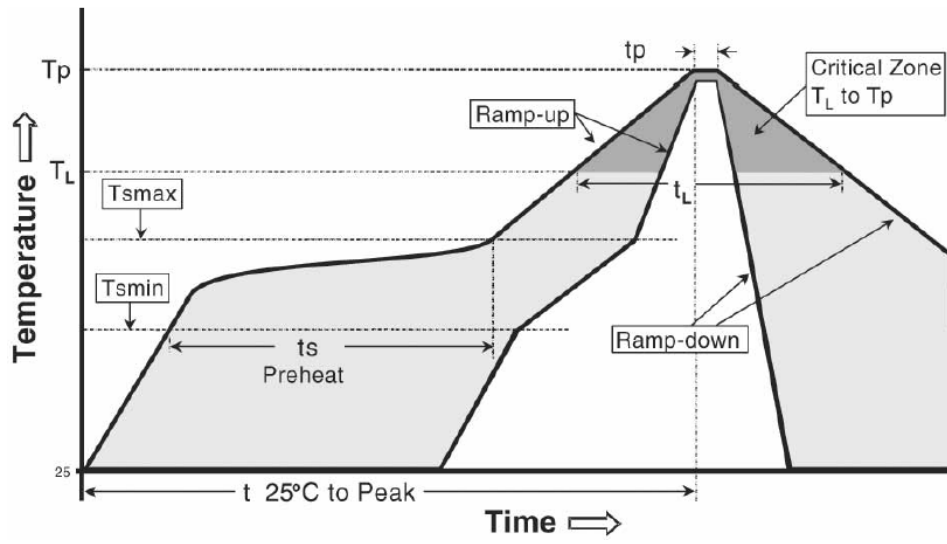


图 6.1 焊接回流曲线

7 引脚排列和封装

7.1 按引脚排列的封装引脚

表 7-1 按引脚排列的封装引脚表

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
A1	PCIE_VSSR	AA6	ACPI_BATLOWn	AC28	DDR_CK _n 3
A2	PCIE3_RXp	AA7	VSSE	AC29	DDR_CK _p 2
A3	PCIE_VSSR	AA24	DDR_REFRES	AC30	DDR_CK _n 2
A4	PCIE2_RXp	AA25	DDR_BA1	AD1	RTC_XI
A5	PCIE_VSST	AA26	DDR_A00	AD2	RTC_XO
A6	PCIE1_RXp	AA27	VSSE	AD3	ACPI_RSMRST _n
A7	PCIE_VSST	AA28	DDR_A06	AD4	ACPI_SYSRST _n
A8	PCIE0_RXp	AA29	DDR_A05	AD5	ACPI_PWRBTN _n
A9	PCIE_VSST	AA30	DDR_A04	AD6	ACPI_CKE1
A10	HT_RST _n	AB1	ACPI_CKE0	AD7	VDD_RSM
A11	HT_TX_CAD _p 01	AB2	ACPI_CKE2	AD8	VDD_RSM
A12	HT_TX_CAD _n 01	AB3	ACPI_CKE3	AD9	DVO_VSYNC
A13	HT_TX_CAD _p 03	AB4	RSM3V3	AD10	VDDE3V3
A14	HT_TX_CAD _n 03	AB5	ACPI_RING _n	AD11	VGA_VSYNC
A15	HT_TX_CAD _p 04	AB6	ACPI_SLPLAN _n	AD12	VDDE3V3
A16	HT_TX_CAD _n 04	AB7	VSSE	AD13	EJTAG_TDO
A17	HT_TX_CAD _p 06	AB24	VSSE	AD14	VGA_AVSS
A18	HT_TX_CAD _n 06	AB25	VSSE	AD15	VDD_CPU
A19	HT_TX_CTL _p 0	AB26	DDR_DQ33	AD16	VSS
A20	HT_TX_CTL _n 0	AB27	DDR_DQ37	AD17	VDD_CPU
A21	PLL_HT_AVDD	AB28	DDR_A03	AD18	VSS
A22	PLL_CORE_DVDD	AB29	DDR_A01	AD19	VDD_SOC
A23	PLL_SYS_DVDD	AB30	DDR_A02	AD20	VSS
A24	SYS_CLKSEL0	AC1	RTC_VSS	AD21	DDR_VREF
A25	SYS_BAKCLK	AC2	RTC_2V5	AD22	DDR_DQ56
A26	GPIO11	AC3	ACPI_RTCRST _n	AD23	VSSE
A27	GPIO07	AC4	ACPI_DOTEST _n	AD24	DDR_VREF
A28	GPIO04	AC5	ACPI_CLKSEL3	AD25	DDR_DQ34
A29	GPIO02	AC6	ACPI_CLKSEL2	AD26	DDR_DQ38
AA1	ACPI_S3 _n	AC7	VDD_RSM	AD27	DDR_DQM4
AA2	ACPI_S4 _n	AC24	DDR_DQ32	AD28	DDR_CK _p 3
AA3	ACPI_S5 _n	AC25	DDR_DQ35	AD29	DDR_BA0
AA4	ACPI_WAKE _n	AC26	DDR_DQ36	AD30	DDR_A10
AA5	ACPI_SUSSTAT _n	AC27	VSSE	AE1	LPC_FRAME _n

表 7-2 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
AE2	LPC_AD3	AF11	VSSE	AG20	VSS
AE3	LPC_AD2	AF12	EJTAG_TCK	AG21	DDR_DQ58
AE4	VSSE	AF13	EJTAG_TRST	AG22	VSSE
AE5	LPC_SIRQ	AF14	PLL_VGA_DGND	AG23	DDR_DQ50
AE6	VSSE	AF15	PLL_VGA_AGND	AG24	DDR_DQ49
AE7	VSSE	AF16	PLL_DVO_AVDD	AG25	DDR_DQ43
AE8	VDD_RSM	AF17	VSS	AG26	DDR_DQ40
AE9	DVO_HSYNC	AF18	VDD_CPU	AG27	VSSE
AE10	VDDE3V3	AF19	VSS	AG28	DDR_ODT3
AE11	VGA_HSYNC	AF20	VDD_SOC	AG29	DDR_SCSn1
AE12	VDDE3V3	AF21	DDR_DQ59	AG30	DDR_ODT2
AE13	EJTAG_TDI	AF22	DDR_DQ57	AH1	SPI_CS _n
AE14	VGA_A2V5	AF23	DDR_DQ51	AH2	SPI_SDO
AE15	VGA_AVSS	AF24	DDR_DQM6	AH3	AC97_SDATAI
AE16	VGA_AVSS	AF25	DDR_DQ42	AH4	DVO_CLK _n
AE17	VSS	AF26	VSSE	AH5	DVO_D01
AE18	VDD_CPU	AF27	DDR_DQ39	AH6	DVO_D04
AE19	VSS	AF28	DDR_ODT0	AH7	DVO_D07
AE20	VDD_SOC	AF29	DDR_CAS _n	AH8	VDDE3V3
AE21	DDR_VREF	AF30	DDR_WEn	AH9	DVO_D16
AE22	DDR_DQM7	AG1	LPC_CLK0	AH10	DVO_D20
AE23	VSSE	AG2	LPC_CLK1	AH11	DVO_D23
AE24	DDR_DQ48	AG3	SPI_SCK	AH12	EJTAG_SEL
AE25	DDR_VREF	AG4	VDDE3V3	AH13	VGA_IDUMP
AE26	DDR_DQSn4	AG5	VSSE	AH14	PLL_VGA_AVDD
AE27	DDR_DQSp4	AG6	VDDE3V3	AH15	PLL_DVO_DGND
AE28	DDR_SCSn2	AG7	VSSE	AH16	PLL_DDR_DVDD
AE29	DDR_SCSn0	AG8	DVO_D11	AH17	VDD_CPU
AE30	DDR_RAS _n	AG9	VSSE	AH18	VSS
AF1	LPC_AD1	AG10	DVO_D17	AH19	VDD_SOC
AF2	LPC_AD0	AG11	VSSE	AH20	VSS
AF3	LPC_RESET _n	AG12	EJTAG_TMS	AH21	DDR_DQSn7
AF4	LPC_CLKIN	AG13	VGA_A2V5	AH22	DDR_DQ60
AF5	VDDE3V3	AG14	PLL_VGA_DVDD	AH23	DDR_DQSn6
AF6	DVO_DE	AG15	VGA_A2V5	AH24	DDR_DQ52
AF7	GPIO01	AG16	PLL_DDR_DGND	AH25	DDR_DQ47
AF8	DVO_D10	AG17	VDD_CPU	AH26	DDR_DQ46
AF9	VSSE	AG18	VSS	AH27	DDR_DQSp5
AF10	GPIO00	AG19	VDD_SOC	AH28	VSSE

表 7-3 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
AH29	DDR_ODT1	AK9	DVO_D15	B19	HT_1V8
AH30	DDR_A13	AK10	DVO_D18	B20	HTCLKn
AJ1	SPI_SDI	AK11	DVO_D21	B21	PLL_HT_AGND
AJ2	AC97_RESET	AK12	SYS_TESTCLK	B22	PLL_CORE_DGND
AJ3	AC97_BITCLK	AK13	VGA_GOUT	B23	PLL_SYS_DGND
AJ4	DVO_CLKp	AK14	VGA_REXTP	B24	SYS_CLKSEL1
AJ5	DVO_D02	AK15	PLL_DVO_DVDD	B25	GPIO12
AJ6	DVO_D05	AK16	PLL_DDR_AVDD	B26	GPIO10
AJ7	DVO_D08	AK17	VSS	B27	GPIO06
AJ8	DVO_D13	AK18	SENSE_VCPU	B28	GPIO03
AJ9	DVO_D14	AK19	SENSE_VSOC	B29	IIC0_SDA
AJ10	DVO_D19	AK20	VDD_SOC	B30	IIC0_SCL
AJ11	DVO_D22	AK21	DDR_DQ62	C1	SATA0_TXn
AJ12	VGA_BOUT	AK22	DDR_DQ63	C2	PEST_1V2T
AJ13	VGA_ROUT	AK23	DDR_DQ54	C3	PCIE3_TXp
AJ14	VGA_REXTN	AK24	DDR_DQ55	C4	PCIE_1V2R
AJ15	PLL_DVO_AGND	AK25	DDR_CKn5	C5	PCIE2_TXp
AJ16	PLL_DDR_AGND	AK26	DDR_CKp4	C6	PCIE_1V2R
AJ17	VSS	AK27	DDR_DQ41	C7	PCIE1_TXp
AJ18	VDD_CPU	AK28	DDR_DQM5	C8	HT_1V8
AJ19	SENSE_VSS	AK29	DDR_DQ45	C9	PCIE0_TXp
AJ20	VDD_SOC	B1	SATA0_TXp	C10	HT_TX_CADn00
AJ21	DDR_DQSp7	B2	PCIE3_RXn	C11	HT_1V8
AJ22	DDR_DQ61	B3	PCIE3_TXn	C12	HT_TX_CADn02
AJ23	DDR_DQSp6	B4	PCIE2_RXn	C13	HT_1V8
AJ24	DDR_DQ53	B5	PCIE2_TXn	C14	HT_TX_CLKn0
AJ25	DDR_CKp5	B6	PCIE1_RXn	C15	HT_1V8
AJ26	DDR_CKn4	B7	PCIE1_TXn	C16	HT_TX_CADn05
AJ27	DDR_DQSn5	B8	PCIE0_RXn	C17	HT_1V8
AJ28	DDR_DQ44	B9	PCIE0_TXn	C18	HT_TX_CADn07
AJ29	VSSE	B10	HT_TX_CADp00	C19	HT_1V8
AJ30	DDR_SCSn3	B11	HT_1V8	C20	HTCLKp
AK2	AC97_SYNC	B12	HT_TX_CADp02	C21	PLL_HT_DVDD
AK3	AC97_SDATA0	B13	HT_1V8	C22	PLL_CORE_AVDD
AK4	DVO_D00	B14	HT_TX_CLKp0	C23	SATA0_LEDn
AK5	DVO_D03	B15	HT_1V8	C24	SYS_NMIIn
AK6	DVO_D06	B16	HT_TX_CADp05	C25	GPIO13
AK7	DVO_D09	B17	HT_1V8	C26	GPIO09
AK8	DVO_D12	B18	HT_TX_CADp07	C27	GPIO05

表 7-4 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
C28	VDDE3V3	E7	PCIE1_CLKp	F16	HT_RX_CLKp0
C29	IIC1_SCL	E8	PCIE0_CLKn	F17	HT_RX_CADn02
C30	IIC1_SDA	E9	PCIE_XTAL1	F18	HT_RX_CADp02
D1	PEST_1V2T	E10	HT_LDT_REQn	F19	HT_RX_CADn00
D2	SATA1_TXp	E11	HT_RX_CTLn0	F20	HT_RX_CADp00
D3	PEST_1V2T	E12	VSSE	F21	PLL_SYS_AGND
D4	SATA_XTAL1	E13	HT_RX_CADn06	F22	PLL_SYS_AVDD
D5	PEST_1V2T	E14	VSSE	F23	PCIE0_PRSNT
D6	PCIE2_CLKp	E15	HT_RX_CADn04	F24	GPIO14
D7	PEST_1V2T	E16	VSSE	F25	VSSE
D8	PCIE0_CLKp	E17	HT_RX_CADn03	F26	NAND_ALE
D9	HT_1V8	E18	VSSE	F27	NAND_RD
D10	HT_LDT_STOPn	E19	HT_RX_CADn01	F28	NAND_D2
D11	HT_RX_CTLp0	E20	VSSE	F29	NAND_D3
D12	VSSE	E21	VDDE3V3	F30	NAND_D1
D13	HT_RX_CADp06	E22	PCIE2_PRSNT	G1	SATA_1V2R
D14	VSSE	E23	PCIE1_PRSNT	G2	PLL_SATA_VSS
D15	HT_RX_CADp04	E24	PCIE_RSTn	G3	PLL_SATA_DVDD
D16	VSSE	E25	GPIO15	G4	PLL_SATA_AVDD
D17	HT_RX_CADp03	E26	VDDE3V3	G5	SATA_REFRES
D18	VSSE	E27	NAND_CE	G6	PEST_2V5
D19	HT_RX_CADp01	E28	NAND_RDY	G7	PCIE_REFRES
D20	VSSE	E29	NAND_WR	G8	PLL_PCIE_VSS
D21	PLL_HT_DGND	E30	NAND_D0	G9	PLL_PCIE_AVDD
D22	PLL_CORE_AGND	F1	SATA0_RXp	G10	VDDE3V3
D23	SATA1_LEDn	F2	SATA_VSSR	G11	VSSE
D24	SYS_INTn	F3	SATA1_RXp	G12	VDDE3V3
D25	PCIE3_PRSNT	F4	SATA_VSST	G13	VSSE
D26	GPIO08	F5	PCIE3_CLKn	G14	VDDE3V3
D27	VSSE	F6	SATA_VSST	G15	VSSE
D28	UART0_RXD	F7	PCIE1_CLKn	G16	VDDE3V3
D29	UART0_TXD	F8	PLL_PCIE_DVDD	G17	VSSE
D30	NAND_CLE	F9	PCIE_XTAL2	G18	VDDE3V3
E1	SATA0_RXn	F10	HT_POWEROK	G19	VSSE
E2	SATA1_TXn	F11	HT_RX_CADn07	G20	VDDE3V3
E3	SATA1_RXn	F12	HT_RX_CADp07	G21	VSSE
E4	SATA_XTAL2	F13	HT_RX_CADn05	G22	VDDE3V3
E5	PCIE3_CLKp	F14	HT_RX_CADp05	G23	VSSE
E6	PCIE2_CLKn	F15	HT_RX_CLKn0	G24	VDDE3V3

表 7-5 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
G25	THSENS_AGND	K6	GMAC1_RXD3	M7	USB_AVSS
G26	THSENS_AVDD	K7	VSSE	M11	VSSE
G27	NAND_D5	K24	DDR_VDDQ	M12	VDD_CPU
G28	NAND_D4	K25	DDR_VDDQ	M13	VSS
G29	NAND_D6	K26	DDR_DQ09	M14	VDD_CPU
G30	NAND_D7	K27	DDR_DQ08	M15	VSS
H1	GMAC1_TXD3	K28	DDR_DQ13	M16	HT_VDD
H2	GMAC1_MDCK	K29	DDR_DQSn1	M17	VSS
H3	GMAC1_MDIO	K30	DDR_DQSp1	M18	VDD_SOC
H4	VSSE	L1	GMAC0_TXD2	M19	VSS
H5	GMAC1_RXCK	L2	GMAC0_TXD3	M20	VDD_SOC
H6	RSM2V5	L3	GMAC0_MDCK	M24	DDR_VDDQ
H7	VSSE	L4	RSM2V5	M25	DDR_VDDQ
H24	DDR_VREF	L5	GMAC1_RXD2	M26	DDR_DQ11
H25	DDR_VREF	L6	GMAC1_RXD0	M27	DDR_DQ10
H26	DDR_DQ04	L7	RSM2V5	M28	DDR_CKp1
H27	DDR_DQ00	L11	VDDE3V3	M29	DDR_CKn1
H28	DDR_DQ01	L12	VSS	M30	DDR_RESETh
H29	DDR_DQSn0	L13	VDDE3V3	N1	GMAC0_TCTL
H30	DDR_DQSp0	L14	VSS	N2	GMAC0_TXCK
J1	GMAC1_TXD0	L15	VDDE3V3	N3	GMAC0_RXD1
J2	GMAC1_TXD1	L16	VSS	N4	GMAC0_RXD0
J3	GMAC1_TXD2	L17	VDDE3V3	N5	GMAC0_RXD3
J4	RSM2V5	L18	VSS	N6	RSM2V5
J5	GMAC1_RCTL	L19	VDDE3V3	N7	USB_A2V5
J6	VSSE	L20	VSS	N11	VDDE3V3
J7	RSM2V5	L24	DDR_DQ12	N12	VSS
J24	DDR_DQ05	L25	DDR_DQ15	N13	VDD_CPU
J25	DDR_DQ06	L26	DDR_DQM1	N14	VSS
J26	DDR_DQM0	L27	DDR_VDDQ	N15	VDD_CPU
J27	DDR_VDDQ	L28	DDR_DQ14	N16	VSS
J28	DDR_DQ03	L29	DDR_CKn0	N17	VDD_SOC
J29	DDR_DQ02	L30	DDR_CKp0	N18	VSS
J30	DDR_DQ07	M1	GMAC0_TXD0	N19	VDD_SOC
K1	GMAC0_MDIO	M2	GMAC0_TXD1	N20	VSS
K2	GMAC1_TCTL	M3	GMAC0_RXD2	N24	DDR_DQ20
K3	GMAC1_TXCK	M4	GMAC0_RCTL	N25	DDR_DQ17
K4	VSSE	M5	GMAC0_RXCK	N26	DDR_DQ16
K5	GMAC1_RXD1	M6	VSSE	N27	DDR_VDDQ

表 7-6 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
N28	DDR_DQ21	R16	VSS	U4	USB_AVSS
N29	DDR_DQSn2	R17	VDD_SOC	U5	USB_XI0
N30	DDR_DQSp2	R18	VSS	U6	USB_A3V3
P1	USB3_DM	R19	VDD_SOC	U7	USB_AVSS
P2	USB3_DP	R20	VSS	U11	VDDE3V3
P3	USB5_DP	R24	DDR_DQ30	U12	VSS
P4	USB5_DM	R25	DDR_DQ25	U13	VDD_CPU
P5	USB2_DM	R26	DDR_DQ29	U14	VSS
P6	USB_A2V5	R27	DDR_VDDQ	U15	VDD_CPU
P7	USB_AVSS	R28	DDR_DQ28	U16	VSS
P11	VSSE	R29	DDR_DQ24	U17	VDD_SOC
P12	VDD_CPU	R30	DDR_DQM3	U18	VSS
P13	VSS	T1	USB0_DM	U19	VDD_SOC
P14	VDD_CPU	T2	USB0_DP	U20	VSS
P15	VSS	T3	USB_XI1	U24	DDR_CB5
P16	HT_VDD	T4	USB_XO1	U25	DDR_CB1
P17	VSS	T5	USB_XO0	U26	DDR_CB0
P18	VDD_SOC	T6	USB_TXRTUNE0	U27	VSSE
P19	VSS	T7	USB0_VBUS	U28	DDR_CB4
P20	VDD_SOC	T11	VSSE	U29	DDR_DQSn8
P24	DDR_VDDQ	T12	VDD_CPU	U30	DDR_DQSp8
P25	DDR_VDDQ	T13	VSS	V1	USB3_OC
P26	DDR_DQ22	T14	VDD_CPU	V2	USB5_OC
P27	DDR_DQM2	T15	VSS	V3	USB4_OC
P28	DDR_DQ23	T16	VDD_SOC	V4	RSM3V3
P29	DDR_DQ18	T17	VSS	V5	ACPI_VID3
P30	DDR_DQ19	T18	VDD_SOC	V6	ACPI_VID2
R1	USB4_DM	T19	VSS	V7	VSSE
R2	USB4_DP	T20	VDD_SOC	V11	VSSE
R3	USB_A2V5	T24	DDR_VDDQ	V12	VDD_CPU
R4	USB_AVSS	T25	DDR_VDDQ	V13	VSS
R5	USB2_DP	T26	DDR_DQ31	V14	VDD_CPU
R6	USB0_ID	T27	DDR_DQ27	V15	VSS
R7	USB_TXRTUNE1	T28	DDR_DQ26	V16	VDD_SOC
R11	VDDE3V3	T29	DDR_DQSn3	V17	VSS
R12	VSS	T30	DDR_DQSp3	V18	VDD_SOC
R13	VDD_CPU	U1	USB1_DM	V19	VSS
R14	VSS	U2	USB1_DP	V20	VDD_SOC
R15	VDD_CPU	U3	USB_A3V3	V24	VSSE

表 7-7 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
V25	VSSE	W16	VSS	Y7	RSM3V3
V26	DDR_CB6	W17	VDD_SOC	Y11	VSSE
V27	DDR_DQM8	W18	VSS	Y12	VDD_CPU
V28	DDR_CB7	W19	VDD_SOC	Y13	VSS
V29	DDR_CB2	W20	VSS	Y14	VDD_CPU
V30	DDR_CB3	W24	DDR_CKE3	Y15	VSS
W1	USB1_OC	W25	DDR_CKE2	Y16	VDD_SOC
W2	USB0_OC	W26	DDR_CKE1	Y17	VSS
W3	USB2_OC	W27	VSSE	Y18	VDD_SOC
W4	ACPI_VID0	W28	DDR_CKE0	Y19	VSS
W5	ACPI_PWROK	W29	DDR_BA2	Y20	VDD_SOC
W6	ACPI_VID5	W30	DDR_A14	Y24	VSSE
W7	VSSE	Y1	ACPI_PLTRSTn	Y25	VSSE
W11	VDDE3V3	Y2	ACPI_PWRTYPE	Y26	DDR_A12
W12	VSS	Y3	ACPI_LID	Y27	DDR_A09
W13	VDD_CPU	Y4	RSM3V3	Y28	DDR_A11
W14	VSS	Y5	ACPI_VID4	Y29	DDR_A07
W15	VDD_CPU	Y6	ACPI_VID1	Y30	DDR_A08

7.2 FCBGA 引脚顶层排列

	1	2	3	4	5	6	7
A	PCIE_VSSR	PCIE3_RXp	PCIE_VSSR	PCIE2_RXp	PCIE_VSST	PCIE1_RXp	PCIE_VSST
B	SATA0_TXp	PCIE3_RXn	PCIE3_TXn	PCIE2_RXn	PCIE2_TXn	PCIE1_RXn	PCIE1_TXn
C	SATA0_TXn	PEST_1V2T	PCIE3_TXp	PCIE_1V2R	PCIE2_TXp	PCIE_1V2R	PCIE1_TXp
D	PEST_1V2T	SATA1_TXp	PEST_1V2T	SATA_XTAL1	PEST_1V2T	PCIE2_CLKp	PEST_1V2T
E	SATA0_RXn	SATA1_TXn	SATA1_RXn	SATA_XTAL2	PCIE3_CLKp	PCIE2_CLKn	PCIE1_CLKp
F	SATA0_RXp	SATA_VSSR	SATA1_RXp	SATA_VSST	PCIE3_CLKn	SATA_VSST	PCIE1_CLKn
G	SATA_1V2R	PLL_SATA_VSS	PLL_SATA_DVDD	PLL_SATA_AVDD	SATA_REFRES	PEST_2V5	PCIE_REFRES
H	GMAC1_TXD3	GMAC1_MDCK	GMAC1_MDIO	VSSE	GMAC1_RXCK	RSM2V5	VSSE
J	GMAC1_TXD0	GMAC1_TXD1	GMAC1_TXD2	RSM2V5	GMAC1_RCTL	VSSE	RSM2V5
K	GMAC0_MDIO	GMAC1_TCTL	GMAC1_TXCK	VSSE	GMAC1_RXD1	GMAC1_RXD3	VSSE
L	GMAC0_TXD2	GMAC0_TXD3	GMAC0_MDCK	RSM2V5	GMAC1_RXD2	GMAC1_RXD0	RSM2V5
M	GMAC0_TXD0	GMAC0_TXD1	GMAC0_RXD2	GMAC0_RCTL	GMAC0_RXCK	VSSE	USB_AVSS
N	GMAC0_TCTL	GMAC0_TXCK	GMAC0_RXD1	GMAC0_RXD0	GMAC0_RXD3	RSM2V5	USB_A2V5
P	USB3_DM	USB3_DP	USB5_DP	USB5_DM	USB2_DM	USB_A2V5	USB_AVSS
R	USB4_DM	USB4_DP	USB_A2V5	USB_AVSS	USB2_DP	USB0_ID	USB_TXRTUNE1
T	USB0_DM	USB0_DP	USB_XI1	USB_XO1	USB_XO0	USB_TXRTUNE0	USB0_VBUS
U	USB1_DM	USB1_DP	USB_A3V3	USB_AVSS	USB_XI0	USB_A3V3	USB_AVSS
V	USB3_OC	USB5_OC	USB4_OC	RSM3V3	ACPI_VID3	ACPI_VID2	VSSE
W	USB1_OC	USB0_OC	USB2_OC	ACPI_VID0	ACPI_PWROK	ACPI_VID5	VSSE
Y	ACPI_PLTRSTn	ACPI_PWRTYPE	ACPI_LID	RSM3V3	ACPI_VID4	ACPI_VID1	RSM3V3
AA	ACPI_S3n	ACPI_S4n	ACPI_S5n	ACPI_WAKEn	ACPI_SUSSTATn	ACPI_BATLOWn	VSSE
AB	ACPI_CKE0	ACPI_CKE2	ACPI_CKE3	RSM3V3	ACPI_RINGn	ACPI_SLPLANn	VSSE
AC	RTC_VSS	RTC_2V5	ACPI_RTCRSTn	ACPI_DOTESTn	ACPI_CLKSEL3	ACPI_CLKSEL2	VDD_RSM
AD	RTC_XI	RTC_XO	ACPI_RSMRSTn	ACPI_SYSRSTn	ACPI_PWRBTn	ACPI_CKE1	VDD_RSM
AE	LPC_FRAMEEn	LPC_AD3	LPC_AD2	VSSE	LPC_SIRQ	VSSE	VSSE
AF	LPC_AD1	LPC_AD0	LPC_RESETh	LPC_CLKIN	VDDE3V3	DVO_DE	GPIO01
AG	LPC_CLK0	LPC_CLK1	SPI_SCK	VDDE3V3	VSSE	VDDE3V3	VSSE
AH	SPI_CSn	SPI_SDO	AC97_SDATAI	DVO_CLKn	DVO_D01	DVO_D04	DVO_D07
AJ	SPI_SDI	AC97_RESET	AC97_BITCLK	DVO_CLKp	DVO_D02	DVO_D05	DVO_D08
AK		AC97_SYNC	AC97_SDATAO	DVO_D00	DVO_D03	DVO_D06	DVO_D09
	1	2	3	4	5	6	7

图 7.1 顶层引脚排列（左侧）

8	9	10	11	12	13	14	15
PCIE0_RXp	PCIE_VSST	HT_RSTn	HT_TX_CADp01	HT_TX_CADn01	HT_TX_CADp03	HT_TX_CADn03	HT_TX_CADp04
PCIE0_RXn	PCIE0_TXn	HT_TX_CADp00	HT_1V8	HT_TX_CADp02	HT_1V8	HT_TX_CLKp0	HT_1V8
HT_1V8	PCIE0_TXp	HT_TX_CADn00	HT_1V8	HT_TX_CADn02	HT_1V8	HT_TX_CLKn0	HT_1V8
PCIE0_CLKp	HT_1V8	HT_LDT_STOPn	HT_RX_CTLp0	VSSE	HT_RX_CADp06	VSSE	HT_RX_CADp04
PCIE0_CLKn	PCIE_XTAL1	HT_LDT_REQn	HT_RX_CTLn0	VSSE	HT_RX_CADn06	VSSE	HT_RX_CADn04
PLL_PCIE_DVDD	PCIE_XTAL2	HT_POWEROK	HT_RX_CADn07	HT_RX_CADp07	HT_RX_CADn05	HT_RX_CADp05	HT_RX_CLKn0
PLL_PCIE_VSS	PLL_PCIE_AVDD	VDDE3V3	VSSE	VDDE3V3	VSSE	VDDE3V3	VSSE

VDDE3V3	VSS	VDDE3V3	VSS	VDDE3V3
VSSE	VDD_CPU	VSS	VDD_CPU	VSS
VDDE3V3	VSS	VDD_CPU	VSS	VDD_CPU
VSSE	VDD_CPU	VSS	VDD_CPU	VSS
VDDE3V3	VSS	VDD_CPU	VSS	VDD_CPU
VSSE	VDD_CPU	VSS	VDD_CPU	VSS
VDDE3V3	VSS	VDD_CPU	VSS	VDD_CPU
VSSE	VDD_CPU	VSS	VDD_CPU	VSS
VDDE3V3	VSS	VDD_CPU	VSS	VDD_CPU
VSSE	VDD_CPU	VSS	VDD_CPU	VSS

VDD_RSM	DVO_VSYNC	VDDE3V3	VGA_VSYNC	VDDE3V3	EJTAG_TDO	VGA_AVSS	VDD_CPU
VDD_RSM	DVO_HSYNC	VDDE3V3	VGA_HSYNC	VDDE3V3	EJTAG_TDI	VGA_A2V5	VGA_AVSS
DVO_D10	VSSE	GPIO00	VSSE	EJTAG_TCK	EJTAG_TRST	PLL_VGA_DGND	PLL_VGA_AGND
DVO_D11	VSSE	DVO_D17	VSSE	EJTAG_TMS	VGA_A2V5	PLL_VGA_DVDD	VGA_A2V5
VDDE3V3	DVO_D16	DVO_D20	DVO_D23	EJTAG_SEL	VGA_IDUMP	PLL_VGA_AVDD	PLL_DVO_DGND
DVO_D13	DVO_D14	DVO_D19	DVO_D22	VGA_BOUT	VGA_ROUT	VGA_REXTN	PLL_DVO_AGND
DVO_D12	DVO_D15	DVO_D18	DVO_D21	SYS_TESTCLK	VGA_GOUT	VGA_REXTP	PLL_DVO_DVDD
8	9	10	11	12	13	14	15

图 7.2 顶层引脚排列（中间 1）

16	17	18	19	20	21	22	23
HT_TX_CADn04	HT_TX_CADp06	HT_TX_CADn06	HT_TX_CTLp0	HT_TX_CTLn0	PLL_HT_AVDD	PLL_CORE_DVDD	PLL_SYS_DVDD
HT_TX_CADp05	HT_1V8	HT_TX_CADp07	HT_1V8	HTCLKn	PLL_HT_AGND	PLL_CORE_DGND	PLL_SYS_DGND
HT_TX_CADn05	HT_1V8	HT_TX_CADn07	HT_1V8	HTCLKp	PLL_HT_DVDD	PLL_CORE_AVDD	SATA0_LEDn
VSSE	HT_RX_CADp03	VSSE	HT_RX_CADp01	VSSE	PLL_HT_DGND	PLL_CORE_AGND	SATA1_LEDn
VSSE	HT_RX_CADn03	VSSE	HT_RX_CADn01	VSSE	VDDE3V3	PCIE2_PRSNT	PCIE1_PRSNT
HT_RX_CLKp0	HT_RX_CADn02	HT_RX_CADp02	HT_RX_CADn00	HT_RX_CADp00	PLL_SYS_AGND	PLL_SYS_AVDD	PCIE0_PRSNT
VDDE3V3	VSSE	VDDE3V3	VSSE	VDDE3V3	VSSE	VDDE3V3	VSSE

VSS	VDDE3V3	VSS	VDDE3V3	VSS
HT_VDD	VSS	VDD_SOC	VSS	VDD_SOC
VSS	VDD_SOC	VSS	VDD_SOC	VSS
HT_VDD	VSS	VDD_SOC	VSS	VDD_SOC
VSS	VDD_SOC	VSS	VDD_SOC	VSS
VDD_SOC	VSS	VDD_SOC	VSS	VDD_SOC
VSS	VDD_SOC	VSS	VDD_SOC	VSS
VDD_SOC	VSS	VDD_SOC	VSS	VDD_SOC
VSS	VDD_SOC	VSS	VDD_SOC	VSS
VDD_SOC	VSS	VDD_SOC	VSS	VDD_SOC

VSS	VDD_CPU	VSS	VDD_SOC	VSS	DDR_VREF	DDR_DQ56	VSSE
VGA_AVSS	VSS	VDD_CPU	VSS	VDD_SOC	DDR_VREF	DDR_DQM7	VSSE
PLL_DVO_AVDD	VSS	VDD_CPU	VSS	VDD_SOC	DDR_DQ59	DDR_DQ57	DDR_DQ51
PLL_DDR_DGND	VDD_CPU	VSS	VDD_SOC	VSS	DDR_DQ58	VSSE	DDR_DQ50
PLL_DDR_DVDD	VDD_CPU	VSS	VDD_SOC	VSS	DDR_DQSn7	DDR_DQ60	DDR_DQSn6
PLL_DDR_AGND	VSS	VDD_CPU	SENSE_VSS	VDD_SOC	DDR_DQSp7	DDR_DQ61	DDR_DQSp6
PLL_DDR_AVDD	VSS	SENSE_VCPU	SENSE_VSOC	VDD_SOC	DDR_DQ62	DDR_DQ63	DDR_DQ54
16	17	18	19	20	21	22	23

图 7.3 顶层引脚排列（中间 2）

24	25	26	27	28	29	30	
SYS_CLKSELO	SYS_BAKCLK	GPIO11	GPIO07	GPIO04	GPIO02		A
SYS_CLKSEL1	GPIO12	GPIO10	GPIO06	GPIO03	IIC0_SDA	IIC0_SCL	B
SYS_NMI _n	GPIO13	GPIO09	GPIO05	VDDE3V3	IIC1_SCL	IIC1_SDA	C
SYS_INT _n	PCIE3_PRSENT	GPIO08	VSSE	UART0_RXD	UART0_TXD	NAND_CLE	D
PCIE_RST _n	GPIO15	VDDE3V3	NAND_CE	NAND_RDY	NAND_WR	NAND_D0	E
GPIO14	VSSE	NAND_ALE	NAND_RD	NAND_D2	NAND_D3	NAND_D1	F
VDDE3V3	THSENS_AGND	THSENS_AVDD	NAND_D5	NAND_D4	NAND_D6	NAND_D7	G
DDR_VREF	DDR_VREF	DDR_DQ04	DDR_DQ00	DDR_DQ01	DDR_DQSn0	DDR_DQSp0	H
DDR_DQ05	DDR_DQ06	DDR_DQM0	DDR_VDDQ	DDR_DQ03	DDR_DQ02	DDR_DQ07	J
DDR_VDDQ	DDR_VDDQ	DDR_DQ09	DDR_DQ08	DDR_DQ13	DDR_DQSn1	DDR_DQSp1	K
DDR_DQ12	DDR_DQ15	DDR_DQM1	DDR_VDDQ	DDR_DQ14	DDR_CKn0	DDR_CKp0	L
DDR_VDDQ	DDR_VDDQ	DDR_DQ11	DDR_DQ10	DDR_CKp1	DDR_CKn1	DDR_RESET _n	M
DDR_DQ20	DDR_DQ17	DDR_DQ16	DDR_VDDQ	DDR_DQ21	DDR_DQSn2	DDR_DQSp2	N
DDR_VDDQ	DDR_VDDQ	DDR_DQ22	DDR_DQM2	DDR_DQ23	DDR_DQ18	DDR_DQ19	P
DDR_DQ30	DDR_DQ25	DDR_DQ29	DDR_VDDQ	DDR_DQ28	DDR_DQ24	DDR_DQM3	R
DDR_VDDQ	DDR_VDDQ	DDR_DQ31	DDR_DQ27	DDR_DQ26	DDR_DQSn3	DDR_DQSp3	T
DDR_CB5	DDR_CB1	DDR_CB0	VSSE	DDR_CB4	DDR_DQSn8	DDR_DQSp8	U
VSSE	VSSE	DDR_CB6	DDR_DQM8	DDR_CB7	DDR_CB2	DDR_CB3	V
DDR_CKE3	DDR_CKE2	DDR_CKE1	VSSE	DDR_CKE0	DDR_BA2	DDR_A14	W
VSSE	VSSE	DDR_A12	DDR_A09	DDR_A11	DDR_A07	DDR_A08	Y
DDR_REFRES	DDR_BA1	DDR_A00	VSSE	DDR_A06	DDR_A05	DDR_A04	AA
VSSE	VSSE	DDR_DQ33	DDR_DQ37	DDR_A03	DDR_A01	DDR_A02	AB
DDR_DQ32	DDR_DQ35	DDR_DQ36	VSSE	DDR_CKn3	DDR_CKp2	DDR_CKn2	AC
DDR_VREF	DDR_DQ34	DDR_DQ38	DDR_DQM4	DDR_CKp3	DDR_BA0	DDR_A10	AD
DDR_DQ48	DDR_VREF	DDR_DQSn4	DDR_DQSp4	DDR_SCSn2	DDR_SCSn0	DDR_RAS _n	AE
DDR_DQM6	DDR_DQ42	VSSE	DDR_DQ39	DDR_ODT0	DDR_CAS _n	DDR_WEn	AF
DDR_DQ49	DDR_DQ43	DDR_DQ40	VSSE	DDR_ODT3	DDR_SCSn1	DDR_ODT2	AG
DDR_DQ52	DDR_DQ47	DDR_DQ46	DDR_DQSp5	VSSE	DDR_ODT1	DDR_A13	AH
DDR_DQ53	DDR_CKp5	DDR_CKn4	DDR_DQSn5	DDR_DQ44	VSSE	DDR_SCSn3	AJ
DDR_DQ55	DDR_CKn5	DDR_CKp4	DDR_DQ41	DDR_DQM5	DDR_DQ45		AK
24	25	26	27	28	29	30	

图 7.4 顶层引脚排列（右侧）

7.3 封装走线长度

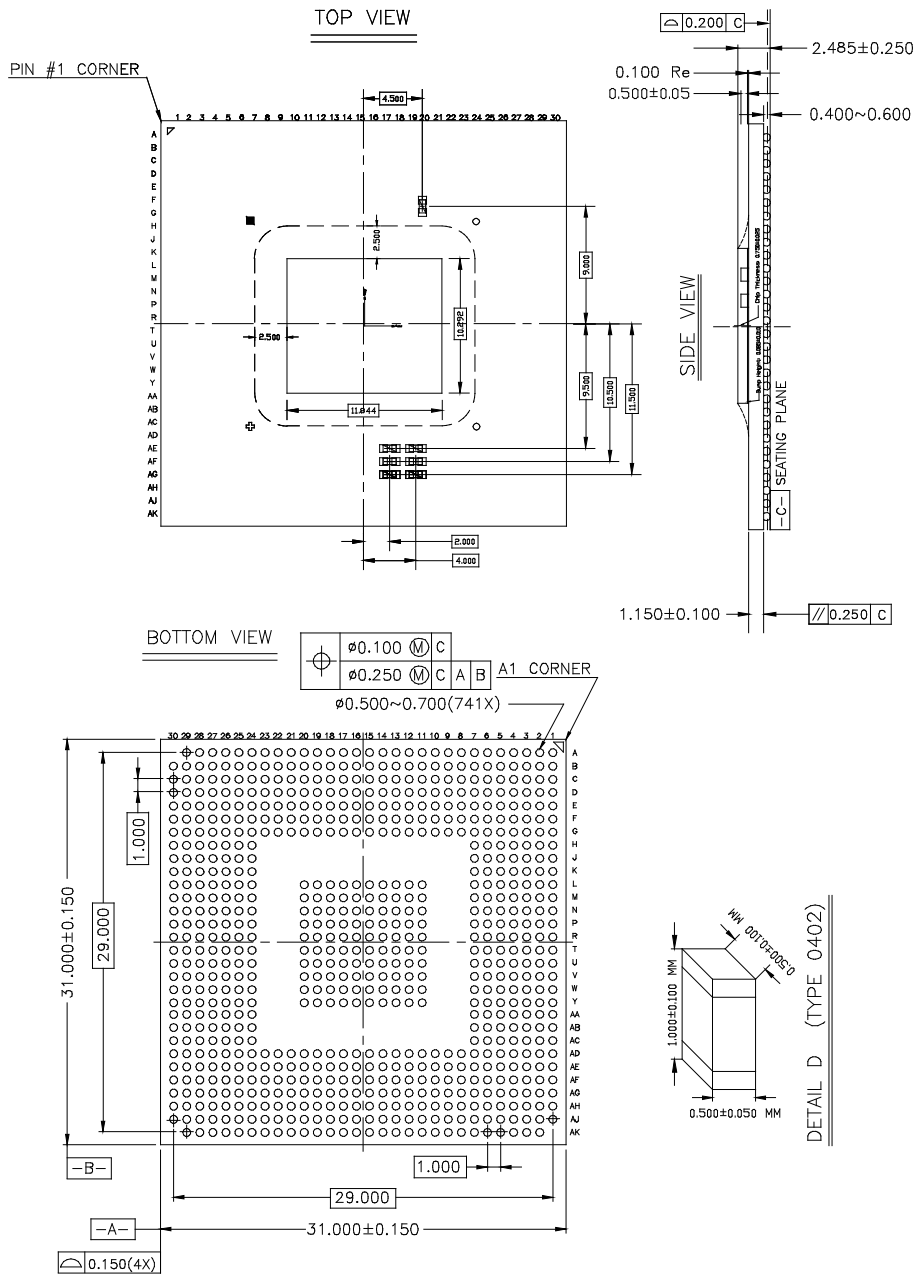
表 7-8 封装走线长度

信号	长度(um)	信号	长度(um)	信号	长度(um)
DDR_A00	13571.82	DDR_DQ58	12825.3	HTCLKN	18191.92
DDR_A01	13807.9	DDR_DQ59	12601	HTCLKP	18193.32
DDR_A02	14130.1	DDR_DQ60	12918.59	HT_LDT_REQN	8894.82
DDR_A03	13886.89	DDR_DQ61	13218.19	HT_LDT_STOPN	10222.33
DDR_A04	13781.02	DDR_DQ62	14257.93	HT_POWEROK	7816.22
DDR_A05	14458.86	DDR_DQ63	14460.14	HT_RSTN	20926.69
DDR_A06	14033.75	DDR_DQM0	14594.95	HT_RX_CADN00	10212.9
DDR_A07	13562.59	DDR_DQM1	13691.04	HT_RX_CADN01	11932.3
DDR_A08	14443.14	DDR_DQM2	12705.47	HT_RX_CADN02	10481.62
DDR_A09	14645.66	DDR_DQM3	13266.05	HT_RX_CADN03	10765.28
DDR_A10	13617.81	DDR_DQM4	12782.07	HT_RX_CADN04	10522.7
DDR_A11	13550.35	DDR_DQM5	16273.73	HT_RX_CADN05	10290.08
DDR_A12	13555.51	DDR_DQM6	13856.67	HT_RX_CADN06	11695.99
DDR_A13	16700.28	DDR_DQM7	12639.23	HT_RX_CADN07	10246.17
DDR_A14	14065.36	DDR_DQM8	13202.5	HT_RX_CADP00	10209.63
DDR_BA0	13879.05	DDR_DQSN0	14995.84	HT_RX_CADP01	11931.21
DDR_BA1	13583.84	DDR_DQSN1	14424.66	HT_RX_CADP02	10470.03
DDR_BA2	14181.06	DDR_DQSN2	13534.87	HT_RX_CADP03	10761.09
DDR_CASN	13969.04	DDR_DQSN3	13435.79	HT_RX_CADP04	10532.35
DDR_CBO	13196.19	DDR_DQSN4	13410.8	HT_RX_CADP05	10286.74
DDR_CB1	13082.05	DDR_DQSN5	16636.37	HT_RX_CADP06	11696.98
DDR_CB2	12711.82	DDR_DQSN6	14524.53	HT_RX_CADP07	10253
DDR_CB3	12946.19	DDR_DQSN7	13532.58	HT_RX_CLKN0	11341.74
DDR_CB4	13392.13	DDR_DQSN8	13595.32	HT_RX_CLKP0	11339.37
DDR_CB5	12613.92	DDR_DQSP0	14992.2	HT_RX_CTLN0	12294.07
DDR_CB6	12922.69	DDR_DQSP1	14422.12	HT_RX_CTLP0	12290.84
DDR_CB7	12840.85	DDR_DQSP2	13530.32	HT_TX_CADN00	18027.69
DDR_CKE0	13584.79	DDR_DQSP3	13429.22	HT_TX_CADN01	17666.18
DDR_CKE1	13707.74	DDR_DQSP4	13419.47	HT_TX_CADN02	16291.44
DDR_CKE2	13682.3	DDR_DQSP5	16638.6	HT_TX_CADN03	16361.24
DDR_CKE3	13720.08	DDR_DQSP6	14554.11	HT_TX_CADN04	16282.15
DDR_CKN0	16036.59	DDR_DQSP7	13582.63	HT_TX_CADN05	16504.28
DDR_CKN1	16098.13	DDR_DQSP8	13592.87	HT_TX_CADN06	16168.65
DDR_CKN2	16032.55	DDR_ODT0	14290.81	HT_TX_CADN07	16529.29
DDR_CKN3	15945.1	DDR_ODT1	15953.84	HT_TX_CADP00	18024.12
DDR_CKN4	16135.78	DDR_ODT2	15212.85	HT_TX_CADP01	17669.11
DDR_CKN5	15939.14	DDR_ODT3	14344.66	HT_TX_CADP02	16294.41
DDR_CKP0	16033.9	DDR_RASN	14323.17	HT_TX_CADP03	16362.51
DDR_CKP1	16051.92	DDR_REFRES	13833.6	HT_TX_CADP04	16278.3
DDR_CKP2	15956.65	DDR_RESETN	17521.05	HT_TX_CADP05	16517.22

DDR_CKP3	15950.08	DDR_SCSN0	14110.06	HT_TX_CADP06	16465.07
DDR_CKP4	16133.02	DDR_SCSN1	15576.95	HT_TX_CADP07	16537.35
DDR_CKP5	15939.73	DDR_SCSN2	13722.3	HT_TX_CLKN0	17038.34
DDR_DQ00	14195.21	DDR_SCSN3	17675.06	HT_TX_CLKP0	17022.06
DDR_DQ01	14410.59	DDR_VDDQ	30066.12	HT_TX_CTLN0	16262.53
DDR_DQ02	14795.88	DDR_VREF	16362.78	HT_TX_CTLP0	16285.82
DDR_DQ03	14819.86	DDR_WEN	14891.26	PCIE0_CLKN	13993.71
DDR_DQ04	14321.08	DVO_CLKN	16156.31	PCIE0_CLKP	13993.64
DDR_DQ05	14280.24	DVO_CLKP	16151.15	PCIE0_RXN	16153.69
DDR_DQ06	14005.93	DVO_D00	15717.1	PCIE0_RXP	16152.52
DDR_DQ07	14884.1	DVO_D01	13634.15	PCIE0_TXN	15284.51
DDR_DQ08	13646.33	DVO_D02	14639.21	PCIE0_TXP	15238.77
DDR_DQ09	13692.92	DVO_D03	15762.3	PCIE1_CLKN	15096.72
DDR_DQ10	14350.88	DVO_D04	12860.34	PCIE1_CLKP	15098
DDR_DQ11	13437.92	DVO_D05	14435.76	PCIE1_RXN	16109.85
DDR_DQ12	13425.99	DVO_D06	15950.38	PCIE1_RXP	16109.69
DDR_DQ13	13670.07	DVO_D07	13126.7	PCIE1_TXN	14893.32
DDR_DQ14	13444.43	DVO_D08	13596.71	PCIE1_TXP	14897.56
DDR_DQ15	13725.39	DVO_D09	14712.97	PCIE2_CLKN	15636.78
DDR_DQ16	12989	DVO_D10	11157.96	PCIE2_CLKP	15640.19
DDR_DQ17	12754.3	DVO_D11	11873.55	PCIE2_RXN	16041.03
DDR_DQ18	12665.86	DVO_D12	14350.16	PCIE2_RXP	16027.81
DDR_DQ19	12578.88	DVO_D13	13250.27	PCIE2_TXN	14830.24
DDR_DQ20	13097.08	DVO_D14	13271.27	PCIE2_TXP	14834.06
DDR_DQ21	13039.81	DVO_D15	14122.58	PCIE3_CLKN	15817.86
DDR_DQ22	12639.27	DVO_D16	12530.3	PCIE3_CLKP	15744.36
DDR_DQ23	13630.65	DVO_D17	12803.62	PCIE3_RXN	16174.28
DDR_DQ24	13171.71	DVO_D18	13983.04	PCIE3_RXP	16172.16
DDR_DQ25	12631.4	DVO_D19	12809.37	PCIE3_TXN	15012.7
DDR_DQ26	12922.01	DVO_D20	12475.71	PCIE3_TXP	15008.87
DDR_DQ27	12646.81	DVO_D21	14001.49	PCIE_XTAL1	9450.46
DDR_DQ28	13170.77	DVO_D22	13008.15	PCIE_XTAL2	9508.34
DDR_DQ29	12504.61	DVO_D23	12558.65	SATA0_RXN	14102.43
DDR_DQ30	13075.27	DVO_DE	12499.54	SATA0_RXP	14105.18
DDR_DQ31	12843.61	DVO_HSYNC	12783.52	SATA0_TXN	18177.69
DDR_DQ32	12574.85	DVO_VSYNC	10922.92	SATA0_TXP	18101.94
DDR_DQ33	12837.62	GMACO_RCTL	13275.08	SATA1_RXN	11932.69
DDR_DQ34	12548.36	GMACO_RXCK	12960.32	SATA1_RXP	11929.58
DDR_DQ35	13066.46	GMACO_RXD0	11123.18	SATA1_TXN	13902.42
DDR_DQ36	12981.53	GMACO_RXD1	11460.57	SATA1_TXP	13902.6
DDR_DQ37	12817.97	GMACO_RXD2	11397.43	SATA_XTAL1	13493.17

DDR_DQ38	12822.6	GMACO_RXD3	11521.46	SATA_XTAL2	13263.66
DDR_DQ39	13037.19	GMACO_TCTL	12954.57	USB0_DM	12541.67
DDR_DQ40	15766.8	GMACO_TXCK	11927.56	USB0_DP	12541.01
DDR_DQ41	16694.56	GMACO_TXD0	12916.97	USB0_ID	7499.73
DDR_DQ42	16384.86	GMACO_TXD1	12035.91	USB1_DM	12613.28
DDR_DQ43	15780.96	GMACO_TXD2	13448.66	USB1_DP	12611.99
DDR_DQ44	16390.36	GMACO_TXD3	11958.67	USB2_DM	10214.1
DDR_DQ45	17214.73	GMAC1_RCTL	10741.54	USB2_DP	10209.97
DDR_DQ46	16294.4	GMAC1_RXCK	11901.4	USB3_DM	12099.46
DDR_DQ47	15933.15	GMAC1_RXD0	9919.36	USB3_DP	12104.29
DDR_DQ48	13715.83	GMAC1_RXD1	10205.76	USB4_DM	12785.46
DDR_DQ49	13784.1	GMAC1_RXD2	9927.24	USB4_DP	12785.26
DDR_DQ50	13838.16	GMAC1_RXD3	10256.78	USB5_DM	10654.43
DDR_DQ51	13620.85	GMAC1_TCTL	12427.26	USB5_DP	10658.9
DDR_DQ52	13684.18	GMAC1_TXCK	12423.84	USB_XI0	8055.59
DDR_DQ53	14144.68	GMAC1_TXD0	13935.83	USB_XI1	9972.25
DDR_DQ54	15484.37	GMAC1_TXD1	12236.65	USB_X00	8379.22
DDR_DQ55	15032.14	GMAC1_TXD2	11507.21	USB_X01	9419.67
DDR_DQ56	12907.51	GMAC1_TXD3	14028.96		
DDR_DQ57	13133.35				

8 封装机械尺寸



9 不使用引脚的处理

不使用的引脚需按以下原则处理：

信号组	不使用的处理方式
DDR2/3	DDR 32 位模式只用低 32 位数据线，不用的信号需拉低。

HyperTransport	输出可悬空，输入需拉低
PCIE	输出可悬空，输入需拉低
VGA	可悬空
DVO	可悬空
GMAC	输出可悬空，输入需拉低
SATA	输出可悬空，输入需拉低
USB	需拉低
HDA	输出可悬空，输入需拉低
LPC	输出可悬空，输入需拉低，LPC_CLKIN 接 LPC_CLK[0]
SPI	输出可悬空，输入需拉低，配置引脚必须正确上下拉
I2C	需拉低
UART	输出可悬空，输入需拉低
NAND	配置引脚必须正确上下拉
GPIO	由软件设置为输出则可悬空
ACPI	ACPI_CLKSEL3 下拉， ACPI_SYSRSTn 作系统复位， ACPI_DOTESTn 上拉， ACPI_RSMRSTn 上拉， 其它信号输出可悬空，输入需拉低
EJTAG	EJTAG_TRST/TDI 需下拉，其它信号可悬空
时钟配置	必须正确连接
电源地	电源地不可悬空 HT不使用时，电源可接地（PCIE*_CLKp/n需要HT电源） PCIE和SATA均不使用时，相关电源可接地 其它电源地必须正确连接