

LOONGSON

龙芯 2K0500 处理器
数据手册

V1.0

2023 年04 月

龙芯中科技术股份有限公司

自主决定命运, 创新成就未来

北京市海淀区温泉镇中关村环保科技示范园龙芯产业园2号楼 100095
Loongson Industrial Park, building 2, Zhongguancun environmental protection park
Haidian District, Beijing



www.loongson.cn

版权声明

本档版权归龙芯中科技术股份有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park, Zhongguancun Environmental Protection Park,电话(Tel): 010-62546668

传真(Fax): 010-62600826

阅读指南

《龙芯 2K0500 处理器数据手册》主要介绍龙芯 2K0500 处理器接口结构，特性，电气规范，以及硬件设计指导。

版本信息

文档更新记录	文档名:	龙芯 2K0500 处理器数据手册
	版本号:	V1.0
	创建人:	芯片研发部
更新历史		
序号.	版本号	更新内容
1	V1.0	第一版发布

目 录

目 录.....	I
图目录.....	VI
表目录.....	VII
1 概述.....	1
1.1 体系结构框图	2
1.2 芯片特性	3
1.2.1 处理器核	3
1.2.2 GPU	3
1.2.3 显示控制器	3
1.2.4 内存控制器	4
1.2.5 PCIE 接口	4
1.2.6 SATA 控制器	4
1.2.7 PCI 接口	4
1.2.8 USB 控制器	4
1.2.9 GMAC 控制器	5
1.2.10 LPC 控制器	5
1.2.11 AC97 控制器	5
1.2.12 HDA 控制器	5
1.2.13 NAND 控制器.....	5
1.2.14 SPI 控制器	6
1.2.15 UART	6
1.2.16 I2C 总线	6
1.2.17 打印接口	7
1.2.18 PWM.....	7
1.2.19 SDIO 控制器	7
1.2.20 PS/2 控制器.....	7
1.2.21 HPET	7
1.2.22 CAN.....	7
1.2.23 RTC.....	8
1.2.24 GPIO	8
1.2.25 Watchdog	8
1.2.26 温度传感器	8

1.2.27 中断控制器	8
1.2.28 ACPI 功耗管理	8
1.3 订购信息	9
1.4 文档约定	9
1.4.1 信号命名	9
1.4.2 信号类型	9
1.4.3 数值表示	9
1.4.4 寄存器域	10
2 引脚定义	11
2.1 DDR3 接口	11
2.2 PCIE 接口	11
2.3 PCI 接口	12
2.4 VGA 显示接口	12
2.5 DVO 显示接口	13
2.6 GMAC 接口	13
2.7 SATA 接口	14
2.8 USB 接口	14
2.9 USB3.0 接口	15
2.10 AC97/HDA 接口	15
2.11 LPC 接口	15
2.12 SPI 接口	16
2.13 I2C 接口	16
2.14 UART 接口	16
2.15 PRINT 接口	17
2.16 NAND 接口	18
2.17 SDIO 接口	18
2.18 LIO 接口	18
2.19 CAN 接口	19
2.20 PS2 接口	19
2.21 PWM 接口	19
2.22 电源管理接口	19
2.23 电源地	20
2.24 测试接口	21
2.25 JTAG 接口	21

2.26 系统相关信号	21
2.27 上电配置信号	21
2.28 外设功能引脚复用	23
3 功能描述.....	27
3.1 DDR3 控制器.....	27
3.1.1 DDR3 接口工作频率范围.....	27
3.1.2 DDR3 控制器特性.....	27
3.2 图形处理器	28
3.3 显示控制器	28
3.4 DVO 显示接口	28
3.5 PCIE	28
3.6 PCI.....	28
3.7 SATA	29
3.8 USB	29
3.9 OTG.....	29
3.10 GMAC	30
3.11 AC97.....	30
3.12 HDA	30
3.13 SPI	31
3.14 LPC.....	32
3.15 PRINT	32
3.16 UART	32
3.17 CAN.....	33
3.18 PS/2	33
3.19 I2C	33
3.20 PWM	33
3.21 NAND	34
3.22 HPET	34
3.23 SDIO.....	34
3.24 LIO	34
3.25 GPIO.....	35
3.26 RTC	35
3.27 电源管理	35
4 初始化时序.....	36

4.1 使能 ACPI_EN	36
4.1.1 上电顺序	36
4.1.2 掉电上电时序	37
4.2 不使能 ACPI_EN	38
4.2.1 冷启动上电时序	38
4.2.2 热复位时序	39
5 电气特性	40
5.1 电源	40
5.1.1 推荐工作条件	40
5.1.2 绝对最大额定值	40
5.1.3 功耗状态及优化	41
5.2 参考时钟	41
5.2.1 单端参考时钟	41
5.2.2 差分参考时钟	42
5.2.3 参考时钟输出	43
5.3 DDR3 内存接口特性	43
5.3.1 推荐的直流工作条件	43
5.3.2 交流和直流逻辑输入电平	43
5.3.3 交流和直流逻辑输出电平	46
5.3.4 IDD 和 IDDQ 规范的参数和测试条件	52
5.3.5 输入/输出电容	53
5.3.6 刷新参数	53
5.3.7 标准的速度分级	54
5.3.8 DDR3 的时序参数	57
5.4 PCIE 总线接口特性	63
5.4.1 PCIE 推荐交流工作条件	63
5.5 DVO 接口特性	64
5.5.1 DVO 直流特性	64
5.5.2 VGA 模拟特性	64
5.6 RGMII 接口特性	64
5.6.1 RGMII 接口直流特性	65
5.6.2 RGMII 接口时序	65
5.7 SATA 接口特性	66
5.7.1 SATA 发送端特性	66

5.7.2 SATA 接收端特性	66
5.8 USB 接口特性	67
5.9 HDA 接口特性	70
5.10 PRINT 接口特性	71
5.11 SPI FLASH 接口特性	71
5.12 I2C 接口特性	71
6 热特性.....	73
6.1 热参数	73
6.2 焊接温度	73
7 芯片引脚排列和封装.....	75
7.1 引脚顶层排列	75
7.2 封装尺寸	80
8 不使用引脚的处理.....	82
9 产品标识.....	83
附录 A 芯片封装引脚排列	84

图目录

图 1.1 龙芯 2K0500 结构图.....	2
图 3.3 SPI 主控制器接口时序.....	31
图 3.4 SPI Flash 标准读时序.....	31
图 3.5 SPI Flash 快速读时序.....	32
图 3.6 SPI Flash 双向 I/O 读时序.....	32
图 4.1 参考上电时序波形.....	36
图 4.2 掉电上电参考时序波形.....	37
图 4.3 冷启动上电时序波形.....	38
图 4.4 热复位时序图.....	39
图 5.1 单端参考时钟波形.....	41
图 5.2 差分参考时钟波形.....	42
图 5.3 ac-swing 和 ac-level 时间点 (tDVA) 的差分定义.....	45
图 5.4 Vix 定义.....	46
图 5.5 单端输出斜率的定义.....	47
图 5.6 差分输出斜率的定义.....	48
图 5.7 地址和控制的上升和下降定义.....	49
图 5.8 时钟, 数据, 选通和屏蔽信号的交流上升和下降定义.....	49
图 5.9 tAON 的定义.....	50
图 5.10 tAONPD 的定义.....	51
图 5.11 tAOF 的定义.....	51
图 5.12 tAOFPD 的定义.....	52
图 5.13 tADC 的定义.....	52
图 5.14 RGMII 接口时序.....	65
图 5.15 HDA 接口时序图.....	70
图 5.16 打印机接口时序.....	71
图 5.17 I2C 接口时序.....	72
图 6.1 焊接回流曲线.....	74

表目录

表 5-1 推荐的工作电源电压	40
表 5-2 绝对最大额定值	40
表 5-3 芯片功耗模式	41
表 5-4 推荐的直流工作条件	43
表 5-5 控制信号和地址单端信号的交流和直流输入电平	44
表 5-6 DQ 和 DM 单端信号的交流和直流输入电平	44
表 5-7 交流和直流的差分输入电平	45
表 5-8 差分输入信号(CK, DQS)交叉点电压	46
表 5-9 单端信号的交流直流输出电平	46
表 5-10 差分信号的交流和直流输出电平	46
表 5-11 单端信号输出斜率的定义	47
表 5-12 单端的输出斜率	47
表 5-13 差分输出斜率的定义	47
表 5-14 差分输出斜率	48
表 5-15 地址和控制引脚的交流上冲/下冲规范	48
表 5-16 时钟, 数据, 选通和屏蔽信号的交流上冲/下冲规范	49
表 5-17 ODT 时序定义	49
表 5-18 ODT 时序测量的参考设置	50
表 5-19 IDD 和 IDDQ 测量循环模式的时序	52
表 5-20 输入/输出电容	53
表 5-21 DDR3 刷新参数	53
表 5-22 DDR3-800 Speed Bins and Operating Conditions	54
表 5-23 DDR3-1066 Speed Bins and Operating Conditions	54
表 5-24 DDR3-1333 Speed Bins and Operating Conditions	55
表 5-25 DDR3-1600 Speed Bins and Operating Conditions	55
表 5-26 Timing Parameters by Speed Bin	57
表 5-27 PCIE 交流工作条件	63
表 5-28 DVO 直流特性	64
表 5-29 VGA 模拟特性	64
表 5-30 RGMII 接口输出特性	65
表 5-31 RGMII 接口输入特性	65
表 5-32 RGMII 接口时序	66

表 5-33 SATA 发送端特性.....	66
表 5-34 SATA 接收端特性.....	66
表 5-35 USB 直流电气特性	67
表 5-36 USB 高速源电气特性	68
表 5-37 USB 全速源电气特性	68
表 5-38 USB 低速源电气特性	69
表 5-39 HDA 接口时序表.....	70
表 5-40 SPI Flash 接口时序.....	71
表 5-41 I2C 接口时序	71
表 6-1 热特性参数和推荐的最大值	73
表 6-2 回流焊接温度分类表	73
表 7-1 顶层引脚排列	75
表 7-2 封装外形尺寸	80
表 A-1 封装引脚排列表	84

1 概述

龙芯 2K0500 是龙芯 2 号处理器芯片，为面向多场景应用 SOC 型产品，其目标是为工控互联网应用、打印终端、BMC 等提供多种解决方案。龙芯 2K0500 采用 40nm 工艺实现，典型主频 500MHz。片内集成定点处理单元、浮点处理单元、图形图像处理单元，以及南桥、北桥等配套芯片组功能。

龙芯 2K0500 的主要特征如下：

- 集成一个 LA264 双发射龙芯处理器核，L1 Cache(I/D) 32KB，L2 Cache 512KB
- 集成 1 个 32 位 DDR3 控制器
- 集成 2D GPU
- 集成两路显示控制器，最大分辨率可支持到 1920*1080@60Hz/24bit
- 集成 PCIE 2.0 控制器，支持 2 路 x1，支持 RC/EP 模式
- 集成 PCI 控制器，支持 HOST/DEVICE
- 集成 2 个 SATA2.0 接口
- 集成 2 个 10M/100M/1000M 自适应 GMAC，支持 RGMII
- 集成 4 个 USB2.0 HOST 接口，其中 1 个可配置为 OTG 接口
- 集成 1 个 USB3.0 HOST 接口，支持 OTG 模式
- 集成 1 个 8 位 NAND FLASH 控制器，支持 MLC，支持系统启动
- 集成 6 个 SPI 控制器，1 路支持系统启动
- 集成 1 个 LPC 控制器，支持主/从模式，支持系统启动
- 集成 6 路 I2C 控制器
- 集成 1 个打印控制器
- 集成 AC97/HDA 控制器
- 集成 10 路 UART 串口
- 集成 2 个 SDIO 控制器
- 集成 4 个 CAN 控制器
- 集成 1 个 PS/2 控制器
- 集成 16 路 PWM 控制器

- 集成 155 路 GPIO 端口
- 集成 1 个温度传感器
- 集成 RTC/HPET
- 集成看门狗电路
- 集成 ACPI, 支持 GMAC0 网络唤醒
- 集成动态功耗控制模块, 支持 DVFS/DPM
- 集成中断控制器, 支持灵活的中断设置

1.1 体系结构框图

龙芯 2K0500 内部采用多级总线结构。一级交叉开关连接一个处理器核、一个二级 Cache 以及 IO 子网络（Cache 访问路径）。二级 Cache 及 IODMA、内存控制器、图形媒体模块与 PCIE 、 PCI、 GMAC、 USB、 SATA、 HDA、 PRINT 等 IO 设备共享 128 位互连网络。低速外设（I2C/UART 等）作为一个集合加在南桥总线上。

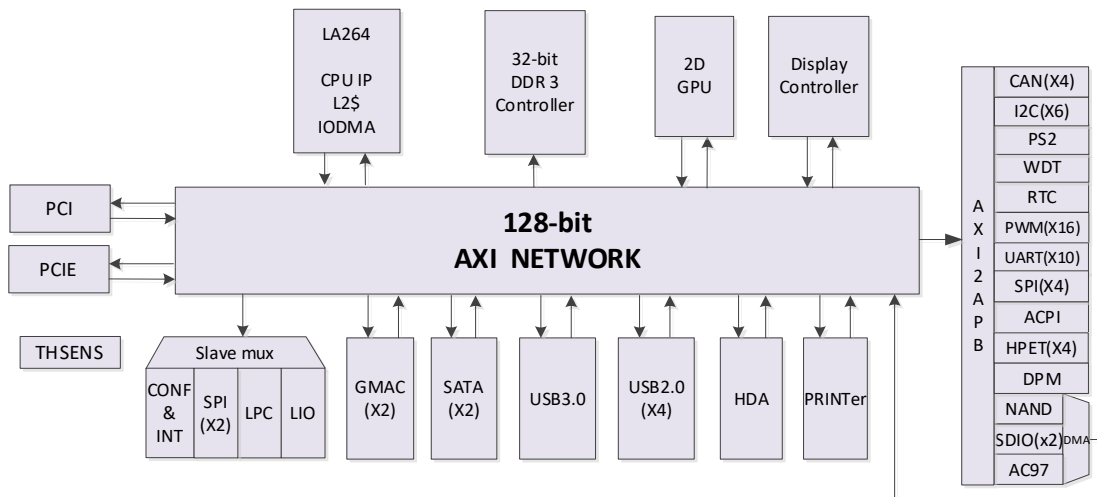


图 1.1 龙芯 2K0500 结构图

1.2 芯片特性

1.2.1 处理器核

- LA264
- LoongArch 指令体系结构
- 包括 1 个全流水的 64 位双精度浮点乘加部件
- 32KB 数据 Cache 和 32KB 的指令 Cache
- 512KB 共享二级 Cache
- 通过目录协议维护 I/O DMA 访问的 Cache 一致性
- JTAG 支持
- DVFS 支持

1.2.2 GPU

- 动态电源管理
- 支持 BitBLT 和 Stretch BLT
- 矩形填充
- 硬件画线
- 单色字体渲染
- ROP2, ROP3, ROP4
- Alpha 混合
- 32Kx32K 坐标系统
- 90 度旋转
- 透明支持
- YUV 色域空间转换
- 高质量缩放

1.2.3 显示控制器

- 双显示输出(DVO/VGA)
- 硬件光标
- 伽玛校正

- 输出抖动
- 最高像素时钟(DVO165MHz 1080p)
- 支持线性显示缓冲
- 上电序列控制

1.2.4 内存控制器

- 32 位 DDR3 控制器，最高工作频率 533MHz
- 不支持 ECC
- 可配置为 32/16 位模式
- 支持命令调度

1.2.5 PCIE 接口

- 兼容 PCIE 2.0
- 双独立 X1 接口
- 双接口均支持 RC/EP

1.2.6 SATA 控制器

- 2 个独立 SATA 端口
- 支持 SATA 1.5Gbps 和 SATA2 代 3Gbps 的传输
- 兼容串行 ATA 2.6 规范和 AHCI 1.1 规范

1.2.7 PCI 接口

- 兼容 PCI2.2，32 位总线宽度
- 既可以做 Host (SoC)，又可以做 Device (南桥)
- 作为 Host 最多支持 2 个 PCI 设备
- 作为 Device 时有三个 PCI 地址窗口：IO、Memory、Prefetchable Memory

1.2.8 USB 控制器

- 4 个独立的 USB2.0 的 HOST 端口，端口 0 可配置为 OTG 模式
- 1 个独立的 USB3.0 接口，支持 OTG 模式

- 内部 EHCI 控制和实现高速传输
- 内部 OHCI 控制和实现全速和低速传输

1.2.9 GMAC 控制器

- 两路 10/100/1000Mbps 自适应以太网 MAC
- 双网卡均兼容 IEEE 802.3
- 对外部 PHY 实现 RGMII 接口
- 半双工/全双工自适应
- Timestamp 功能
- 半双工时，支持碰撞检测与重发（CSMA/CD）协议
- 支持 CRC 校验码的自动生成与校验，支持前置符生成与删除

1.2.10 LPC 控制器

- 兼容 LPC Rev1.1 标准
- 支持系统启动
- 支持主、从模式

1.2.11 AC97 控制器

- 支持 16, 18 和 20 位采样精度，支持可变速率
- 最高达 48KHz
- 2 频道立体声输出
- 支持麦克风输入

1.2.12 HDA 控制器

- 支持 16, 18 和 20 位采样精度支持可变速率
- 最高达 192KHz
- 7.1 频道环绕立体声输出
- 一路音频输入

1.2.13 NAND 控制器

- 最大支持单片 16GB NAND Flash

- 最大支持 4 个片选
- 支持 MLC
- 支持系统启动
- 支持 512/2K/4K/8K 页

1.2.14 SPI 控制器

- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 主模式支持
- 支持到 4 个的变长字节传输
- 支持系统启动(仅 SPI0)
- 支持标准读、连续地址读、快速读、双路 I/O 等 SPI Flash 读模式

1.2.15 UART

- 2 个全功能 UART 和流控 TXD,RXD,CTS, RTS, DSR,DTR,DCD, RI
- 最多 10 个 UART 接口
- 在寄存器与功能上兼容 NS16550A
- 两路全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统

1.2.16 I2C 总线

- 与 PHILIPS I2C 标准相兼容
- 履行双向同步串行协议
- 实现主/从设备操作
- 能够支持多主设备的总线
- 总线的时钟频率可编程
- 可以产生开始/停止/应答等操作
- 能够对总线的状态进行探测

- 支持低速和快速模式
- 支持 7 位寻址和 10 位寻址
- 支持时钟延伸和等待状态

1.2.17 打印接口

- 支持 JBIG85 解码
- 支持 8 路独立机芯控制
- 支持四色彩打功能

1.2.18 PWM

- 32 位计数器
- 支持脉冲生成及捕获
- 16 路控制器

1.2.19 SDIO 控制器

- 2 路独立 SDIO 控制器
- 兼容 SD Memory 2.0/MMC/SDIO 2.0 协议
- 1 路支持 SDIO 系统启动 (SDIO0)

1.2.20 PS/2 控制器

- 16 位可编程 5us 时钟计数器，8 位可编程 60us 时钟计数器
- 兼容第一套和第二套键盘扫描码
- 支持编码键盘和非编码键盘
- 支持二键式、三键式鼠标

1.2.21 HPET

- 32 位计数器
- 支持 1 个周期性中断
- 支持 2 个非周期性中断

1.2.22 CAN

- 四路 CAN 接口

- 兼容 CAN2.0 协议

1.2.23 RTC

- 计时精确到 0.1 秒
- 可产生 3 个计时中断
- 支持定时开机功能

1.2.24 GPIO

- 155 位 GPIO 引脚
- 128 路支持外部中断输入（GPIO0~127）
- 与其他接口复用

1.2.25 Watchdog

- 32 比特计数器及初始化寄存器
- 低功耗模式暂停功能

1.2.26 温度传感器

- 温度观测，推荐使用温度范围：0~70°C
- 高低温中断

1.2.27 中断控制器

- 支持软件设置中断
- 支持电平与边沿触发
- 支持中断屏蔽与使能
- 支持多种中断分发模式

1.2.28 ACPI 功耗管理

- 处理器核动态频率电压调节
- 媒体处理器可关断
- 全芯片时钟门控
- PHY 可关断
- 电源开关、GMAC0 可唤醒

- ACPI 支持来电可自动启动

1.3 订购信息

芯片型号	封装	工作温度(壳温)	质量等级
LS2K0500	塑封	0°C-70°C	商业级
LS2K0500-i	塑封	-40°C-85°C	工业级
LS2K0500-F	塑封	-40°C-85°C	高可靠工业二级

1.4 文档约定

1.4.1 信号命名

信号名的选取以方便记忆和明确标识功能为原则。低有效信号以 n 结尾，高有效信号则不带 n。如无特别说明，以 ACPI/GMAC0 开头的信号位于 RSM 域；以 RTC 开头的信号位于 RTC 域；其它信号位于 SOC 域。

1.4.2 信号类型

代码	描述
A	模拟
DIFF I/O	双向差分
DIFF IN	差分输入
DIFF OUT	差分输出
I	输入
I/O	双向
O	输出
OD	开漏输出
P	电源
G	地

1.4.3 数值表示

16 进制数表示为'hxxx，2 进制数表示为'bxx，其它数字为 10 进制。

功能相同但标号有别的引脚（如 DDR_DQ0, DDR_DQ1, ...）使用方括号加数字范围的形式简写（如 DDR_DQ[31:0]）。类似地，寄存器域也采用这种表示方式。

1.4.4 寄存器域

寄存器域以[寄存器名].[域名]的形式加以引用。如 `chip_config0.uart_split` 指芯片配置寄存器 0（`chip_config0`）的 `uart_split` 域。

2 引脚定义

2.1 DDR3 接口

信号名称	类型	复位状态	描述	电源	上下拉
DDR_DQ[31:0]	I/O	'hx	DDR3 SDRAM 数据总线信号	DDR_VDDE	-
DDR_DQSP[3:0] DDR_DQSN[3:0]	DIFF I/O	'hx	DDR3 SDRAM 数据选通	DDR_VDDE	-
DDR_DQM[3:0]	O	'hx	DDR3 SDRAM 数据屏蔽	DDR_VDDE	-
DDR_A[15:0]	O	'hx	DDR3 SDRAM 地址总线信号	DDR_VDDE	-
DDR_BA[2:0]	O	'hx	DDR3 SDRAM 逻辑 BANK 地址信号	DDR_VDDE	-
DDR_WEN	O	'hx	DDR3 SDRAM 写使能信号	DDR_VDDE	-
DDR_CASN	O	'hx	DDR3 SDRAM 列地址选择信号	DDR_VDDE	-
DDR_RASN	O	'hx	DDR3 SDRAM 行地址选择信号	DDR_VDDE	-
DDR_SCSN[1:0]	O	'hx	DDR3 SDRAM 片选信号	DDR_VDDE	-
DDR_CKE[1:0]	O	'hx	DDR3 SDRAM 时钟使能信号	DDR_VDDE	-
DDR_CKP[1:0] DDR_CKN[1:0]	DIFF OUT	'hx	DDR3 SDRAM 差分时钟输出信号	DDR_VDDE	-
DDR_ODT[1:0]	O	'hx	DDR3 SDRAM ODT 信号	DDR_VDDE	-
DDR_RESETN	O	'hx	DDR3 SDRAM 复位控制信号	DDR_VDDE	-

2.2 PCIE 接口

信号名称	类型	复位状态	描述	电源	上下拉
PCIE_REFCLKM PCIE_REFCLKP	DIFF IN	-	PCIE 参考时钟输入	PSU_3V3	-
PCIE_CLKOUTP[1:0] PCIE_CLKOUTN[1:0]	DIFF OUT	'hx	PCIE 参考时钟输出	PSU_3V3	-
PCIE_RESREF	A	-	外部参考电阻, 通过 200ohm(+/-1%)电阻连至地	PSU_3V3	-
PCIE_TXP[1:0] PCIE_TXM[1:0]	DIFF OUT	'h0	PCIE 差分数据输出	PSU_3V3	-
PCIE_RXP[1:0] PCIE_RXM[1:0]	DIFF IN	-	PCIE 差分数据输入	PSU_3V3	-
PCIE_PRSENT[1:0]	I	-	PCIE 插卡检测	PSU_3V3	上拉
PCIE_RSTN	O	'h0	PCIE 复位	PSU_3V3	-



2.3 PCI 接口

信号名称	类型	复位状态	描述	电源	上下拉
PCI_AD[31:00]	I/O	'hx	PCI 数据地址线	IO_3V3	-
PCI_RESETN	I/O	'h0	PCI 复位, 需外部上拉	IO_3V3	-
PCI_CBEN[3:0]	I/O	'hx	字节使能, 需外部上拉	IO_3V3	-
PCI_DEVSELN	I/O	'hx	设备选择, 需外部上拉	IO_3V3	-
PCI_FRAMEN	I/O	'hx	帧周期, 需外部上拉	IO_3V3	-
PCI_IDSEL	I	-	设备选择信号, 当作为 PCI 主控制器时, 该信号直接下拉处理; 当作为 PCI 设备使用时, 该信号作为设备选择和配置读写时的片选信号	IO_3V3	-
PCI_IRDYN	I/O	'hx	主设备准备好, 需外部上拉	IO_3V3	-
PCI_PAR	I/O	'hx	校验位, 需外部上拉	IO_3V3	-
PCI_PERR	I/O	'hx	奇偶校验, 需外部上拉	IO_3V3	-
PCI_REQN[1:0]	I/O	'hx	外部设备总线请求输入/到外部仲裁器的总线请求占用输出信号, 需外部上拉。当使用外部仲裁器时, 该信号作为输出信号	IO_3V3	-
PCI_GNTN[1:0]	I/O	'hx	外部仲裁器返回总线请求允许输入/到外部设备的 PCI 总线允许输出, 需外部上拉。当使用外部仲裁器时, 该信号作为输入信号	IO_3V3	-
PCI_SERR	I/O	'hx	系统错误报告, 需外部上拉	IO_3V3	-
PCI_STOPN	I/O	'hx	停止数据传送, 需外部上拉	IO_3V3	-
PCI_TRDYN	I/O	'hx	从设备准备好, 需外部上拉	IO_3V3	-

2.4 VGA 显示接口

信号名称	类型	复位状态	描述	电源	上下拉
VGA_ROUT	A	-	VGA 红色通道输出	VGA_A3V3	-
VGA_GOUT	A	-	VGA 绿色通道输出	VGA_A3V3	-
VGA_BOUT	A	-	VGA 蓝色通道输出	VGA_A3V3	-
VGA_HSYNC	O	'h0	VGA 水平同步	IO_3V3	-
VGA_VSYNC	O	'h0	VGA 垂直同步	IO_3V3	-
VGA_EN	O	'h0	VGA 使能	IO_3V3	-
VGA_COMP	O	-	VGA 电压补偿, 推荐 10nf 电容和 10uf 电容并联至 VGA_A3V3	VGA_A3V3	-
VGA_REXT	A	-	外部参考电阻, 推荐阻值 510 ohm /1%	VGA_A3V3	-



2.5 DVO 显示接口

信号名称	类型	复位状态	描述	电源	上下拉
LCD_CLK	O	'h0	DVO 时钟输出	IO_3V3	-
LCD_HSYNC	O	'h0	DVO 水平同步	IO_3V3	-
LCD_VSYNC	O	'h0	DVO 垂直同步	IO_3V3	-
LCD_EN	O	'h0	DVO 数据有效	IO_3V3	-
LCD_D[23:0]	O	'h0	DVO 显示数据	IO_3V3	-

DVO 接口数据信号与 RGB 对应关系如下:

DVO 接口信号	24 位模式	18 位模式
LCD_D0	B0	
LCD_D1	B1	
LCD_D2	B2	B0
LCD_D3	B3	B1
LCD_D4	B4	B2
LCD_D5	B5	B3
LCD_D6	B6	B4
LCD_D7	B7	B5
LCD_D8	G0	
LCD_D9	G1	
LCD_D10	G2	G0
LCD_D11	G3	G1
LCD_D12	G4	G2
LCD_D13	G5	G3
LCD_D14	G6	G4
LCD_D15	G7	G5
LCD_D16	R0	
LCD_D17	R1	
LCD_D18	R2	R0
LCD_D19	R3	R1
LCD_D20	R4	R2
LCD_D21	R5	R3
LCD_D22	R6	R4
LCD_D23	R7	R5

2.6 GMAC 接口

信号名称	类型	复位状态	描述	电源	上下拉
GMAC[1:0]_TX_CLK_O	O	'h0	RGMII 发送时钟输出	IO_3V3	-

GMAC[1:0]_TX_CLK_I	I	-	RGMI 发送时钟输入(125MHz 备选时钟, 可不接)	IO_3V3	-
GMAC_TX_CTL	O	'h0	RGMI 发送控制	IO_3V3	-
GMAC_TXD[3:0]	O	'h0	RGMI 发送数据	IO_3V3	-
GMAC[1:0]_RX_CLK_I	I	-	RGMI 接收时钟	IO_3V3	-
GMAC_RX_CTL	I	-	RGMI 接收控制	IO_3V3	-
GMAC_RXD[3:0]	I	-	RGMI 接收数据	IO_3V3	-
GMAC_MDCK	O	'h0	SMA 接口时钟, 外部需上拉处理	IO_3V3	-
GMAC_MDIO	I/O	'hx	SMA 接口数据, 外部需上拉处理	IO_3V3	-

2.7 SATA 接口

信号名称	类型	复位状态	描述	电源	上下拉
SATA_REFCLKP[1:0] SATA_REFCLKM[1:0]	I	-	差分 100MHz 参考时钟输入(内部有备份时钟, 通过软件控制双选; 差分输入时内部已包含 100ohm 匹配输入电阻)	PSU_3V3	-
SATA_RESREF	A	-	外部参考电阻, 通过 200ohm(+/-1%)电阻连至地	PSU_3V3	-
SATA[1:0]_TXP SATA[1:0]_TXN	DIFF OUT	'hx	SATA 差分数据输出	PSU_3V3	-
SATA[1:0]_RXP SATA[1:0]_RXN	DIFF IN	-	SATA 差分数据输入	PSU_3V3	-
SATA_LEDN[1:0]	OD	'h1	SATA 工作状态, 低表示有数据传输	PSU_3V3	-

2.8 USB 接口

信号名称	类型	复位状态	描述	电源	上下拉
USB0_XI USB0_XO	I	-	12MHz 参考时钟晶振(晶振单端时钟由 XO 管脚输入, XI 管脚需接地)	PSU_3V3	-
USB[3:0]_TXRTUNE	A	-	参考电阻, 通过 200ohm/1%电阻连接到地	PSU_3V3	-
USB[3:0]_DP	I/O	'h0	USB D+, 内部集成下拉电阻, 外部可不作处理	PSU_3V3	-
USB[3:0]_DM	I/O	'h0	USB D-, 内部集成下拉电阻, 外部可不作处理	PSU_3V3	-
USB0_OVRCUR	I/O	-	USB0 过流检测, 需注意该信号为高有效; 其中 USB0 工作在 OTG 模式	PSU_3V3	-

			下为 OTG_VBUS 电源使能控制信号输出, 工作在非 OTG 模式下为过流检测输入		
USB[3:1]_OVRCUR	I	-	USB1~3 过流检测, 需注意该信号为高有效	PSU_3V3	-
USB0_ID	I	-	USB0 OTG ID 输入	PSU_3V3	-
USB0_VBUS	A	-	USB0 OTG VBUS 5V 输入	PSU_3V3	-

2.9 USB3.0 接口

信号名称	类型	复位状态	描述	电源	上下拉
U3_REFCLK_P U3_REFCLK_M	I	-	差分 100MHz 参考时钟	PSU_3V3	-
U3_TX_P U3_TX_M	DIFF OUT	'h0	USB3.0 差分数据输出	PSU_3V3	-
U3_RX_P U3_RX_M	DIFF IN	-	USB3.0 差分数据输入	PSU_3V3	-
U3_REXT	A	-	参考电阻, 通过 200ohm/1%电阻连接到地	PSU_3V3	-
U3_DP	I/O	'h0	USB2.0 D+, 内部集成下拉电阻, 外部可不作处理	PSU_3V3	-
U3_DM	I/O	'h0	USB2.0 D-, 内部集成下拉电阻, 外部可不作处理	PSU_3V3	-
U3_VBUS	A	-	USB OTG VBUS 输入	PSU_3V3	-

2.10 AC97/HDA 接口

信号名称	类型	复位状态	描述	电源	上下拉
AC97_BITCLK	I/O	'hx	AC97 BITCLK 输入 HDA BITCLK 输出	IO_3V3	-
AC97_SDATAI	I	-	AC97/HDA 数据输入	IO_3V3	-
AC97_SDATAO	O	'h0	AC97/HDA 数据输出	IO_3V3	-
AC97_SYNC	O	'h0	AC97/HDA 同步	IO_3V3	-
AC97_RESET	O	'h0	AC97/HDA 复位	IO_3V3	-

2.11 LPC 接口

信号名称	类型	复位状态	描述	电源	上下拉
------	----	------	----	----	-----



LPC_FRAME _n	I/O	'h1	LPC FRAME 控制信号, 外部需上拉处理 主控: 输出, ROM: 输入。	IO_3V3	-
LPC_AD[3:0]	I/O	'hx	LPC 总线数据, 外部需上拉处理	IO_3V3	-
LPC_SIRQ	I/O	'hx	LPC 中断线, 外部需上拉处理	IO_3V3	-

2.12 SPI 接口

信号名称	类型	复位状态	描述	电源	上下拉
SPI[1:0]_SCK	O	'h0	SPI 时钟输出	IO_3V3	-
SPI[1:0]_CSN	O	'hx	SPI 片选, 外部需上拉处理	IO_3V3	-
SPI[1:0]_MOSI	O	'hx	SPI 数据输出	IO_3V3	上拉
SPI[1:0]_MISO	I	-	SPI 数据输入	IO_3V3	上拉

2.13 I2C 接口

信号名称	类型	复位状态	描述	电源	上下拉
I2C_SCL	O	'hx	I2C 时钟, 外部需上拉处理	IO_3V3	-
I2C_SDA	I/O	'hx	I2C 数据, 外部需上拉处理	IO_3V3	-

2.14 UART 接口

信号名称	类型	复位状态	描述	电源	上下拉
UART[3:0]_TXD	O	'h1	串口数据输出	IO_3V3	-
UART[3:0]_RXD	I	-	串口数据输入	IO_3V3	-
UART[1:0]_RTS	O	'h0	串口数据传输请求	IO_3V3	-
UART_DTR	O	'h0	串口初始化完成	IO_3V3	-
UART_RI	I	-	外部 MODEM 探测到振铃信号	IO_3V3	-
UART[1:0]_CTS	I	-	设备接收数据就绪	IO_3V3	-
UART_DSR	I	-	设备初始化完成	IO_3V3	-
UART_DCD	I	-	外部 MODEM 探测到载波信号	IO_3V3	-

2K0500 通过引脚复用配置可以实现两个独立的全功能串口, 该串口通过设置可以工作在 2x4 和 4x2 模式, 各种模式的管脚对应关系如下。其它引脚复用的 UART 接口的内部复用关系也如下表所示。

1x8	2x4	4x2
TXD0 (0)	TXD0 (0)	TXD0 (0)
RTS0 (0)	RTS0 (0)	TXD6 (0)
DTR0 (0)	TXD4 (0)	TXD4 (0)



RXD0 (I)	RXD0 (I)	RXD0 (I)
CTS0 (I)	CTS0 (I)	RXD6 (I)
DSR0 (I)	RXD4 (I)	RXD4 (I)
DCD0 (I)	CTS4 (I)	RXD5 (I)
RI0 (I)	RTS4 (O)	TXD5 (O)
TXD1 (O)	TXD1 (O)	TXD1 (O)
RTS1 (O)	RTS1 (O)	TXD9 (O)
DTR1 (O)	TXD7 (O)	TXD7 (O)
RXD1 (I)	RXD1 (I)	RXD1 (I)
CTS1 (I)	CTS1 (I)	RXD9 (I)
DSR1 (I)	RXD7 (I)	RXD7 (I)
DCD1 (I)	CTS7 (I)	RXD8 (I)
RI1 (I)	RTS7 (O)	TXD8 (O)

2.15 PRINT 接口

信号名称	类型	复位状态	描述	电源	上下拉
PR_INT	I	-	打印机行中断信号	IO_3V3	-
PR0_CLK	O	'h1	打印机 0/1 号时钟输出	IO_3V3	-
PR0_START	O	'h1	打印机 0/1 号开始信号	IO_3V3	-
PR0_READY	I	-	打印机 0/1 号反馈信号	IO_3V3	-
PR0_HSYNC	I	-	打印机 0/1 号机芯行同步信号	IO_3V3	-
PR0_ENABLE	O	'h1	打印机 0 号机芯使能信号	IO_3V3	-
PR0_SHOLD	O	'h1	打印机 0 号机芯维持信号	IO_3V3	-
PR0_DATA	O	'h1	打印机 0 号机芯数据信号	IO_3V3	-
PR1_ENABLE	O	'h1	打印机 1 号机芯使能信号	IO_3V3	-
PR1_SHOLD	O	'h1	打印机 1 号机芯维持信号	IO_3V3	-
PR1_DATA	O	'h1	打印机 1 号机芯数据信号	IO_3V3	-
PR2_CLK	O	'h1	打印机 2/3 号时钟输出	IO_3V3	-
PR2_START	O	'h1	打印机 2/3 号开始信号	IO_3V3	-
PR2_READY	I	-	打印机 2/3 号反馈信号	IO_3V3	-
PR2_HSYNC	I	-	打印机 2/3 号机芯行同步信号	IO_3V3	-
PR2_ENABLE	O	'h1	打印机 2 号机芯使能信号	IO_3V3	-
PR2_SHOLD	O	'h1	打印机 2 号机芯维持信号	IO_3V3	-
PR2_DATA	O	'h1	打印机 2 号机芯数据信号	IO_3V3	-
PR3_ENABLE	O	'h1	打印机 3 号机芯使能信号	IO_3V3	-
PR3_SHOLD	O	'h1	打印机 3 号机芯维持信号	IO_3V3	-
PR3_DATA	O	'h1	打印机 3 号机芯数据信号	IO_3V3	-
PR4_CLK	O	'h1	打印机 4/5 号时钟输出	IO_3V3	-
PR4_START	O	'h1	打印机 4/5 号开始信号	IO_3V3	-
PR4_READY	I	-	打印机 4/5 号反馈信号	IO_3V3	-
PR4_HSYNC	I	-	打印机 4/5 号机芯行同步信号	IO_3V3	-



PR4_ENABLE	O	'h1	打印机 4 号机芯使能信号	IO_3V3	-
PR4_HOLD	O	'h1	打印机 4 号机芯维持信号	IO_3V3	-
PR4_DATA	O	'h1	打印机 4 号机芯数据信号	IO_3V3	-
PR5_ENABLE	O	'h1	打印机 5 号机芯使能信号	IO_3V3	-
PR5_HOLD	O	'h1	打印机 5 号机芯维持信号	IO_3V3	-
PR5_DATA	O	'h1	打印机 5 号机芯数据信号	IO_3V3	-
PR6_CLK	O	'h1	打印机 6/7 号时钟输出	IO_3V3	-
PR6_START	O	'h1	打印机 6/7 号开始信号	IO_3V3	-
PR6_READY	I	-	打印机 6/7 号反馈信号	IO_3V3	-
PR6_HSYNC	I	-	打印机 6/7 号机芯行同步信号	IO_3V3	-
PR6_ENABLE	O	'h1	打印机 6 号机芯使能信号	IO_3V3	-
PR6_HOLD	O	'h1	打印机 6 号机芯维持信号	IO_3V3	-
PR6_DATA	O	'h1	打印机 6 号机芯数据信号	IO_3V3	-
PR7_ENABLE	O	'h1	打印机 7 号机芯使能信号	IO_3V3	-
PR7_HOLD	O	'h1	打印机 7 号机芯维持信号	IO_3V3	-
PR7_DATA	O	'h1	打印机 7 号机芯数据信号	IO_3V3	-

2.16 NAND 接口

信号名称	类型	复位状态	描述	电源	上下拉
NAND_CLE	O	'h0	NAND 命令锁存	IO_3V3	-
NAND_ALE	O	'h0	NAND 地址锁存	IO_3V3	-
NAND_RD	O	'h1	NAND 读信号	IO_3V3	-
NAND_WR	O	'h1	NAND 写信号	IO_3V3	-
NAND_CE	O	'h1	NAND 片选 0, 外部需上拉处理	IO_3V3	-
NAND_RDY	I	-	NAND 准备好 0, 外部需上拉处理	IO_3V3	-
NAND_D[7:6]	I/O	'h0	NAND 数据线	IO_3V3	-

2.17 SDIO 接口

信号名称	类型	复位状态	描述	电源	上下拉
SDIO_CLK	O	'h0	SDIO 时钟输出	IO_3V3	-
SDIO_CMD	I/O	'hx	SDIO 命令输入输出, 外部需上拉处理	IO_3V3	上拉
SDIO_DATA[3:0]	I/O	'hx	SDIO 数据信号, 外部需上拉处理	IO_3V3	上拉

2.18 LIO 接口

信号名称	类型	复位状态	描述	电源	上下拉
------	----	------	----	----	-----

LIO_A[22:0]	O	'h0	LIO 接口地址总线	IO_3V3	-
LIO_data[15:0]	I/O	'hx	LIO 接口数据总线	IO_3V3	-
LIO_CSN[1:0]	O	'h1	LIO 接口片选, 外部需上拉处理	IO_3V3	-
LIO_WRN	O	'h1	LIO 接口写信号	IO_3V3	-
LIO_RDN	O	'h1	LIO 接口读信号	IO_3V3	-

2.19 CAN 接口

信号名称	类型	复位状态	描述	电源	上下拉
CAN0_RX	I	-	CAN 通道 0 数据接收	IO_3V3	-
CAN0_TX	O	'h1	CAN 通道 0 数据发送	IO_3V3	-
CAN1_RX	I	-	CAN 通道 1 数据接收	IO_3V3	-
CAN1_TX	O	'h1	CAN 通道 1 数据发送	IO_3V3	-

2.20 PS2 接口

信号名称	类型	复位状态	描述	电源	上下拉
KB_CLK	I/O	'hx	键盘时钟, 外部需上拉处理	IO_3V3	-
KB_DAT	I/O	'hx	键盘数据, 外部需上拉处理	IO_3V3	-
MS_CLK	I/O	'hx	鼠标时钟, 外部需上拉处理	IO_3V3	-
MS_DAT	I/O	'hx	鼠标数据, 外部需上拉处理	IO_3V3	-

2.21 PWM 接口

信号名称	类型	复位状态	描述	电源	上下拉
PWM[3:0]	I/O	'h0	PWM 信号输入输出	IO_3V3	-

2.22 电源管理接口

信号名称	类型	复位状态	描述	电源	上下拉
ACPI_SYSRSTn	I	-	系统复位	RSM_3V3	-
RTC_RSMRSTn	I	-	RSM 复位 (RTC 域),要求在 RSM 域电源稳定至少 1ms 后拉高, 在 RSM 域电源降至 95%及以下时立即拉低	RTC_VDD	-
RTC_RTCRSTn	I	-	RTC 复位 (RTC 域),建议在 RTC 电源稳定至少 10ms 后再解除复位	RTC_VDD	-
ACPI_RINGn	I	-	振铃唤醒	RSM_3V3	-

ACPI_WAKEn	I	-	PCIE 唤醒	RSM_3V3	上拉
ACPI_PMEEn	I	-	PCI 唤醒	RSM_3V3	-
ACPI_LID	I	-	屏盖状态	RSM_3V3	-
ACPI_PWRTYPE	I	-	供电来源	RSM_3V3	上拉
ACPI_BATLOWn	I	-	电源电量低	RSM_3V3	-
ACPI_SUSSTATn	O	'h1	低功耗状态	RSM_3V3	-
ACPI_S3n	O	'h1	S3 状态	RSM_3V3	-
ACPI_S4n	O	'h1	S4 状态	RSM_3V3	-
ACPI_S5n	O	'h1	S5 状态	RSM_3V3	-
ACPI_PLTRSTn	O	'h1	平台复位	RSM_3V3	-
ACPI_SLPLANn	O	'h1	网络电源控制	RSM_3V3	-
ACPI_PWRBTNn	I	-	电源开关	RSM_3V3	-
ACPI_PWROK	I	-	电源有效	RSM_3V3	-
ACPI_EN	I	-	ACPI 使能	RSM_3V3	上拉
ACPI_VSBGATE	O	'h1	DDR 接口 ACPI_VSBGATE 信号(使用该信号模式需在 ACPI 寄存器中配置使能)	RSM_3V3	-

2.23 电源地

信号名称	类型	描述	电压
VDD_NODE	P	NODE 域 1.1V 独立供电电源	1.1V
VDD_CORE	P	CORE 域 1.1V 供电电源	1.1V
VDD_RSM	P	RSM 电压域 1.1V 供电电源	1.1V
PLL_AVDD	P	PLL 电源	1.2V
PLL_DDR_AVDD	P	DDR PLL 电源	1.2V
PLL_NODE_AVDD	P	NODE PLL 电源	1.2V
PSU_1V1	P	PCIE/SATA/USB PHY 接口电压域 1.1V 供电电源	1.1V
DDR_VDDE	P	DDR3 电压域 1.5V 供电电源	1.5V
DDR_VREF	P	DDR3 参考电源	0.75V
IO_3V3	P	IO PAD 电压域 3.3V 供电电源	3.3V
PSU_3V3	P	PCIE/SATA/USB PHY 电压域 3.3V 供电电源	3.3V
RSM_3V3	P	RSM 电压域 3.3V 供电电源	3.3V
RTC_VDD	P	RTC 电压域供电电源	2.7V
VGA_A3V3	P	VGA 接口 3.3V 供电电源	3.3V
THSENS_AVDD	P	THSENS 3.3V 供电电源	3.3V
PLL_AVSS	G	PLL 地	0V
PLL_DDR_AVSS	G	DDR PLL 地	0V
PLL_NODE_AVSS	G	NODE PLL 地	0V
VSS	G	接地	0V



2.24 测试接口

信号名称	类型	复位状态	描述	电源	上下拉
RTC_DOTESTn	I	-	测试模式控制(RTC 电压域) 0: 测试模式 1: 功能模式	RTC_VDD	-

2.25 JTAG 接口

信号名称	类型	复位状态	描述	电源	上下拉
JTAG_SEL	I	-	JTAG 选择(0: 测试 JTAG, 1:处理器核 JTAG)	IO_3V3	下拉
JTAG_TCK	I	-	JTAG 时钟	IO_3V3	-
JTAG_TDI	I	-	JTAG 数据输入, 外部需上拉处理	IO_3V3	上拉
JTAG_TMS	I	-	JTAG 模式, 外部需上拉处理	IO_3V3	上拉
JTAG_TRST	I	-	JTAG 复位, 外部下拉处理	IO_3V3	上拉
JTAG_TDO	O	'h1	JTAG 数据输出	IO_3V3	-

2.26 系统相关信号

信号名称	类型	复位状态	描述	电源	上下拉
SYS_CLK	I	-	100MHz 系统参考时钟晶振	IO_3V3	-
SYS_TESTCLK	I	-	测试时钟	IO_3V3	-
RTC_XI RTC_XO	I/O	-	RTC 参考时钟晶体(32.768KHz); 可支持有源晶振, 晶振时钟由 RTC_XI 引脚输入	RTC_VDD	-
PCI_CLK	I	-	PCI/LPC 输入时钟, 频率 33MHz(接口不使用时该时钟可不接, 外部下拉处理)	IO_3V3	-
SYS_INTn[1:0]	I/O	-	桥片模式, 为芯片中断输出, 低电平有效, 连接到主芯片中断输入引脚, 外部需上拉处理; SoC 模式下可配置为 GPIO, 作为外部中断输入。 SYS_INTn0: INT1/2 SYS_INTn1: INT3/4/5	IO_3V3	-

2.27 上电配置信号

信号名称	类型	描述
LCD_D[20:19]	I	PLL 时钟配置输入

		00=低频模式 01=高频模式 10=软件模式 11=bypass 模式
{NAND_RD, NAND_CLE, PWM3}	I	启动选择输入 x00=SPI (SPI0 启动) x01=LPC x10=NAND 011=LIO 111=SDIO (SDIO0 启动)
LCD_D[9]	I	PCIE 参考时钟选择输入 0=内部 100MHz 时钟 1=外部 100MHz 时钟
LCD_D[5]	I	PCIE 端口 0 EP/RC 选择输入 0=RC 1=EP
LCD_D[16]	I	PCIE 端口 1 EP/RC 选择输入 0=RC 1=EP
LCD_D[0]	I	NAND ECC 功能使能输入, 1=enable 0=disable
{LCD_D[13], LCD_D[10]}	I	启动 NAND 类型选择 00=512Mb(page 512B) 01=1Gb(page 2KB) 10=16Gb(page 4KB) 11=128Gb(page 8KB)
NAND_ALE	I	PCI 外部仲裁选择 0: 使用内部仲裁器 1: 使用外部仲裁器
NAND_WR	I	PCI 主模式选择 0: PCI 桥模式 (芯片为 PCI 桥模式) 1: PCI 主模式 (芯片为 SOC 模式) 两种模式的主要区别在于主模式下 PCI_RESETn 为输出, 桥模式的为输入。当选择 PCIX 时, 桥模式的控制器还会在复位后采样总线频率信息。
NAND_CE	I	PCIX 模式选择 0: PCI 模式 1: PCIX 模式
NAND_D[7:6]	I	PCIX 速度选择 (PCI 模式时应为 0) 00: PCI

		01: PCIX66 其它: 不可用
--	--	-----------------------

2.28 外设功能引脚复用

模块层次的功能复用关系如下表所示:

芯片主功能	第一复用	第二复用	第三复用	第四复用	上电默认功能 (除启动引脚外)
sys_int[0]	-	-	gmac0_ptp_trig	-	GPIO0
sys_int[1]	-	-	gmac0_ptp_pps	-	GPIO1
vga_hsync	-	-	gmac1_ptp_trig	-	GPIO2
vga_vsync	-	pr_int	gmac1_ptp_pps	-	GPIO3
lcd_clk	can2_rx	pr0_clk	-	-	GPIO4
lcd_vsync	can2_tx	pr0_start	-	-	GPIO5
lcd_hsync	can3_rx	pr0_ready	-	-	GPIO6
lcd_en	can3_tx	pr0_enable	-	-	GPIO7
lcd_dat[0]	uart0_tx	pr0_shold	-	-	GPIO8
lcd_dat[1]	uart0_rx	pr0_data	-	-	GPIO9
lcd_dat[2]	uart0_rts	pr0_hsync	-	-	GPIO10
lcd_dat[3]	uart0_cts	pr1_enable	-	-	GPIO11
lcd_dat[4]	uart0_dsr	pr1_shold	-	-	GPIO12
lcd_dat[5]	uart0_dtr	pr1_data	-	-	GPIO13
lcd_dat[6]	uart0_dcd	pr2_clk	-	-	GPIO14
lcd_dat[7]	uart0_ri	pr2_start	-	-	GPIO15
lcd_dat[8]	uart1_rx	pr2_ready	-	-	GPIO16
lcd_dat[9]	uart1_tx	pr2_enable	-	-	GPIO17
lcd_dat[10]	uart1_rts	pr2_shold	-	-	GPIO18
lcd_dat[11]	uart1_cts	pr2_data	-	-	GPIO19
lcd_dat[12]	uart1_dsr	pr2_hsync	-	-	GPIO20
lcd_dat[13]	uart1_dtr	pr3_enable	-	-	GPIO21
lcd_dat[14]	uart1_dcd	pr3_shold	-	-	GPIO22
lcd_dat[15]	uart1_ri	pr3_data	-	-	GPIO23
lcd_dat[16]	-	pr4_clk	spi4_clk	-	GPIO24
lcd_dat[17]	-	pr4_start	spi4_miso	-	GPIO25
lcd_dat[18]	-	pr4_ready	spi4_mosi	uart0_rx	GPIO26
lcd_dat[19]	-	pr4_enable	spi4_cs	uart0_tx	GPIO27
lcd_dat[20]	-	pr4_shold	spi5_clk	uart0_rts	GPIO28
lcd_dat[21]	-	pr4_data	spi5_miso	uart0_cts	GPIO29
lcd_dat[22]	-	pr4_hsync	spi5_mosi	uart0_dsr	GPIO30
lcd_dat[23]	-	pr5_enable	spi5_cs	uart0_dtr	GPIO31
kb_clk	-	pr5_shold	spi3_clk	uart0_dcd	GPIO32
kb_dat	-	pr5_data	spi3_miso	uart0_ri	GPIO33
ms_clk	nand_rdy[2]	pr6_clk	spi3_mosi	pr_int	GPIO34
ms_dat	nand_ce[2]	pr6_start	spi3_cs	pr0_clk	GPIO35



ac97_datai	-	pr6_ready	pix0_scl	pr0_start	GPIO36
ac97_datao	-	pr6_enable	pix0_sda	pr0_ready	GPIO37
ac97_sync	-	pr6_shold	pix1_scl	pr0_enable	GPIO38
ac97_reset	-	pr6_data	pix1_sda	pr0_shold	GPIO39
spi0_clk	kb_clk	pr6_hsync	-	pr0_data	GPIO40
spi0_miso	kb_dat	pr7_enable	-	pr0_hsync	GPIO41
spi0_mosi	ms_clk	pr7_shold	-	pr1_enable	GPIO42
spi0_cs[0]	ms_dat	pr7_data	-	pr1_shold	GPIO43
spi1_clk	gmac1_tx[2]	gmac1_rx_ctl	nand_d[0]	pr1_data	GPIO44
spi1_miso	gmac1_tx[3]	gmac1_rx[0]	nand_d[1]	pr2_clk	GPIO45
spi1_mosi	gmac1_mdck	gmac1_rx[1]	nand_d[2]	pr2_start	GPIO46
spi1_cs[0]	gmac1_mdio	gmac1_rx[2]	nand_d[3]	pr2_ready	GPIO47
uart0_rx	gmac1_rx_ctl	-	scl0	pr2_enable	GPIO48
uart0_tx	gmac1_rx[0]	-	sda0	pr2_shold	GPIO49
uart0_rts	gmac1_rx[1]	pwm[0]	scl1	pr2_data	GPIO50
uart0_cts	gmac1_rx[2]	pwm[1]	sda1	pr2_hsync	GPIO51
uart0_dsr	gmac1_rx[3]	pwm[2]	scl2	pr3_enable	GPIO52
uart0_dtr	gmac1_tx_ctl	pwm[3]	sda2	pr3_shold	GPIO53
uart0_dcd	gmac1_tx[0]	pwm[4]	scl3	pr3_data	GPIO54
uart0_ri	gmac1_tx[1]	pwm[5]	sda3	pr4_clk	GPIO55
uart1_rx	gmac1_tx[2]	pwm[6]	spi0_clk	pr4_start	GPIO56
uart1_tx	gmac1_tx[3]	pwm[7]	spi0_miso	pr4_ready	GPIO57
uart1_rts	gmac1_mdck	pwm[8]	spi0_mosi	pr4_enable	GPIO58
uart1_cts	gmac1_mdio	pwm[9]	spi0_cs[0]	pr4_shold	GPIO59
uart2_tx	pix0_scl	pwm[10]	spi1_clk	pr4_data	GPIO60
uart2_rx	pix0_sda	pwm[11]	spi1_miso	pr4_hsync	GPIO61
uart3_tx	pix1_scl	pwm[12]	spi1_mosi	pr5_enable	GPIO62
uart3_rx	pix1_sda	pwm[13]	spi1_cs[0]	pr5_shold	GPIO63
scl0	nand_rdy[1]	pwm[14]	spi0_cs[3]	pr5_data	GPIO64
sda0	nand_ce[1]	pwm[15]	spi0_cs[2]	pr6_clk	GPIO65
can0_rx	nand_rdy[2]	sda2	spi0_cs[1]	pr6_start	GPIO66
can0_tx	nand_ce[2]	scl2	spi1_cs[3]	pr6_ready	GPIO67
can1_rx	nand_rdy[3]	sda3	spi1_cs[2]	pr6_enable	GPIO68
can1_tx	nand_ce[3]	scl3	spi1_cs[1]	pr6_shold	GPIO69
lpc_ad[0]	nand_d[0]	sda1	gmac1_rx_ctl	pr6_data	GPIO70
lpc_ad[1]	nand_d[1]	scl1	gmac1_rx[0]	pr6_hsync	GPIO71
lpc_ad[2]	nand_d[2]	sda2	gmac1_rx[1]	pr7_enable	GPIO72
lpc_ad[3]	nand_d[3]	scl2	gmac1_rx[2]	pr7_shold	GPIO73
lpc_frame	nand_d[4]	sda3	gmac1_rx[3]	pr7_data	GPIO74
lpc_serirq	nand_d[5]	scl3	-	-	GPIO75
nand_cle	-	-	-	pwm[0]	GPIO76
nand_ale	-	-	-	pwm[1]	GPIO77
nand_rd	-	-	-	pwm[2]	GPIO78
nand_wr	-	-	-	pwm[3]	GPIO79
nand_ce[0]	-	-	-	pwm[4]	GPIO80
nand_rdy[0]	gmac1_tx_ctl	-	-	pwm[5]	GPIO81
nand_d[6]	gmac1_tx[0]	-	-	pwm[6]	GPIO82
nand_d[7]	gmac1_tx[1]	-	-	pwm[7]	GPIO83

pwm[0]	can0_rx	gmac0_col	nand_rdy[1]	pwm[8]	GPIO84
pwm[1]	can0_tx	gmac0_crs	nand_ce[1]	pwm[9]	GPIO85
pwm[2]	gmac1_rx[3]	gmac1_col	nand_d[4]	pwm[10]	GPIO86
pwm[3]	-	gmac1_crs	nand_d[5]	pwm[11]	GPIO87
gmac0_rx_ctl	pwm[4]	-	uart1_dsr	pwm[12]	GPIO88
gmac0_rx[0]	pwm[5]	-	uart1_dtr	pwm[13]	GPIO89
gmac0_rx[1]	pwm[6]	-	uart1_dcd	pwm[14]	GPIO90
gmac0_rx[2]	pwm[7]	-	uart1_ri	pwm[15]	GPIO91
gmac0_rx[3]	pwm[8]	-	uart2_tx	nand_cle	GPIO92
gmac0_tx_ctl	pwm[9]	-	uart2_rx	nand_ale	GPIO93
gmac0_tx[0]	pwm[10]	-	uart3_tx	nand_rd	GPIO94
gmac0_tx[1]	pwm[11]	-	uart3_rx	nand_wr	GPIO95
gmac0_tx[2]	pwm[12]	pix0_scl	can2_rx	nand_ce[0]	GPIO96
gmac0_tx[3]	pwm[13]	pix0_sda	can2_tx	nand_rdy[0]	GPIO97
gmac0_mdck	pwm[14]	pix1_scl	can3_rx	nand_d[0]	GPIO98
gmac0_mdio	pwm[15]	pix1_sda	can3_tx	nand_d[1]	GPIO99
pci_ad[0]	pr_int	lioa[0]	pwm[0]	nand_d[2]	GPIO100
pci_ad[1]	pr0_clk	lioa[1]	pwm[1]	nand_d[3]	GPIO101
pci_ad[2]	pr0_start	lioa[2]	pwm[2]	nand_d[4]	GPIO102
pci_ad[3]	pr0_ready	lioa[3]	pwm[3]	nand_d[5]	GPIO103
pci_ad[4]	pr0_enable	lioa[4]	pwm[4]	nand_d[6]	GPIO104
pci_ad[5]	pr0_shold	lioa[5]	pwm[5]	nand_d[7]	GPIO105
pci_ad[6]	pr0_data	lioa[6]	pwm[6]	pix0_scl	GPIO106
pci_ad[7]	pr0_hsync	lioa[7]	pwm[7]	pix0_sda	GPIO107
pci_ad[8]	pr1_enable	lioa[8]	pwm[8]	pix1_scl	GPIO108
pci_ad[9]	pr1_shold	lioa[9]	pwm[9]	pix1_sda	GPIO109
pci_ad[10]	pr1_data	lioa[10]	pwm[10]	-	GPIO110
pci_ad[11]	pr2_clk	lioa[11]	pwm[11]	-	GPIO111
pci_ad[12]	pr2_start	lioa[12]	pwm[12]	-	GPIO112
pci_ad[13]	pr2_ready	lioa[13]	pwm[13]	spi2_clk	GPIO113
pci_ad[14]	pr2_enable	lioa[14]	pwm[14]	spi2_miso	GPIO114
pci_ad[15]	pr2_shold	lioa[15]	pwm[15]	spi2_mosi	GPIO115
pci_ad[16]	pr2_data	lio_data[0]	uart1_rx	spi2_cs	GPIO116
pci_ad[17]	pr2_hsync	lio_data[1]	uart1_tx	spi3_clk	GPIO117
pci_ad[18]	pr3_enable	lio_data[2]	uart1_rts	spi3_miso	GPIO118
pci_ad[19]	pr3_shold	lio_data[3]	uart1_cts	spi3_mosi	GPIO119
pci_ad[20]	pr3_data	lio_data[4]	uart1_dsr	spi3_cs	GPIO120
pci_ad[21]	pr4_clk	lio_data[5]	uart1_dtr	spi4_clk	GPIO121
pci_ad[22]	pr4_start	lio_data[6]	uart1_dcd	spi4_miso	GPIO122
pci_ad[23]	pr4_ready	lio_data[7]	uart1_ri	spi4_mosi	GPIO123
pci_ad[24]	pr4_enable	lio_data[8]	gmac0_col	spi4_cs	GPIO124
pci_ad[25]	pr4_shold	lio_data[9]	gmac0_crs	spi5_clk	GPIO125
pci_ad[26]	pr4_data	lio_data[10]	gmac1_col	spi5_miso	GPIO126
pci_ad[27]	pr4_hsync	lio_data[11]	gmac1_crs	spi5_mosi	GPIO127
pci_ad[28]	pr5_enable	lio_data[12]	-	spi5_cs	GPIO128
pci_ad[29]	pr5_shold	lio_data[13]	-	can0_rx	GPIO129
pci_ad[30]	pr5_data	lio_data[14]	-	can0_tx	GPIO130
pci_ad[31]	pr6_clk	lio_data[15]	-	can1_rx	GPIO131



pci_cbe[0]	pr6_start	lioa[16]	-	can1_tx	GPIO132
pci_cbe[1]	pr6_ready	lioa[17]	-	can2_rx	GPIO133
pci_cbe[2]	pr6_enable	lioa[18]	-	can2_tx	GPIO134
pci_cbe[3]	pr6_shold	lioa[19]	-	can3_rx	GPIO135
pci_frame	pr6_data	lioa[20]	-	can3_tx	GPIO136
pci_irdy	pr6_hsync	lioa[21]	-	-	GPIO137
pci_devsel	pr7_enable	lioa[22]	gmac1_mdck	-	GPIO138
pci_trdy	pr7_shold	liocsn[0]	gmac1_mdio	-	GPIO139
pci_stop	pr7_data	liocsn[1]	spi2_clk	-	GPIO140
pci_idsel	pix0_scl	liowrn	spi2_miso	-	GPIO141
pci_par	pix0_sda	liordn	spi2_mosi	-	GPIO142
pci_perr	pix1_scl	-	spi2_cs	sdio1_clk	GPIO143
pci_serr	pix1_sda	-	spi3_clk	sdio1_cmd	GPIO144
pci_req[0]	-	gmac0_ptp_trig	spi3_miso	sdio1_d[0]	GPIO145
pci_req[1]	-	gmac0_ptp_pps	spi3_mosi	sdio1_d[1]	GPIO146
pci_gnt[0]	-	gmac1_ptp_trig	spi3_cs	sdio1_d[2]	GPIO147
pci_gnt[1]	-	gmac1_ptp_pps	-	sdio1_d[3]	GPIO148
sdio_clk	lpc_ad[0]	-	-	-	GPIO149
sdio_cmd	lpc_ad[1]	-	-	-	GPIO150
sdio_d[0]	lpc_ad[2]	gmac0_ptp_trig	-	-	GPIO151
sdio_d[1]	lpc_ad[3]	gmac0_ptp_pps	-	-	GPIO152
sdio_d[2]	lpc_frame	gmac1_ptp_trig	-	-	GPIO153
sdio_d[3]	lpc_serirq	gmac1_ptp_pps	-	-	GPIO154

3 功能描述

3.1 DDR3 控制器

龙芯 2K0500 处理器内部集成的内存控制器的设计遵守 DDR3 SDRAM 的行业标准（JESD79-3）。所实现的所有内存读/写操作都遵守 JESD79-3 的规定。

3.1.1 DDR3 接口工作频率范围

支持 133-533MHZ 工作频率。

3.1.2 DDR3 控制器特性

龙芯 2K0500 内存控制器支持最大 2 个 CS（由 2 个片选信号实现，即两个内存条），一共含有 19 位的地址总线（即：16 位的行列地址总线和 3 位的逻辑 Bank 总线）。

在具体选择使用不同内存芯片类型时，可以调整 DDR3 控制器参数设置进行支持。其中，支持的最大片选（CS_n）数为 2，行地址（RAS_n）数为 16，列地址（CAS_n）数为 16，逻辑体选择（BANK_n）数为 3。

CPU 发送的内存请求物理地址可以根据控制器内部不同的配置进行多种不同的地址映射。

内存控制器接收从处理器或外部设备发送的内存读写请求。无论是读还是写操作，内存控制器都处在 slave 状态。

内存控制器中实现了动态页管理功能。对于内存的一次存取，不需软件设计者的干预，控制器会在硬件电路上选择 Open Page/Close Page 策略。

龙芯 2K0500 处理器中内存控制器具有如下特征：

- 接口上命令、读写数据全流水操作
- 内存命令合并、排序提高整体带宽
- 配置寄存器读写端口，可以修改内存设备的基本参数
- 内建动态延迟补偿电路（DCC），用于数据的可靠发送和接收
- 支持 133-533MHZ 工作频率
- 支持 32/16 位内存数据位宽，其中 16 位模式采用低 16 位内存数据信号



3.2 图形处理器

图形处理器频率范围 100-300MHz。

3.3 显示控制器

显示控制器从内存中取帧缓冲和光标信息输出到外部显示接口上。

龙芯 2K0500 的显示控制器支持的特性包括：

- 双路 DVO 接口显示 (DVO/VGA)
- 每路显示最大支持至 1920x1080@60Hz
- Monochrome、ARGB8888 两种模式硬件光标
- RGB444/RGB555/RGB565/RGB888 四种色深
- 输出抖动和伽马校正
- 可切换的双路线性帧缓冲
- 中断和软复位

3.4 DVO 显示接口

DVO 接口工作频率范围为 50M - 200MHz。

3.5 PCIE

两个 PCIE2.0 控制器，均为独立的 X1 端口。

两个端口既可以作为 RC 使用，又可以作为 EP。

3.6 PCI

PCI 特性包括：

- 兼容 PCI2.2，32 位总线宽度
- 既可做 Host (SoC)，又可做 Device (南桥，外设接口资源部分删减，具体参考用户手册相关章节)



- Host 最多支持 2 个 PCI 设备
- Device 时有三个 PCI 地址窗口：IO、Memory、Prefetchable Memory

3.7 SATA

SATA 的特性包括：

- 支持 SATA 1 代 1.5Gbps和SATA2代3Gbps 的传输
- 兼容串行 ATA2.6 和 AHCI1.1 规范

3.8 USB

2K0500 的 USB 主机端口特性如下：

- 兼容 USB Rev 1.1 、 USB Rev 2.0 协议、 USB Rev 3.0 协议
- 兼容 OHCI Rev 1.0 、 EHCI Rev 1.0 协议
- 支持 LS（Low Speed）、FS（Full Speed）和 HS（High Speed）的 USB 设备
- 支持四个 USB2.0 端口
- 支持一个 USB3.0 端口
- USB2.0 主机控制器模块包括一个支持高速设备的 EHCI 控制器，一个支持全速与低速设备的 OHCI 控制器。其中 EHCI 控制器处于主控地位，只有当挂上的设备是全速或低速设备时，才将控制权转交给 OHCI 控制器；当全速或低速设备拔掉时，控制权返回 EHCI 控制器。

3.9 OTG

2K0500 的 OTG 支持特性如下：

- 支持 HNP 与 SRP 协议；
- 内嵌 DMA，无需占用处理器带宽即可在 OTG 与外部存储之间移动数据；
- 在 device 模式下，为高速设备（480Mbps）；
- 在 host 模式下，仅能支持高速设备（480Mbps）；
- 在 device 模式下，支持 6 个双向的 endpoint，其中仅有默认的 endpoint0 支持控制传输；
- 在 device 模式下，最多同时支持 4 个 IN 方向的传输；



- 在 host 模式下，支持 12 个 channel，且软件可配置每个 channel 的方向；
- 在 host 模式下，支持 periodic OUT 传输；

3.10 GMAC

龙芯 2K0500 集成了两个 GMAC 控制器，即 GMAC0 和 GMAC1，二者在逻辑结构上完全相同。

3.11 AC97

2K0500 支持 AC97 音频控制器，在一个片上系统中，与 AC97 控制器相连的有 3 部分：一是外设总线，接收来自微处理器的控制信息以及配置信息；二是 AC97 Codec，多媒体数字信号编解码器，该解码器对 PCM 信号进行调制，输出人耳接受的模拟声音或者把真实的声音转换为 PCM 信号，转换通过 D/A 转换器实现；三是 DMA 引擎，通过 DMA 的方式写或读 AC97 控制器内部的 FIFO，实现 PCM 音频数据的不间断操作。DMA 是通过微处理器配置的，从处理器设定的内存区域搬运数据给 FIFO 或者把 FIFO 的数据搬运到设定的内存区域。

3.12 HDA

2K0500 支持 HDA 音频控制器，并且 HDA 音频接口复用 AC97 控制器同一套芯片输出管脚，所以板级可选用一套控制器来做设计应用。

HDA 控制器主要的功能包括各种输入、输出流组合，对 48KHZ 和 44.1KHZ 的采样频率的支持，初始化序列，命令控制通道等。

HDA 控制器的整体设计框架包括了 5 个大的模块，分别为 SDI，SDO，axi_master ,axi_slave,和 reg config。其中 axi_master 和 axi_salve 分别控制了 HDA 中 DMA 的读写通道和对 HDA 进行配置时的 AXI 总线控制情况。Reg config 主要的作用就是对 HDA 中的寄存器进行配置，控制 SDI SDO 的参数和运行情况。SDI 和 SDO 主要是对输入输入流的控制，包括 4 个输入流和 4 个输出流。



3.13 SPI

串行外围设备接口 SPI 总线技术是 Motorola 公司推出的多种微处理器、微控制器以及外围设备之间的一种全双工、同步、串行数据接口标准。

本系统集成的 SPI 控制器仅可作为主控端，所连接的是从设备。对于软件而言，SPI 控制器除了有若干 IO 寄存器外还有一段映射到 SPI Flash 的只读 memory 空间。如果将这段 memory 空间分配在 BOOT 启动地址，复位后不需要软件干预就可以直接访问，从而支持处理器从 SPI Flash 启动。

以下列举了 SPI 管脚信号与外设通信的时序图：

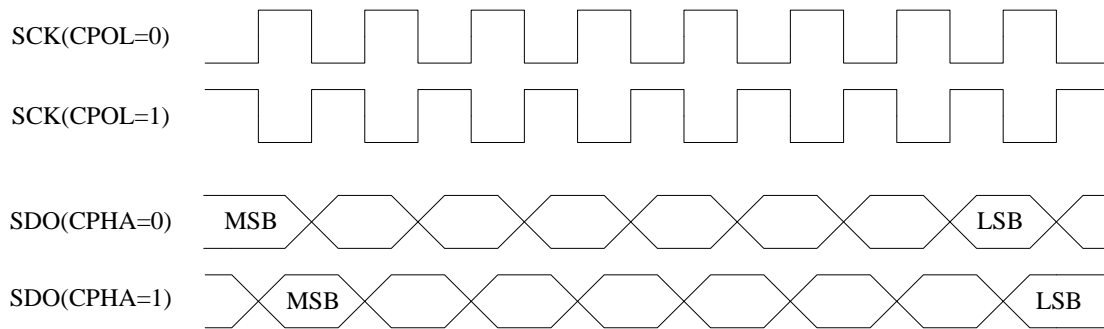


图 3.1 SPI 主控制器接口时序

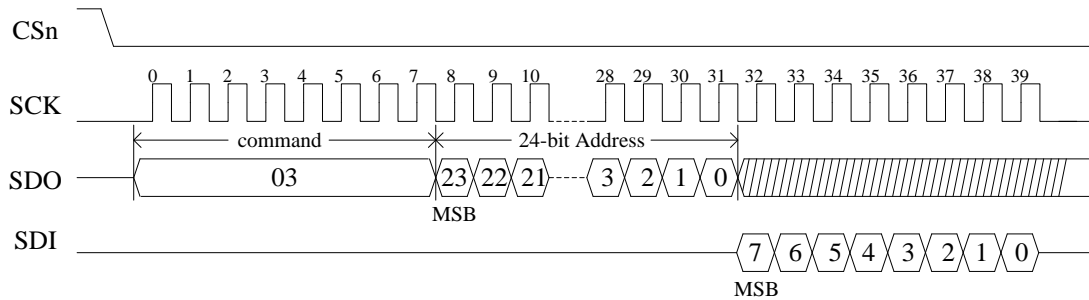


图 3.2 SPI Flash 标准读时序



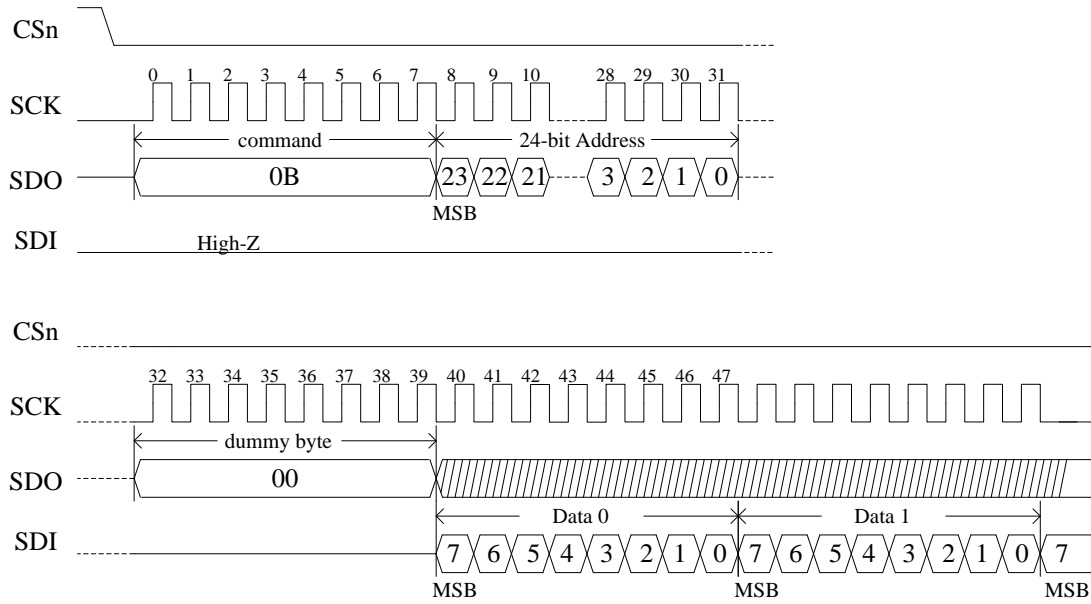


图 3.3 SPI Flash 快速读时序

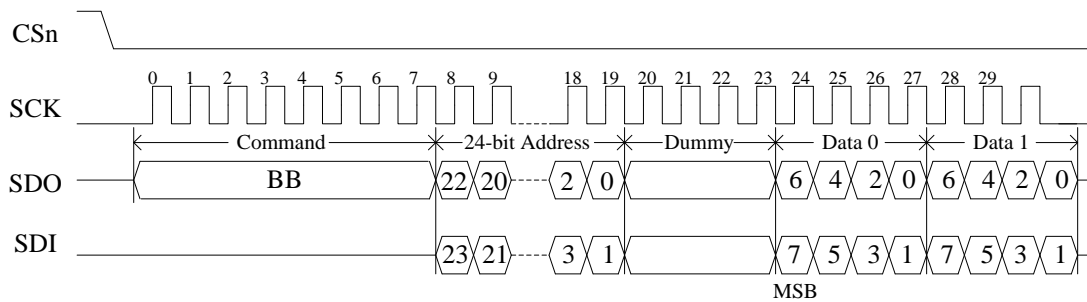


图 3.4 SPI Flash 双向 I/O 读时序

3.14 LPC

兼容 LPC Rev1.1 标准，支持主/从模式（从模式仅支持 RAM 存储），支持系统启动

3.15 PRINT

集成一个打印机接口，包括 LSU 机芯控制和 MOTO 控制，支持 JBIG85 解码，支持 8 路独立机芯控制，支持四色彩打功能

3.16 UART

2K0500 集成了 10 个 UART 控制器，包括 2 个全功能串口(UART0/UART1)，2



个 2 线串口(UART2/UART3)，其中 2 个全功能串口可复用为 8 个 2 线串口(UART0、UART4、UART5、UART6 复用 UART0 接口；UART1、UART7、UART8、UART9 复用 UART1 接口)，各控制器通过 APB 总线与总线桥通信。

UART 控制器提供与 MODEM 或其他外部设备串行通信的功能，例如与另外一台计算机，以 RS232 为标准使用串行线路进行通信。该控制器在设计上能很好地兼容国际工业标准半导体设备 16550A。

3.17 CAN

龙芯 2K0500 集成了四路 CAN 接口控制器。

CAN 总线是由发送数据线 TX 和接收数据线 RX 构成的串行总线，可发送和接收数据。器件与器件之间进行双向传送，最高传送速率 1Mbps。

3.18 PS/2

2K0500 集成 PS/2 控制器，兼容第一套和第二套键盘扫描码，支持编码键盘和非编码键盘，支持二键式、三键式鼠标。

3.19 I2C

2K0500 芯片集成了六路 I2C 接口，均支持主、从模式，主要用于实现两个器件之间数据的交换。

I2C 总线是由数据线 SDA 和时钟 SCL 构成的串行总线，可发送和接收数据。器件与器件之间进行双向传送，最高传送速率 400kbps。

3.20 PWM

2K0500 芯片里实现了十六路脉冲宽度调节/计数控制器，以下简称 PWM。

每一路 PWM 工作和控制方式完全相同，每路 PWM 均可配置为脉冲宽度输出或待测脉冲输入信号，计数寄存器和参考寄存器均 32 位数据宽度。



3.21 NAND

NAND FLASH 控制器最大支持单片 16GB FLASH 的容量，最大页大小为 8KB，芯片最多支持 4 个片选和 4 个 RDY 信号，控制器支持 MLC 类型 FLASH 操作，NAND FLASH 控制器支持系统启动（非 ECC 模式）。

3.22 HPET

2K0500 集成四个高精度定时器，32 位计数器，支持 1 个周期性中断，支持 2 个非周期性中断。

3.23 SDIO

龙芯 2K0500 集成了两个 SDIO 控制器，用于 SD Memory 和 SDIO 卡的读写，SDIO0 支持 SD Memory 卡启动。

SDIO 是一个串行通信方式，主设备和从设备通过消息传递来实现数据和状态的传输。写多块数据过程如下：

- 主设备通过命令线发送写命令消息给从设备
 - 从设备接收完消息之后通过命令线发送应答消息给主设备
 - 主设备接收到正确的应答消息后，通过数据线发送一块数据(512K Byte 或者更多)给从设备，并且检测数据线忙状态
 - 从设备接收到正确的数据后会进入编程状态，此时将数据线置为忙状态，不再响应主设备的数据请求
 - 主设备检测到从设备编程完成，继续发送下一块数据。
 - 主设备发送完最后一块数据时，通过命令线发送停止命令给从设备，收到正确应答之后完成这次多块写操作。
- 多块读操作的过程和多块写操作的过程类似。

3.24 LIO

LocalIO 控制器提供了简单外设访问接口，主要用于连接系统启动 ROM。它对外提供一个片选，具有可配置的数据位宽和访问延迟。其中 wait 参数指 liord 或 liowr 信号为低的周期数减一。当数据位宽为 16 时，送出的地址由 CPU 物理地址右移一位得到。



3.25 GPIO

龙芯 2K0500 共有 155 个 GPIO 引脚，全部与其他功能引脚复用，该部分引脚在芯片复位过程中和复位结束后除启动相关功能引脚外，其他功能引脚全部默认为 GPIO 输入状态，其中 128 路支持外部中断输入（GPIO0~127）。

3.26 RTC

实时时钟（RTC）单元可以在主板上电后进行配置，当主板断电后，该单元仍然运作，仅靠板上的电池供电即可正常运行。RTC 单元运行时电流低于 10 微安。

RTC 包含振荡器，结合外部 32.768KHZ 晶体产生工作时钟。该时钟用于时间信息的维护以及产生各种定时和计数中断，计时可精确到 0.1 秒。

3.27 电源管理

- 龙芯 2K0500 电源管理模块提供系统功耗管理实现机制。
- 支持 Advanced Configuration and Power Interface, Version 4.0a(ACPI),提供相应的功耗管理功能。
- 系统休眠与唤醒，支持 ACPI S3（待机到内存），ACPI S4（待机到硬盘），ACPI S5（软关机），并且支持电源失效检测和自动系统恢复。支持多种唤醒方式（GMAC0，电源开关等）
- 多模块动态性能功耗 DPM 控制，支持处理器核 DVFS 控制。
- 系统时钟控制，模块时钟门控，多种方式调节频率。
- 提供温度管理控制功能。支持 3 级报警机制。



4 初始化时序

4.1 使能 ACPI_EN

4.1.1 上电顺序

参考上电时序如下图。

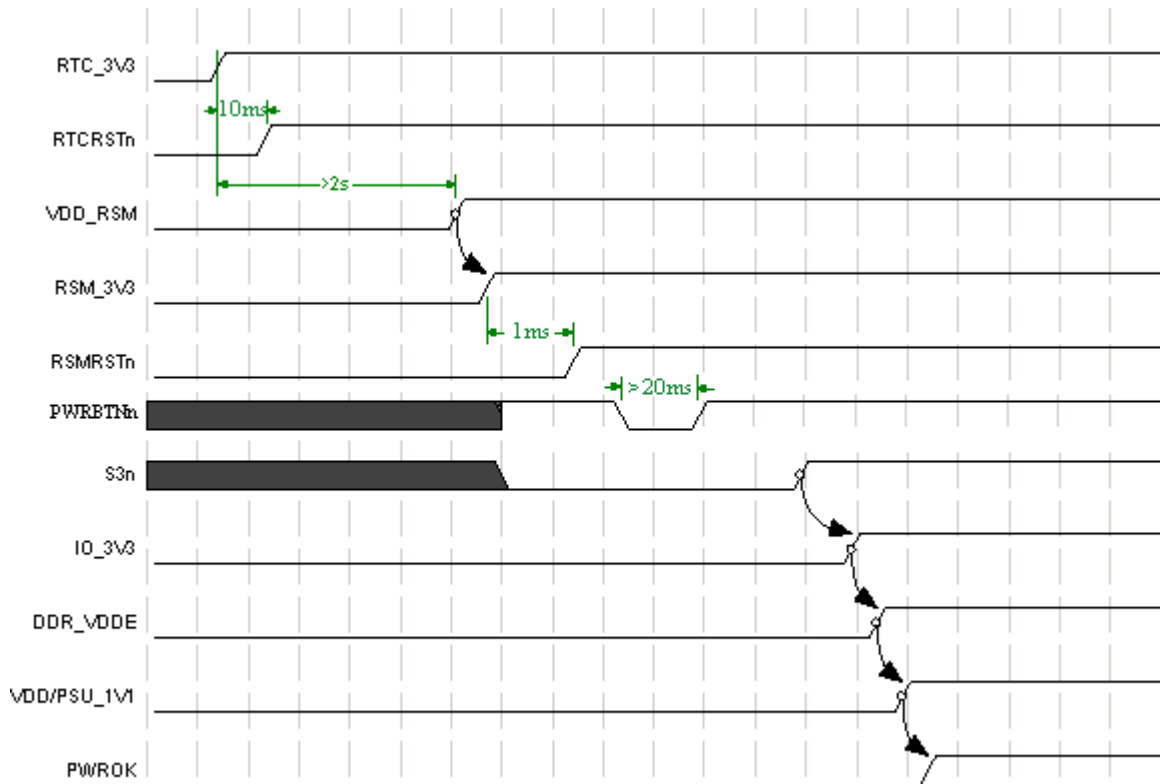


图 4.1 参考上电时序波形

1. RTC
 - A) RTC_3V3
2. RSM
 - A) 1.1V 电源 (VDD_RSM)
 - B) 3.3V 电源 (RSM3V3)

以上两个电源上电间隔大于 1us。
3. CORE
 - A) 3.3V IO 电源 (IO_3V3)
 - B) 1.5V 电源 (DDR_VDDE)



C) 1.1V 核心电源, PLL 电源, 1.1V PCIE/SATA/USB 电源 (VDD_CORE/
VDD_NODE/PLL_AVDD/PSU_1V1)

以上电源上电间隔大于 1us。

4.1.2 掉电上电时序

龙芯 2K0500 的掉电及上电时序由内部的电源管理模块控制, 其过程如下图所示:

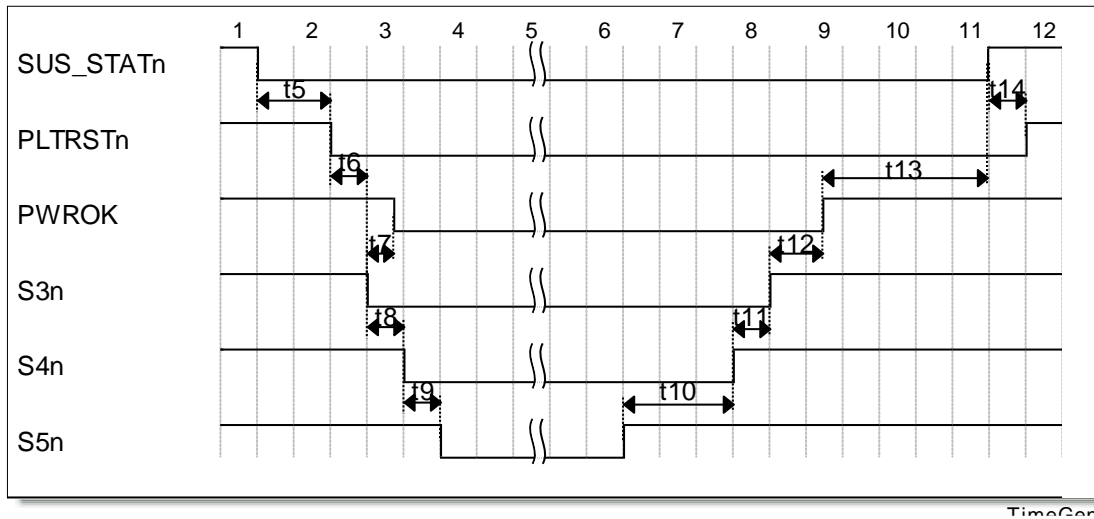


图 4.2 掉电上电参考时序波形

t5:3 RTC

t6:1 RTC

t7:S3n 到 PWROK 无效

t8:1 RTC

t9:1 RTC

t10: 间隔最小值为 1 RTC, 最大值需满足 S4n 有效最小时间。

t11: 间隔最小值为 1 RTC, 最大值需满足 S3n 有效最小时间。

t12: S3n 无效到系统上电成功 (PWROK 为电源模块给出, 指示最后一级电源上电成功)。

t13: 典型值为 7.87ms。

t14: 1 RTC



4.2 不使能 ACPI_EN

4.2.1 冷启动上电时序

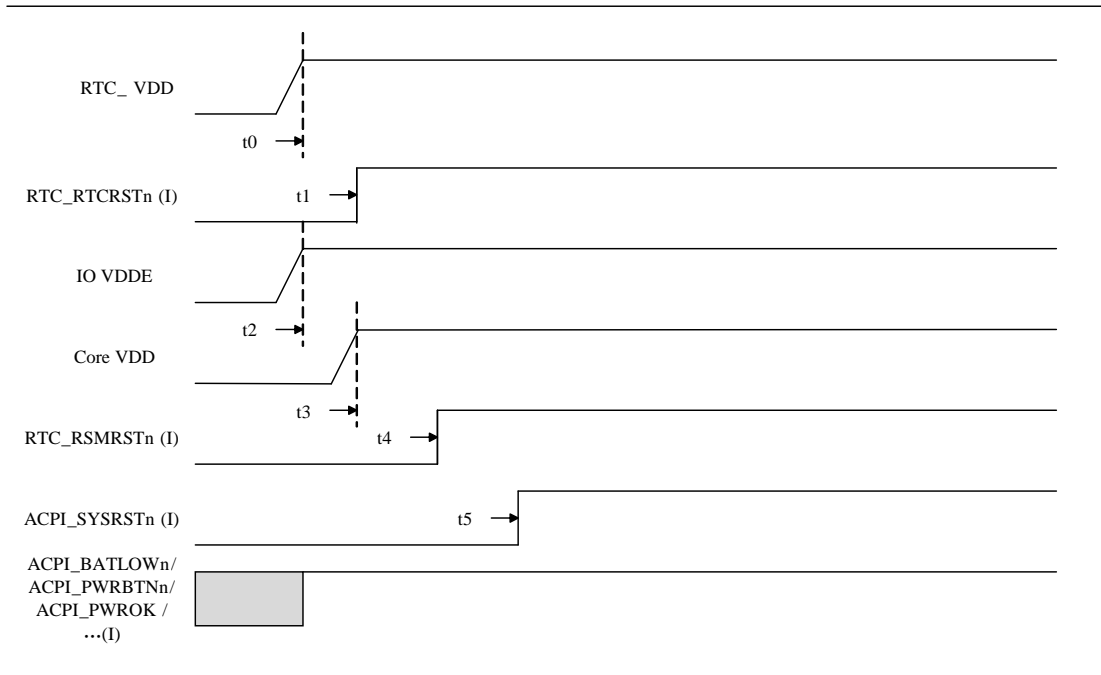


图 4.3 冷启动上电时序波形

注:

1. IO VDDE包括： IO_3V3、RSM_3V3、DDR_VDDE/DDR_VREF、PSU_3V3、VGA_A3V3、THSENS_AVDD。
2. Core VDD包括： VDD_CORE、VDD_NODE、VDD_RSM、PSU_1V1、PLL_AVDD、PLL_NODE_AVDD、PLL_DDR_AVDD。
3. ACPI相关的除电源复位信号外的其他输入信号拉高，ACPI相关的输出信号悬空，也即不能使用这些输出信号用于上电复位控制。
4. 在ACPI_EN不使能的情况下，ACPI_SYSRSTn信号没有去抖动功能，需主板提供去抖动电路。

表 4-1.冷启动上电时序要求

标记符	参数	需求	说明	注
t0	RTC_VDD 电源稳定时刻			
t1	RTCRSTn 解复位时刻	$t1 - t0 > 5ms$	RTCRSTn 需要在 RTC 电源稳定之后解复位	
t2	IO 电源稳定时刻	$t2 - t0 \geq 0$	RTC 电源要先于 IO 电源供电	
t3	Core 电源上电时刻	$t3 - t2 > 10\mu s$	IO 电源要先于 Core 电源供电	
t4	RSMRSTn 解复位时刻	$t4 - t3 > 5ms$	RSMRSTn 需要在 RSM 域电	



			源稳定之后解复位	
t5	ACPI_SYSRSTn 解复位时刻	$t5 - t4 > 5ms$	SYSRSTn 需要在 RSMRSTn 解复位之后解复位	

4.2.2 热复位时序

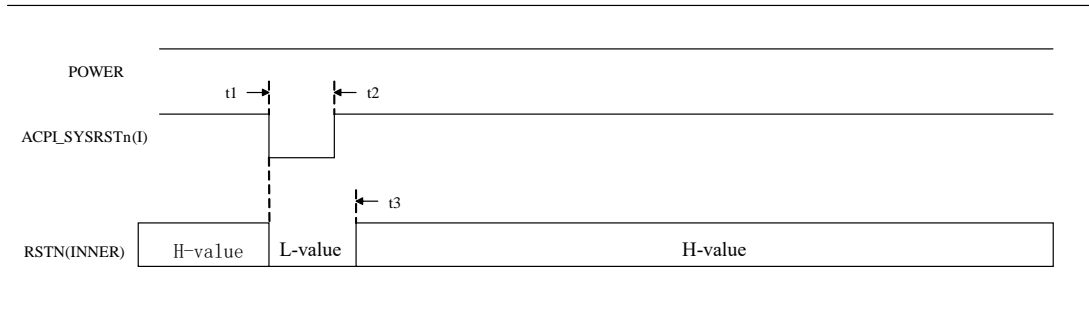


图 4.4 热复位时序图

注:

1. POWER包括所有的供电。
2. RSTN(INNER)内部复位在外部复位信号撤销之后过一段延迟后解除。

表 4-2.热复位时序约束

标记符	参数	需求	说明
t1	ACPI_SYSRSTn 变低的时间		
t2	ACPI_SYSRSTn 变高的时间	$t2 - t1 > 1ms$	SYSRSTn 保持为低电平的时间需大于 1ms 才有效
t3	RSTN(INNER)	$t3 - t2 < 2ms$	内部复位解除时刻不晚于 SYSRSTn 解复位后 2ms



5 电气特性

5.1 电源

5.1.1 推荐工作条件

表 5-1 推荐的工作电源电压

电源	描述	范围			最大电流 (壳温 85℃)
		Min.	Typ.	Max.	
VDD_CORE	数字域电源	1.05V	1.1V	1.15V	800mA
VDD_NODE	NODE 域电源	1.05V	1.1V	1.15V	500mA
VDD_RSM	RSM 域电源	1.05V	1.1V	1.15V	100mA
RTC_VDD	RTC 域电源	2.55V	2.7V	2.85V	10uA
IO_3V3	SOC 域 IO 电源	3.15V	3.3V	3.45V	500mA
RSM_3V3	RSM 域 IO 电源	3.15V	3.3V	3.45V	50mA
DDR_VDDE	DDR3 IO 电源	1.42V	1.5V	1.58V	500mA
DDR_VREF	DDR3 VREF	0.72V	0.75V	0.78V	TBD
PSU_1V1	PCIE/SATA/USB vp 和 vptx 电源	1.05V	1.1V	1.15V	300mA
PSU_3V3	PCIE/SATA/USB vph 电源	3.15V	3.3V	3.45V	500mA
USB_VBUS	USB 接口 5V 供电电源	4.85V	5V	5.15V	TBD
VGA_A3V3	VGA 模拟电源	3.15V	3.3V	3.45V	TBD
THSENS_AVDD	THSENS 温度传感器电源	3.15V	3.3V	3.45V	TBD
PLL_AVDD	PLL 电源	1.15V	1.2V	1.25V	50mA
PLL_DDR_AVDD	DDR PLL 电源	1.15V	1.2V	1.25V	
PLL_NODE_AVDD	NODE PLL 电源	1.15V	1.2V	1.25V	

5.1.2 绝对最大额定值

表 5-2 绝对最大额定值

参数	描述	最小	最大	单位
VDD_CORE	SOC 域电源	-0.3	1.25	V
VDD_NODE	NODE 域电源	-0.3	1.25	V
VDD_RSM	RSM 域电源	-0.3	1.25	V
RTC_VDD	RTC 域电源	-0.3	3.0	V
IO_3V3	SOC 域 IO 电源	-0.3	3.47	V
RSM_3V3	RSM 域 IO 电源	-0.3	3.47	V



DDR_VDDE	DDR3 IO 电源	-0.3	1.7	V
DDR_VREF	DDR3 参考电压	-0.3	0.78	V
PSU_1V1	PCIE/SATA/USB vp 和 vptx 电源	-0.3	1.21	V
PSU_3V3	PCIE/SATA/USB vph 电源	-0.3	3.47	V
PLL_AVDD	PLL 电源	-0.3	1.3	V
ESD	静电防护	-	2000	V
Tstg	存储温度	-50	100	°C

5.1.3 功耗状态及优化

表 5-3 芯片功耗模式

运行模式	条件(壳温 25°C)	功耗(W)
典型	CPU 1.1V, 500MHz; DDR 400MHz PCIe、SATA、USB 连接常用设备 运行 SPEC CPU2000 所有模块保持打开状态 测量平均功耗	1.5W
低功耗	CPU 1.0V, 500MHz; DDR 300MHz PCIe、SATA、USB 电源内部关断 软件无任务运行 测量平均功耗	0.8W

5.2 参考时钟

5.2.1 单端参考时钟

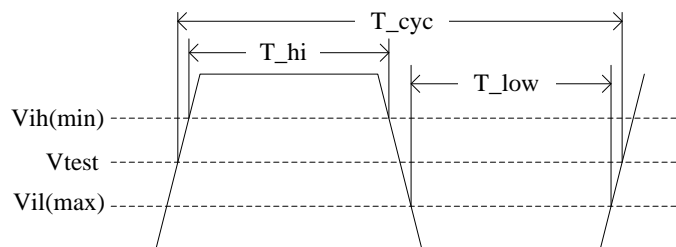


图 5.1 单端参考时钟波形

时钟	参数	描述	最小	最大	单位
SYS_CLK	Vih	输入高电平电压	2.0	-	V
	Vil	输入低电平电压	-	0.8	V
	T_cyc	时钟周期	9.99	10.01	ns



	T_hi	高电平时间	40%T_cyc	60%T_cyc	ns
	T_low	低电平时间	40%T_cyc	60%T_cyc	ns
	Tslew	斜率	1	4	V/ns
	Tccjitter	周期间抖动	-	100	ps
JTAG_TCK	Vih	输入高电平电压	2.0	-	V
	Vil	输入低电平电压	-	0.8	V
	T_cyc	时钟周期	30	-	ns
	T_hi	高电平时间	40%T_cyc	60%T_cyc	ns
	T_low	低电平时间	40%T_cyc	60%T_cyc	ns
	Tslew	斜率	1	4	V/ns
PCI_CLK	Vih	输入高电平电压	2.0	-	V
	Vil	输入低电平电压	-	0.8	V
	T_cyc	时钟周期	30	-	ns
	T_hi	高电平时间	40%T_cyc	60%T_cyc	ns
	T_low	低电平时间	40%T_cyc	60%T_cyc	ns
	Tslew	斜率	1	4	V/ns
SYS_TESTCLK	Vih	输入高电平电压	2.0	-	V
	Vil	输入低电平电压	-	0.8	V
	T_cyc	时钟周期	30		ns
	T_hi	高电平时间	40%T_cyc	60%T_cyc	ns
	T_low	低电平时间	40%T_cyc	60%T_cyc	ns
	Tslew	斜率	1	4	V/ns

5.2.2 差分参考时钟

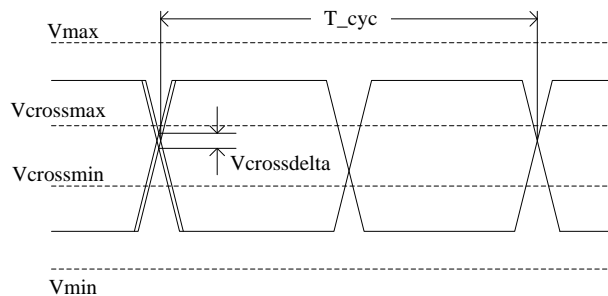


图 5.2 差分参考时钟波形



时钟	参数	描述	最小	最大	单位
PSU_REFCLK	Vrange	输入电压范围(单端)	-0.3	1.15	V
	Vcrossrange	交叉点范围	-100	100	mV
	Vcrossdelta	上升沿 Vcross 变动范围	-	140	mV
	T_cyc	时钟周期	9.847	10.203	ns
	Duty cycle	占空比	40	60	%
	Vih	差分输入高	+150	-	mV
	Vil	差分输入低	-	-150	mV
	Tccjitter	周期间抖动	-	30	ps
	Tslew	斜率	0.6	4	V/ns

5.2.3 参考时钟输出

时钟	参数	描述	最小	最大	单位
PCIE[1:0]_CLKp/n	Vrange	输出电压范围(单端)	-200	1300	mV
	Vcrossrange	交叉点范围	500	600	mV
	Vcrossdelta	上升沿 Vcross 变动范围	-	140	mV
	T_cyc	时钟周期	9.847	10.203	ns
	Duty cycle	占空比	40	60	%
	Tccjitter	周期间抖动	-	150	ps
	Tslew	斜率(5pf 负载情况下)	2	3	V/ns

5.3 DDR3 内存接口特性

5.3.1 推荐的直流工作条件

表 5-4 推荐的直流工作条件

Symbol	Parameter	Min.	Typ.	Max.	Unit
VDD	Supply Voltage	1.42	1.5	1.58	V
VDDQ	Supply Voltage for Output	1.42	1.5	1.58	V

5.3.2 交流和直流逻辑输入电平

5.3.2.1 单端信号의交流和直流输入电平



表 5-5 控制信号和地址单端信号的交流和直流输入电平

Symbol	Parameter	DDR3-800/1066/1333/1600		Unit
		Min	Max	
VIH.CA(DC100)	DC input logic high	Vref + 0.100	VDD	V
VIL.CA(DC100)	DC input logic low	VSS	Vref - 0.100	V
VIH.CA(AC175)	AC input logic high	Vref + 0.175	Note 2	V
VIL.CA(AC175)	AC input logic low	Note 2	Vref - 0.175	V
VIH.CA(AC150)	AC input logic high	Vref + 0.150	Note 2	V
VIL.CA(AC150)	AC input logic low	Note 2	Vref - 0.150	V
VRefCA(DC)	Reference Voltage for ADD, CMD inputs	0.49 * VDD	0.51 * VDD	V

表 5-6 DQ 和 DM 单端信号的交流和直流输入电平

Symbol	Parameter	DDR3-800, DDR3-1066		DDR3-1333, DDR3-1600		Unit
		Min	Max	Min	Max	
VIH.DQ(DC100)	DC input logic high	Vref + 0.100	VDD	Vref + 0.100	VDD	V
VIL.DQ(DC100)	DC input logic low	VSS	Vref - 0.100	VSS	Vref - 0.100	V
VIH.DQ(AC175)	AC input logic high	Vref + 0.175	-	-	-	V
VIL.DQ(AC175)	AC input logic low	-	Vref - 0.175	-	-	V
VIH.DQ(AC150)	AC input logic high	Vref + 0.150	-	Vref + 0.150	-	V
VIL.DQ(AC150)	AC input logic low	-	Vref - 0.150	-	Vref - 0.150	V
VRefDQ(DC)	Reference Voltage for DQ, DM inputs	0.49 * VDD	0.51 * VDD	0.49 * VDD	0.51 * VDD	V

5.3.2.2 差分信号的交流和直流输入电平



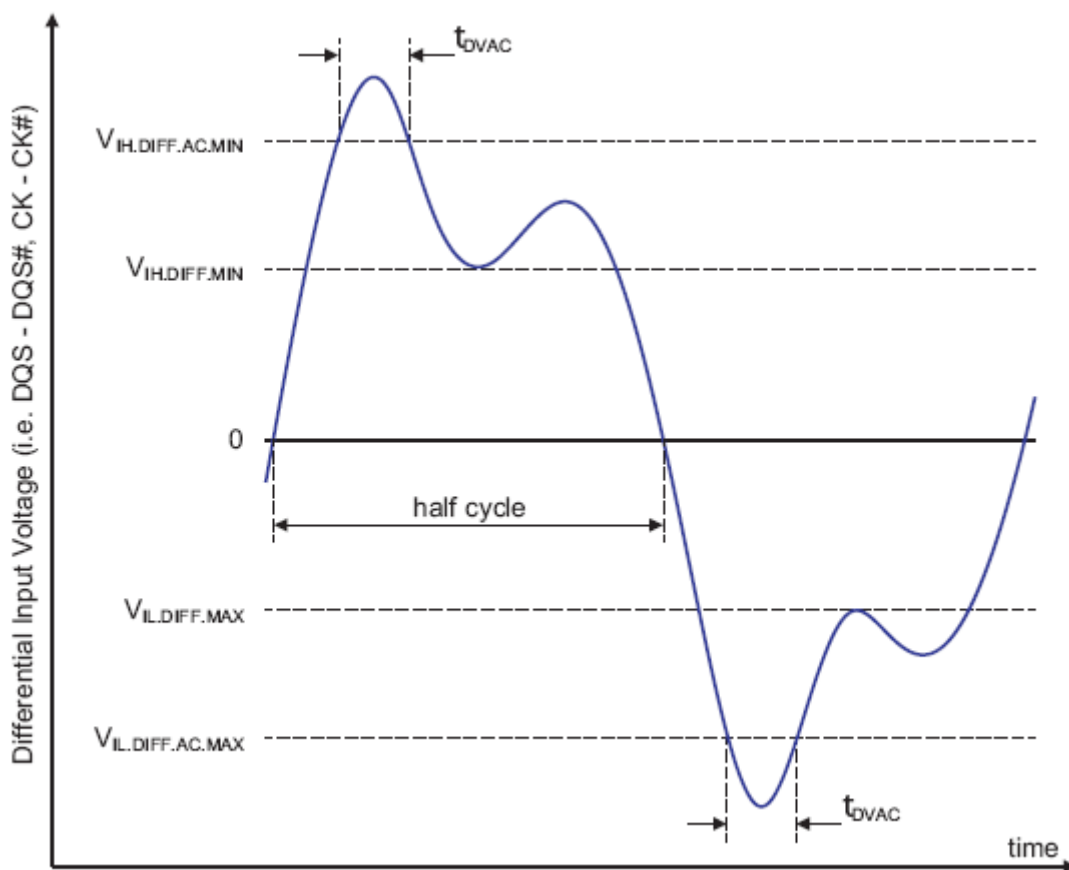


图 5.3 ac-swing 和 ac-level 时间点 (tDVA) 的差分定义

表 5-7 交流和直流的差分输入电平

Symbol	Parameter	DDR3-800,1066		Unit
		Min	Max	
V _{IHdiff}	Differential input high	+ 0.200	note 3	V
V _{ILdiff}	Differential input logic low	Note 3	- 0.200	V
V _{IHdiff(ac)}	Differential input high ac	2 x (V _{IH(ac)} - V _{ref})	Note 3	V
V _{ILdiff(ac)}	Differential input low ac	note 3	2 x (V _{IL(ac)} - V _{ref})	V

5.3.2.3 差分信号输入的交叉点电压

为了保证严格的建立和保持时钟和选通时间以及输出偏差参数，每个交叉点电压的差分输入信号（CK，CK# 和 DQS，DQS#）必须满足表 5-8 的要求。差分输入的交叉点电压 V_{Ix} 的测量是从实际的交叉点的和补偿信号的 V_{DD} 和 V_{SS} 之间的中间点处获得。



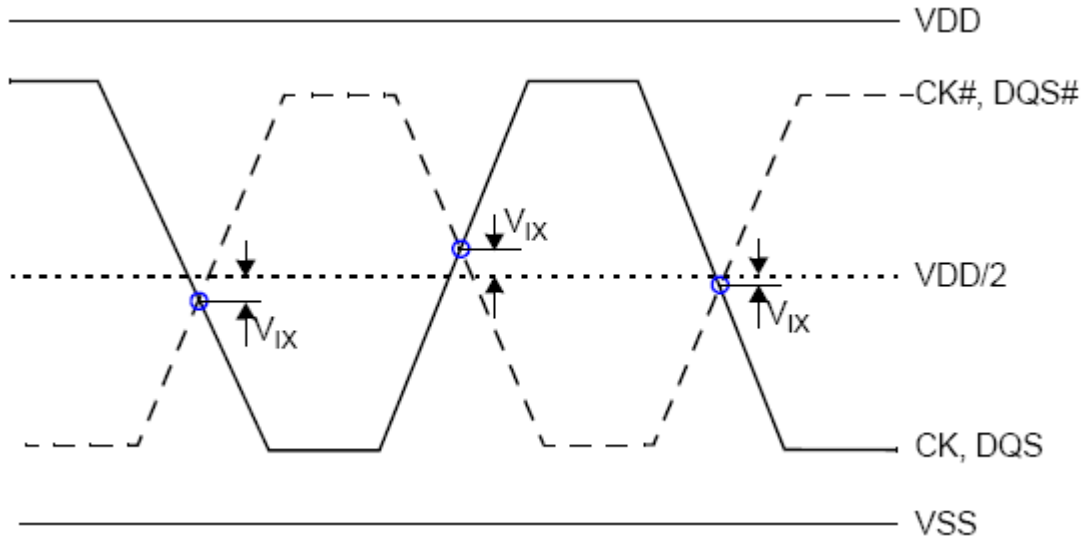


图 5.4 Vix 定义

表 5-8 差分输入信号(CK, DQS)交叉点电压

Symbol	Parameter	DDR3-800, DDR3-1066, DDR3-1333, DDR3-1600		Unit
		Min.	Max.	
VIX	Differential Input Cross Point Voltage relative to VDD/2 for CK,CK#	-150	150	mV
		-175	175	mV
VIX	Differential Input Cross Point Voltage relative to VDD/2 for DQS, DQS#	-150	150	mV

5.3.3 交流和直流逻辑输出电平

5.3.3.1 单端信号的交流和直流输出电平

表 5-9 单端信号的交流直流输出电平

Symbol	Parameter	DDR3-800, 1066, 1333, and 1600	Unit
VOH(DC)	DC output high measurement level (for IV curve linearity)	0.8 x VDDQ	V
VOM(DC)	DC output mid measurement level (for IV curve linearity)	0.5 x VDDQ	V
VOL(DC)	DC output low measurement level (for IV curve linearity)	0.2 x VDDQ	V
VOH(AC)	AC output high measurement level (for output SR)	VTT + 0.1 x VDDQ	V
VOL(AC)	AC output low measurement level (for output SR)	VTT - 0.1 x VDDQ	V

5.3.3.2 差分信号的交流和直流输出电平

表 5-10 差分信号的交流和直流输出电平

Symbol	Parameter	DDR3-800, 1066, 1333, and 1600	Unit
VOHdiff(AC)	AC differential output high measurement level (for output SR)	+ 0.2 x VDDQ	V
VOLdiff(AC)	AC differential output low measurement level (for output SR)	- 0.2 x VDDQ	V



5.3.3.3 单端信号的输出斜率

作为时序测量的参考负载，单端信号的下降沿和上升沿输出斜率的定义和测量在 VOL (AC) 和 VOH (AC) 之间，如表 5-11 和图 5.4 所示。

表 5-11 单端信号输出斜率的定义

Description	Measured		Defined by
	from	to	
Single-ended output slew rate for rising edge	VOL(AC)	VOH(AC)	$[VOH(AC) - VOL(AC)] / \Delta TRse$
Single-ended output slew rate for falling edge	VOH(AC)	VOL(AC)	$[VOH(AC) - VOL(AC)] / \Delta TFse$

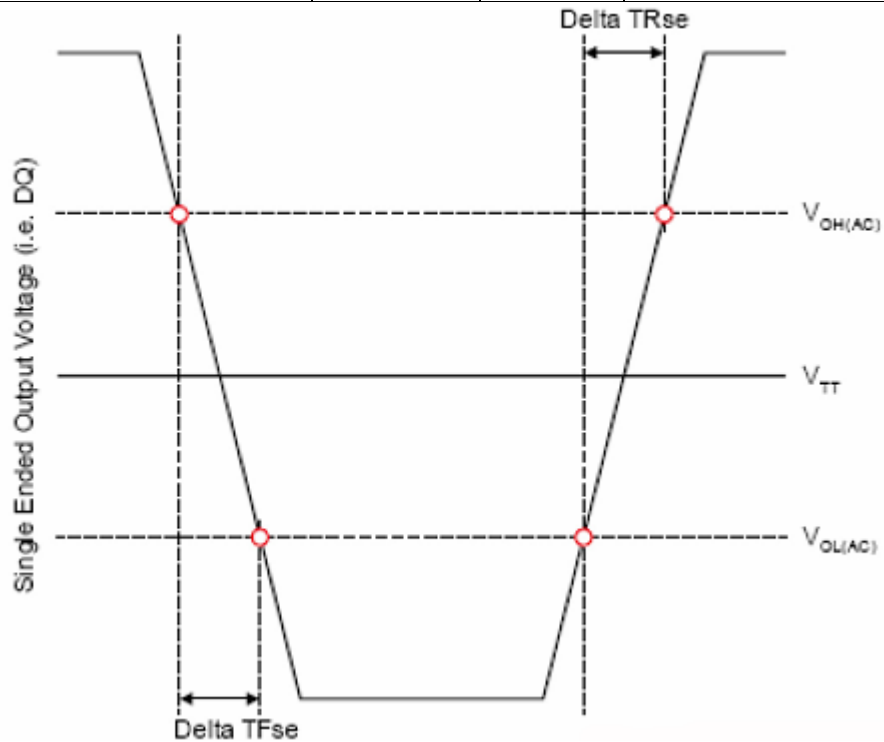


图 5.5 单端输出斜率的定义

表 5-12 单端的输出斜率

Parameter	Symbol	DDR3-800		DDR3-1066		Unit
		Min.	Max.	Min.	Max.	
Single-ended Output Slew Rate	SRQse	2.5	5	2.5	5	V/ns

5.3.3.4 差分输出斜率

表 5-13 差分输出斜率的定义

Description	Measured		Defined by
	from	to	
Differential output slew rate for rising edge	VOLdiff(AC)	VOHdiff(AC)	$[VOHdiff(AC) - VOLdiff(AC)] / \Delta TRdiff$
Differential output slew rate for falling edge	VOHdiff(AC)	VOLdiff(AC)	$[VOHdiff(AC) - VOLdiff(AC)] / \Delta TFdiff$



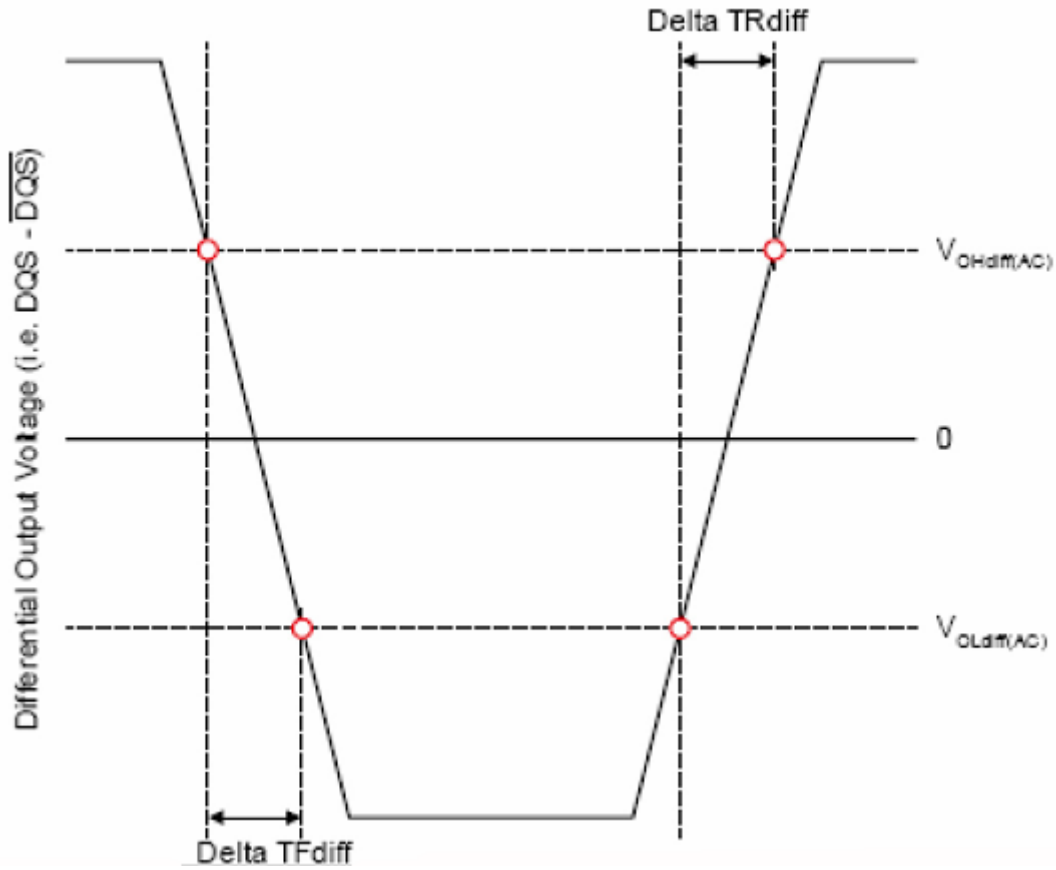


图 5.6 差分输出斜率的定义

表 5-14 差分输出斜率

		DDR3-800		DDR3-1066		DDR3-1333		DDR3-1600		Units
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	
Differential Output Slew Rate	SRQdiff	5	10	5	10	5	10	TBD	10	V/ns

5.3.3.5 上冲和下冲的规范

表 5-15 地址和控制引脚的交流上冲/下冲规范

Parameter	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	Units
Maximum peak amplitude allowed for overshoot area.	0.4	0.4	0.4	0.4	V
Maximum peak amplitude allowed for undershoot area.	0.4	0.4	0.4	0.4	V
Maximum overshoot area above VDD	0.67	0.5	0.4	0.33	V-ns
Maximum undershoot area below VSS	0.67	0.5	0.4	0.33	V-ns
(A0-A15, BA0-BA3, CS#, RAS#, CAS#, WE#, CKE, ODT)					



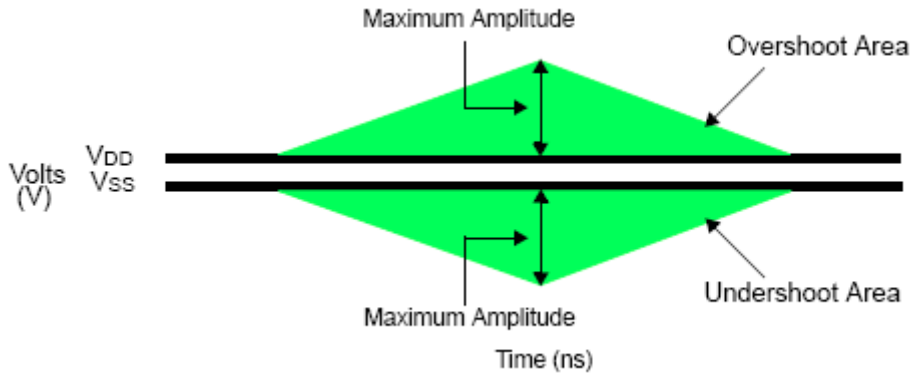


图 5.7 地址和控制的上冲和下冲定义

表 5-16 时钟，数据，选通和屏蔽信号的交流上冲/下冲规范

	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	Units
Maximum peak amplitude allowed for overshoot area.	0.4	0.4	0.4	0.4	V
Maximum peak amplitude allowed for undershoot area.	0.4	0.4	0.4	0.4	V
Maximum overshoot area above VDDQ	0.25	0.19	0.15	0.13	V-ns
Maximum undershoot area below VSSQ	0.25	0.19	0.15	0.13	V-ns
(CK, CK#, DQ, DQS, DQS#, DM)					

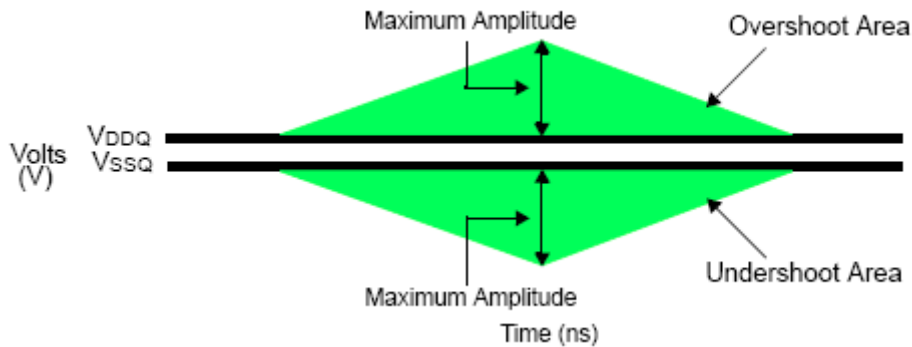


图 5.8 时钟，数据，选通和屏蔽信号的交流上冲和下冲定义

5.3.3.6 ODT 时序定义

表 5-17 ODT 时序定义

Symbol	Begin Point Definition	End Point Definition	Figure
tAON	Rising edge of CK -CK# defined by the end point of ODTLon	Extrapolated point at VSSQ	Figure 103
tAONPD	Rising edge of CK -CK# with ODT being first registered high	Extrapolated point at VSSQ	Figure 104
tAOF	Rising edge of CK -CK# defined by the end point of ODTLoff	End point: Extrapolated point at VRIT_Nom	Figure 105
tAOFPD	Rising edge of CK -CK# with ODT being first registered low	End point: Extrapolated point at VRIT_Nom	Figure 106



tADC	Rising edge of CK -CK# defined by the end point of ODTLcnw, ODTLcwn4 or ODTLcwn8	End point: Extrapolated point at VRTT_Wr and VRTT_Nom respectively	Figure 107
------	--	--	------------

表 5-18 ODT 时序测量的参考设置

Measured Parameter	RTT_Nom Setting	RTT_Wr Setting	VSW1[V]	VSW2[V]
tAON	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAONPD	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAOF	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAOFPD	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAD	RZQ/12	RZQ/2	0.20	0.30

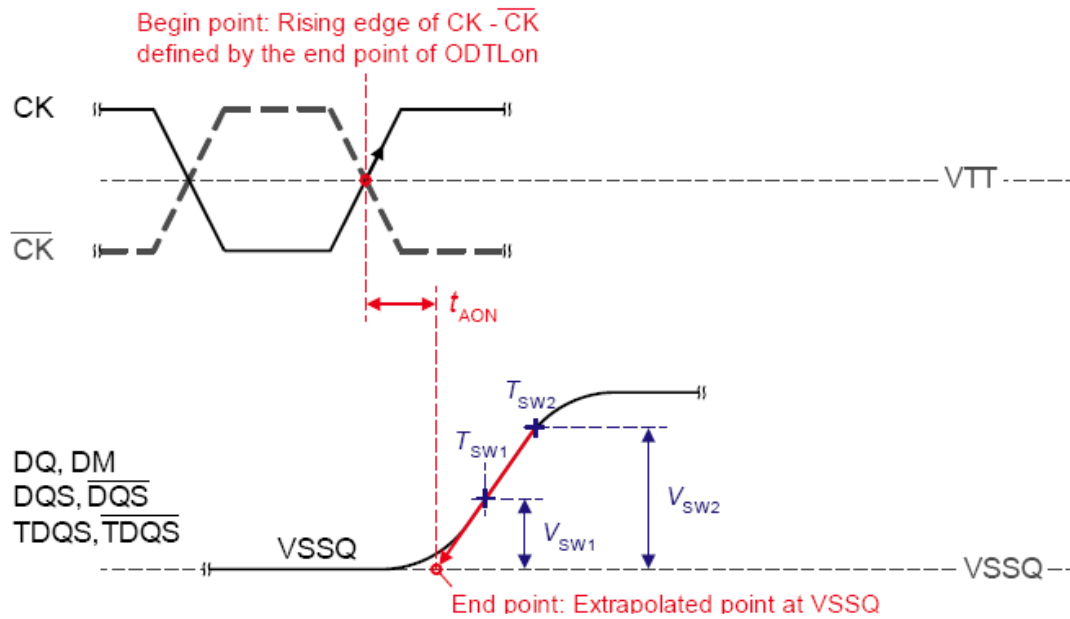


图 5.9 tAON 的定义



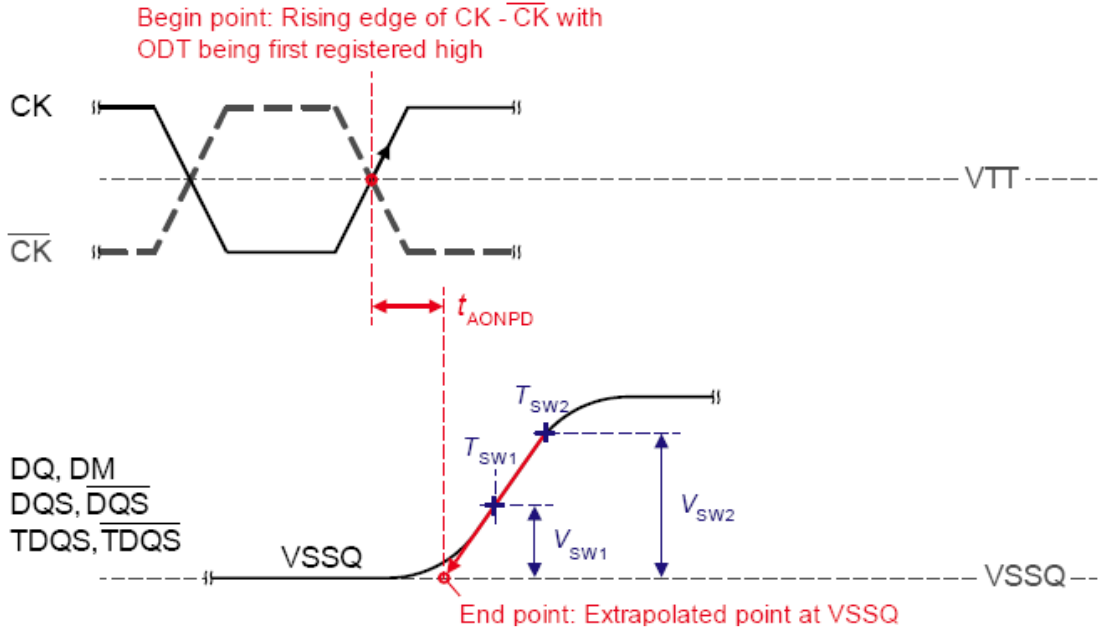


图 5.10 t_{AONPD} 的定义

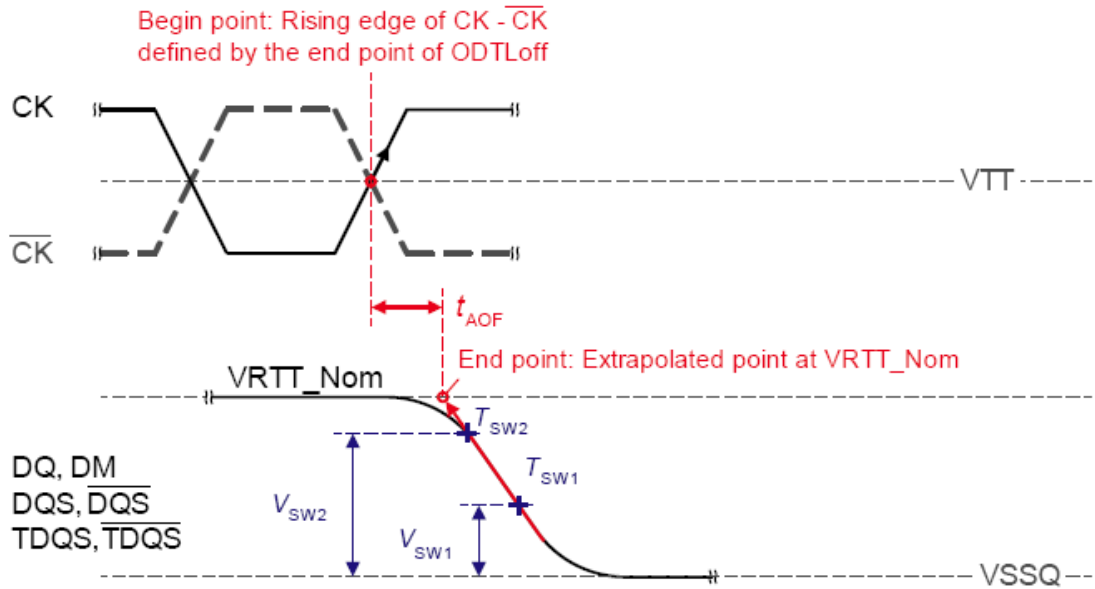


图 5.11 t_{AOF} 的定义



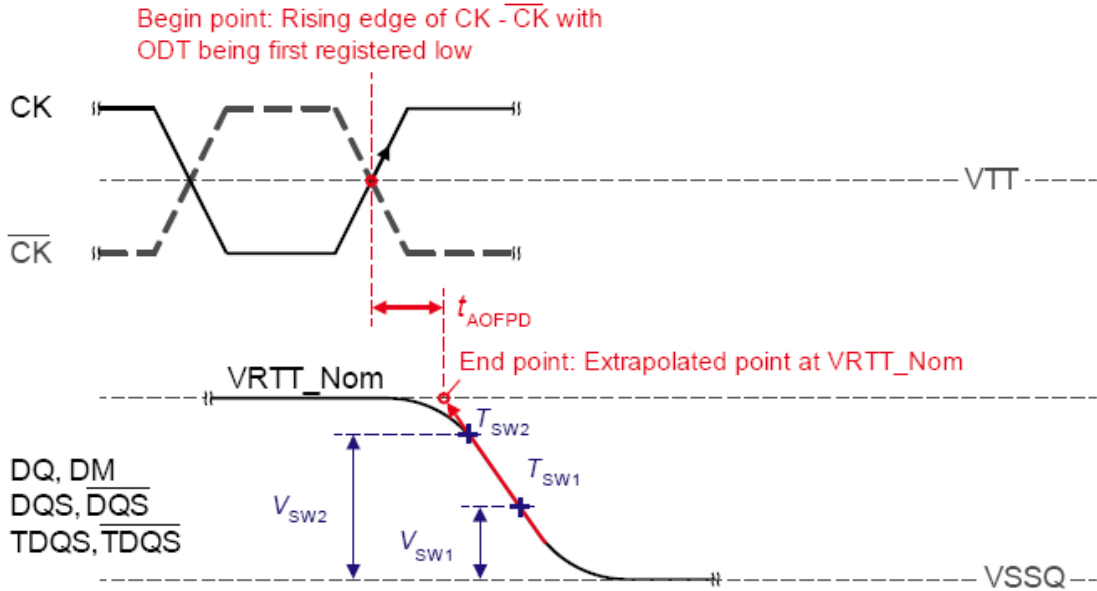


图 5.12 tAOFPD 的定义

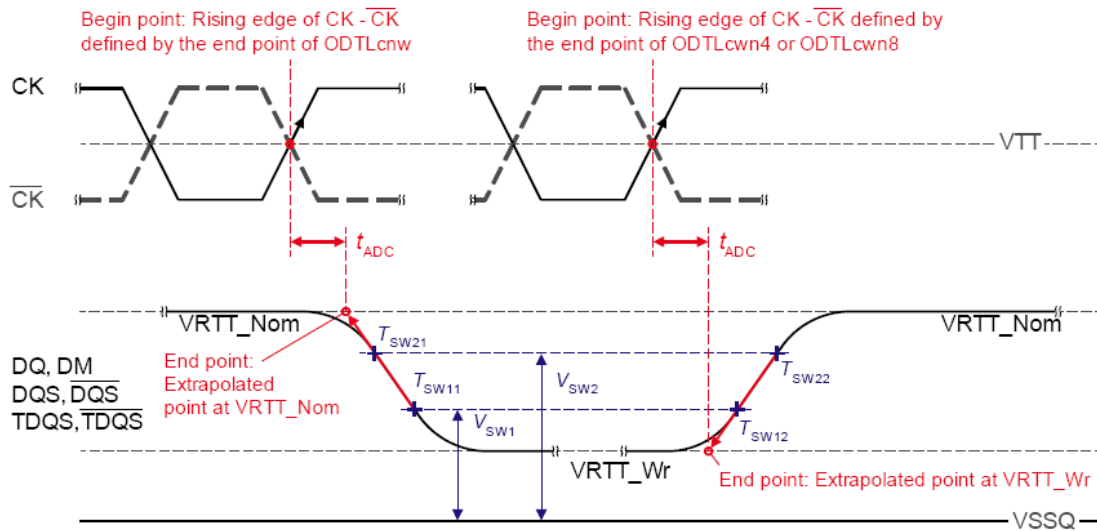


图 5.13 tADC 的定义

5.3.4 IDD 和 IDDQ 规范的参数和测试条件

表 5-19 IDD 和 IDDQ 测量循环模式的时序

Symbol	DDR3-800		DDR3-1066			DDR3-1333				DDR3-1600				Unit
	5-5-5	6-6-6	6-6-6	7-7-7	8-8-8	7-7-7	8-8-8	9-9-9	10-10-10	8-8-8	9-9-9	10-10-10	11-11-11	
tCK	2.5		1.875			1.5				1.25				ns
CL	5	6	6	7	8	7	8	9	10	8	9	10	11	nCK
nRCD	5	6	6	7	8	7	8	9	10	8	9	10	11	nCK
nRC	20	21	26	27	28	31	32	33	34	36	37	38	39	nCK



nRAS	15	20			24				28				nCK	
nRP	5	6	6	7	8	7	8	9	10	8	9	10	11	nCK
nFAW	1KB pagesize	16		20			20			24				nCK
	2KB page size	20		27			30			32				nCK
nRRD	1KB page size	4		4			4			5				nCK
	2KB page size	4		6			5			6				nCK
nRFC 512 Mb	36		48			60				72				nCK
nRFC 1 Gb	44		59			74				88				nCK
nRFC 2 Gb	64		86			107				128				nCK
nRFC 4 Gb	120		160			200				240				nCK
nRFC 8 Gb	140		187			234				280				nCK

5.3.5 输入/输出电容

表 5-20 输入/输出电容

Parameter	Symbol	DDR3-800		DDR3-1066		DDR3-1333		DDR3-1600		Units
		Min	Max	Min	Max	Min	Max	Min	Max	
Input/output capacitance (DQ, DM, DQS, DQS#, TDQS, TDQS#)	C _{IO}	1.5	3.0	1.5	2.7	1.5	2.5	1.5	2.3	pF
Input capacitance, CK and CK#	C _{CK}	0.8	1.6	0.8	1.6	0.8	1.4	0.8	1.4	pF
Input capacitance delta, CK and CK#	C _{DCK}	0	0.15	0	0.15	0	0.15	0	0.15	pF
Input/output capacitance delta DQS and DQS#	C _{DDQS}	0	0.2	0	0.2	0	0.15	0	0.15	pF
Input capacitance, (CTRL, ADD, CMD input-only pins)	C _I	0.75	1.4	0.75	1.35	0.75	1.3	0.75	1.3	pF
Input capacitance delta, (All CTRL input-only pins)	C _{DI_CTRL}	-0.5	0.3	-0.5	0.3	-0.4	0.2	-0.4	0.2	pF
Input capacitance delta, (All ADD/ CMD input-only pins)	C _{DI_ADD_CMD}	-0.5	0.5	-0.5	0.5	-0.4	0.4	-0.4	0.4	pF
Input/output capacitance delta, DQ, DM, DQS, DQS#, TDQS, TDQS#	C _{DIO}	-0.5	0.3	-0.5	0.3	-0.5	0.3	-0.5	0.3	pF
Input/output capacitance of ZQ pin	C _{ZQ}	-	3	-	3	-	3	-	3	pF

5.3.6 刷新参数

表 5-21 DDR3 刷新参数

Parameter	Symbol	512Mb	1Gb	2Gb	4Gb	8Gb	Unit
REF command to ACT or REF command time	tRFC	90	110	160	300	350	ns
Average periodic refresh interval	tREFI	0 ≤ TCASE ≤ 85	7.8	7.8	7.8	7.8	us
		85 < TCASE ≤ 95	3.9	3.9	3.9	3.9	us



5.3.7 标准的速度分级

表 5-22 DDR3-800 Speed Bins and Operating Conditions

Speed Bin		DDR3-800D		DDR3-800E		Unit	
CL - nRCD - nRP		5-5-5		6-6-6			
Parameter	Symbol	Min.	Max.	Min.	Max.		
Internal read command to first data	tAA	12.5	20	15	20	ns	
ACT to internal read or write delay time	tRCD	12.5	—	15	—	ns	
PRE command period	tRP	12.5	—	15	—	ns	
ACT to ACT or REF command period	tRC	50	—	52.5	—	ns	
ACT to PRE command period	tRAS	37.5	9 * tREFI	37.5	9 * tREFI	ns	
CL = 5	CWL = 5	tCK(AVG)	2.5	3.3	3.0	3.3	ns
CL = 6	CWL = 5	tCK(AVG)	2.5	3.3	2.5	3.3	ns
Supported CL Settings		5, 6		5, 6		nCK	
Supported CWL Settings		5		5		nCK	

表 5-23 DDR3-1066 Speed Bins and Operating Conditions

Speed Bin		DDR3-1066E		DDR3-1066F		DDR3-1066G		Unit	
CL - nRCD - nRP		6-6-6		7-7-7		8-8-8			
Parameter	Symbol	Min.	Max.	Min.	Max.	Min.	Max.		
Internal read command to first data	tAA	11.25	20	13.125	20	15	20	ns	
ACT to internal read or write delay time	tRCD	11.25	—	13.125	—	15	—	ns	
PRE command period	tRP	11.25	—	13.125	—	15	—	ns	
ACT to ACT or REF command period	tRC	48.75	—	50.625	—	52.5	—	ns	
ACT to PRE command period	tRAS	37.5	9 * tREFI	37.5	9 * tREFI	37.5	9 * tREFI	ns	
CL = 5	CWL = 5	tCK(AVG)	2.5	3.3	3.0	3.3	3.0	3.3	ns
	CWL = 6	tCK(AVG)	Reserved		Reserved		Reserved		ns
CL = 6	CWL = 5	tCK(AVG)	2.5	3.3	2.5	3.3	2.5	3.3	ns
	CWL = 6	tCK(AVG)	1.875	<2.5	Reserved		Reserved		ns
CL = 7	CWL = 5	tCK(AVG)	Reserved		Reserved		Reserved		ns
	CWL = 6	tCK(AVG)	1.875	<2.5	1.875	<2.5	Reserved		ns
CL = 8	CWL = 5	tCK(AVG)	Reserved		Reserved		Reserved		ns
	CWL = 6	tCK(AVG)	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
Supported CL Settings		5,6,7,8		5,6,7,8		5,6,8		nCK	
Supported CWL Settings		5,6		5,6		5,6		nCK	



表 5-24 DDR3-1333 Speed Bins and Operating Conditions

SpeedBin		DDR3-1333F (optional)		DDR3-1333G		DDR3-1333H		DDR3-1333J (optional)		Unit	
CL-nRCD-nRP		7-7-7				9-9-9		10-10-10			
Parameter	Symbol	min	max	min	max	min	max	min	max		
Internal read command to first data	t_{AA}	10.5	20	12	20	13.5(13.125) _{5,11}	20	15	20	ns	
ACT to internal read or write delay time	t_{RCD}	10.5	—	12	—	13.5(13.125) _{5,11}	—	15	—	ns	
PRE command period	t_{RP}	10.5	—	12	—	13.5(13.125) _{5,11}	—	15	—	ns	
ACT to ACT or REF command period	t_{RC}	46.5	—	48	—	49.5(49.125) _{5,11}	—	51	—	ns	
ACT to PRE command period	t_{RAS}	36	9*tREFI	36	9*tREFI	36	9*tREFI	36	9*tREFI	ns	
CL=5	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	3.0	3.3	3.0	3.3	ns
	CWL=6,7	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
CL=6	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	2.5	3.3	2.5	3.3	ns
	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	Reserved		Reserved		Reserved		ns
	CWL=7	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
CL=7	CWL=5	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	Reserved		ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	Reserved		Reserved		Reserved		ns
CL=8	CWL=5	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875	Reserved		Reserved		ns
CL=9	CWL=5,6	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875	1.5	<1.875	Reserved		ns
CL=10	CWL=5,6	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875	1.5	<1.875	1.5	<1.875	ns
			(Optional)		(Optional)		(Optional)			ns	
Supported CL Settings		5,6,7,8,9,(10)		5,6,7,8,9,(10)		5,6,8,(7),9,(10)		5,6,8,10		nCK	
Supported CWL Settings		5, 6, 7		5, 6, 7		5, 6, 7		5, 6, 7		nCK	

表 5-25 DDR3-1600 Speed Bins and Operating Conditions

SpeedBin		DDR3-1600G (optional)		DDR3-1600H		DDR3-1600J		DDR3-1600K		Unit
CL-nRCD-nRP		8-8-8		9-9-9		10-10-10		11-11-11		
Parameter	Symbol	min	max	min	max	min	max	min	max	
Internal read command to first data	t_{AA}	10	20	11.25	20	12.5	20	13.75(13.125) _{5,11}	20	ns
ACT to internal read or write delay time	t_{RCD}	10	—	11.25	—	12.5	—	13.75(13.125) _{5,11}	—	ns
PRE command period	t_{RP}	10	—	11.25	—	12.5	—	13.75(13.125) _{5,11}	—	ns
ACT to ACT or REF command period	t_{RC}	45	—	46.25	—	47.5	—	48.75(48.125) _{5,11}	—	ns
ACT to PRE command period	t_{RAS}	35	9*tREFI	35	9*tREFI	35	9*tREFI	35	9 * tREFI	ns



CL = 5	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	2.5	3.3	3.0	3.3	ns
	CWL=6,7,8	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
CL = 6	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	2.5	3.3	2.5	3.3	ns
	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	Reserved	Reserved	ns	1,2,3,4,8	
	CWL=7,8	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
CL = 7	CWL=5	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
									(Optional)5,11		
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	Reserved		Reserved		Reserved		ns
	CWL=8	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
CL = 8	CWL=5	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875	Reserved	Reserved	ns	1,2,3,4,8	
	CWL=8	$t_{CK(AVG)}$	1.25	<1.5	Reserved		Reserved		Reserved		ns
CL = 9	CWL=5,6	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875	1.5	<1.875	1.5	<1.875	ns
									(Optional)5,11		
	CWL=8	$t_{CK(AVG)}$	1.25	<1.5	1.25	<1.5	Reserved		Reserved		ns
CL = 10	CWL=5,6	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875	1.5	<1.875	1.5	<1.875	ns
	CWL=8	$t_{CK(AVG)}$	1.25	<1.5	1.25	<1.5	1.25	<1.5	Reserved		ns
CL = 11	CWL=5,6,7	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=8	$t_{CK(AVG)}$	1.25	<1.5	1.25	<1.5	1.25	<1.5	1.25	<1.5	ns
			(Optional)		(Optional)		(Optional)				ns
Supported CL Settings			5,6,7,8,9,10,(11)		5,6,7,8,9,10,(11)		5,6,7,8,9,10,		5,6,7,8,9,10,(11)		nCK
Supported CWL Settings			5,6,7,8		5,6,7,8		5,6,7,8		5,6,7,8		nCK



5.3.8 DDR3 的时序参数

表 5-26 Timing Parameters by Speed Bin

Parameter	Symbol	DDR3-800		DDR3-1066		DDR3-1333		DDR3-1600		Units
		Min	Max	Min	Max	Min	Max	Min	Max	
Clock Timing										
Minimum Clock Cycle Time (DLL off mode)	tCK(DLL_OFF)	8	-	8	-	8	-	8	-	ns
Average Clock Period	tCK(avg)									ps
Average high pulse width	tCH(avg)	0.47	0.53	0.47	0.53	0.47	0.53	0.47	0.53	tCK(avg)
Average low pulse width	tCL(avg)	0.47	0.53	0.47	0.53	0.47	0.53	0.47	0.53	tCK(avg)
Absolute Clock Period	tCK(abs)	tCK(avg) min + tJIT(per)m in	tCK(avg) max + tJIT(per) max	tCK(avg) min + tJIT(per)m in	tCK(avg) max + tJIT(per) max	tCK(avg) min + tJIT(per) min	tCK(avg) max + tJIT(per) max	tCK(avg) min + tJIT(per) min	tCK(avg) max + tJIT(per) max	ps
Absolute clock HIGH pulse width	tCH(abs)	0.43	-	0.43	-	0.43	-	0.43	-	tCK(avg)
Absolute clock LOW pulse width	tCL(abs)	0.43	-	0.43	-	0.43	-	0.43	-	tCK(avg)
Clock Period Jitter	JIT(per)	-100	100	-90	90	-80	80	-70	70	ps
Clock Period Jitter during DLL locking period	tJIT(per,lck)	-90	90	-80	80	-70	70	-60	60	ps
Cycle to Cycle Period Jitter	tJIT(cc)	200		180		160		140		ps
Cycle to Cycle Period Jitter during DLL locking period	tJIT(cc,lck)	180		160		140		120		ps
Duty Cycle Jitter	tJIT(duty)	-	-	-	-	-	-	-	-	ps
Cumulative error across 2 cycles	tERR(2per)	-147	147	-132	132	-118	118	-103	103	ps
Cumulative error across 3 cycles	tERR(3per)	-175	175	-157	157	-140	140	-122	122	ps
Cumulative error across 4 cycles	tERR(4per)	-194	194	-175	175	-155	155	-136	136	ps
Cumulative error across 5 cycles	tERR(5per)	-209	209	-188	188	-168	168	-147	147	ps
Cumulative error across 6 cycles	tERR(6per)	-222	222	-200	200	-177	177	-155	155	ps
Cumulative error across 7 cycles	tERR(7per)	-232	232	-209	209	-186	186	-163	163	ps
Cumulative error across 8 cycles	tERR(8per)	-241	241	-217	217	-193	193	-169	169	ps
Cumulative error across 9 cycles	tERR(9per)	-249	249	-224	224	-200	200	-175	175	ps

Cumulative error across 10 cycles	tERR(10per)	-257	257	-231	231	-205	205	-180	180	ps
Cumulative error across 11 cycles	tERR(11per)	-263	263	-237	237	-210	210	-184	184	ps
Cumulative error across 12 cycles	tERR(12per)	-269	269	-242	242	-215	215	-188	188	ps
Cumulative error across n = 13, 14 . . . 49, 50 cycles	tERR(nper)	$tERR(nper)_{min} = (1 + 0.68\ln(n)) * tJIT(per)_{min}$	ps	24						
		$tERR(nper)_{max} = (1 + 0.68\ln(n)) * tJIT(per)_{max}$								

Data Timing

DQS, DQS# to DQ skew, per group, per access	tDQSQ	-	200	-	150	-	125	-	100	ps
DQ output hold time from DQS, DQS#	tQH	0.38	-	0.38	-	0.38	-	0.38	-	tCK(avg)
DQ low-impedance time from CK, CK#	tLZ(DQ)	-800	400	-600	300	-500	250	-450	225	ps
DQ high impedance time from CK, CK#	tHZ(DQ)	-	400	-	300	-	250	-	225	ps
Data setup time to DQS, DQS# referenced to Vih(ac) / Vil(ac) levels	tDS(base)AC175	75		25		-		-		ps
Data setup time to DQS, DQS# referenced to Vih(ac) / Vil(ac) levels	tDS(base)AC150	125		75		30		10		ps
Data hold time from DQS, DQS# referenced to Vih(dc) / Vil(dc) levels	tDH(base)DC100	150		100		65		45		ps
DQ and DM Input pulse width for each input	tDIPW	600	-	490	-	400	-	360	-	ps

Data Strobe Timing

DQS, DQS# differential READ Preamble	tRPRE	0.9	Note19	0.9	Note19	0.9	Note19	0.9	Note19	tCK(avg)
DQS, DQS# differential READ Postamble	tRPST	0.3	Note11	0.3	Note11	0.3	Note11	0.3	Note11	tCK(avg)

DQS, DQS# differential output high time	tQSH	0.38	-	0.38	-	0.40	-	0.40	-	tCK(avg)
DQS, DQS# differential output low time	tQSL	0.38	-	0.38	-	0.40	-	0.40	-	tCK(avg)
DQS, DQS# differential WRITE Preamble	tWPRE	0.9	-	0.9	-	0.9	-	0.9	-	tCK(avg)
DQS, DQS# differential WRITE Postamble	tWPST	0.3	-	0.3	-	0.3	-	0.3	-	tCK(avg)
DQS, DQS# rising edge output access time from rising CK, CK#	tDQCK	-400	400	-300	300	-255	255	-225	225	ps
DQS and DQS# low-impedance time (Referenced from RL - 1)	tLZ(DQS)	-800	400	-600	300	-500	250	-450	225	ps
DQS and DQS# high-impedance time (Referenced from RL + BL/2)	tHZ(DQS)	-	400	-	300	-	250	-	225	ps
DQS, DQS# differential input low pulse width	tDQSL	0.45	0.55	0.45	0.55	0.45	0.55	0.45	0.55	tCK(avg)
DQS, DQS# differential input high pulse width	tDQSH	0.45	0.55	0.45	0.55	0.45	0.55	0.45	0.55	tCK(avg)
DQS, DQS# rising edge to CK, CK# rising edge	tDQSS	-0.25	0.25	-0.25	0.25	-0.25	0.25	-0.27	0.27	tCK(avg)
DQS, DQS# falling edge setup time to CK, CK# rising edge	tDSS	0.2	-	0.2	-	0.2	-	0.18	-	tCK(avg)
DQS, DQS# falling edge hold time from CK, CK# rising edge	tDSH	0.2	-	0.2	-	0.2	-	0.18	-	tCK(avg)

Command and Address Timing

DLL locking time	tDLLK	512	-	512	-	512	-	512	-	nCK
Internal READ Command to PRECHARGE Command delay	tRTP	max(4nCK, 7.5ns)	—	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	
Delay from start of internal write transaction to internal read command	tWTR	max(4nCK, 7.5ns)	—	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	
WRITE recovery time	tWR	15	—	15	-	15	-	15	-	ns
Mode Register Set command cycle time	tMRD	4	—	4	-	4	-	4	-	nCK

Mode Register Set command update delay	tMOD	max(12nCK, 15ns)	—	max(12nCK, 15ns)	-	max(12nCK, 15ns)	-	max(12nCK, 15ns)	-	
ACT to internal read or write delay time	tRCD	-	—	-	-					
PRE command period	tRP	-	—	-	-					
ACT to ACT or REF command period	tRC	-	—	-	-					
CAS# to CAS# command delay	tCCD	4	—	4	-	4	-	4	-	nCK
Auto precharge write recovery + precharge time	tDAL(min)	WR + roundup(tRP / tCK(avg))	nCK							
Multi-Purpose Register Recovery Time	tMPRR	1	-	1	-	1	-	1	-	nCK
ACTIVE to PRECHARGE command period	tRAS	-	-	-	-					
ACTIVE to ACTIVE command period for 1KB page size	tRRD	max(4nCK, 10ns)	-	max(4nCK, 7.5ns)	-	max(4nCK, 6ns)	-	max(4nCK, 6ns)	-	
ACTIVE to ACTIVE command period for 2KB page size	tRRD	max(4nCK, 10ns)	-	max(4nCK, 10ns)	-	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	
Four activate window for 1KB page size	tFAW	40	-	37.5	-	30	-	30	-	ns
Four activate window for 2KB page size	tFAW	50	-	50	-	45	-	40	-	ns
Command and Address setup time to CK, CK# referenced to Vih(ac) / Vil(ac) levels	tIS(base)AC175	200		125		65		45		ps
Command and Address setup time to CK, CK# referenced to Vih(ac) / Vil(ac) levels	tIS(base)AC150	350		275		190		170		ps
Command and Address hold time from CK, CK# referenced to Vih(dc) / Vil(dc) levels	tIH(base)DC100	275		200		140		120		ps
Control and Address Input pulse width for each input	tIPW	900	-	780	-	620	-	560	-	ps
Calibration Timing										

Power-up and RESET calibration time	tZQinit	max(512nCK,640ns)	-	max(512nCK,640ns)	-	max(512nCK,640ns)	-	max(512nCK,640ns)	-	
Normal operation Full calibration time	tZQoper	max(256nCK,320ns)	-	max(256nCK,320ns)	-	max(256nCK,320ns)	-	max(256nCK,320ns)	-	
Normal operation Short calibration time	tZQCS	max(64nCK,80ns)	-	max(64nCK,80ns)	-	max(64nCK,80ns)	-	max(64nCK,80ns)	-	
Reset Timing										
Exit Reset from CKE HIGH to a valid command	tXPR	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	
Self Refresh Timings										
Exit Self Refresh to commands not requiring a locked DLL	tXS	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	
Exit Self Refresh to commands requiring a locked DLL	tXSDLL	tDLLK(min)	-	tDLLK(min)	-	tDLLK(min)	-	tDLLK(min)	-	nCK
Minimum CKE low width for Self Refresh entry to exit timing	tCKESR	tCKE(min)+1nCK	-	tCKE(min)+1nCK	-	tCKE(min)+1nCK	-	tCKE(min)+1nCK	-	
Valid Clock Requirement after Self Refresh Entry (SRE) or Power-Down Entry (PDE)	tCKSRE	max(5nCK,10ns)	-	max(5nCK,10ns)	-	max(5nCK,10ns)	-	max(5nCK,10ns)	-	
Valid Clock Requirement before Self Refresh Exit (SRX) or Power-Down Exit (PDX) or Reset Exit	tCKSRX	max(5nCK,10ns)	-	max(5nCK,10ns)	-	max(5nCK,10ns)	-	max(5nCK,10ns)	-	
Power Down Timings										
Exit Power Down with DLL on to any valid command; Exit Precharge Power Down with DLL frozen to commands not requiring a locked DLL	tXP	max(3nCK,7.5ns)	-	max(3nCK,7.5ns)	-	max(3nCK,6ns)	-	max(3nCK,6ns)	-	
Exit Precharge Power Down with DLL frozen to commands requiring a locked DLL	tXPDLL	max(10nCK,24ns)	-	max(10nCK,24ns)	-	max(10nCK,24ns)	-	max(10nCK,24ns)	-	

CKE minimum pulse width	tCKE	max(3nCK 7.5ns)	-	max(3nCK ,5.625ns)	-	max(3n CK,5.62 5ns)	-	max(3n CK,5ns)	-	
Command pass disable delay	tCPDED	1	-	1	-	1	-	1	-	nCK
Power Down Entry to Exit Timing	tPD	tCKE(min)	9*tREFI	tCKE(min)	9*tREFI	tCKE(mi n)	9*tREFI	tCKE(mi n)	9*tREFI	
Timing of ACT command to Power Down entry	tACTPDEN	1	-	1	-	1	-	1	-	nCK
Timing of PRE or PREA command to Power Down entry	tPRPDEN	1	-	1	-	1	-	1	-	nCK
Timing of RD/RDA command to Power Down entry	tRDPDEN	RL+4+1	-	RL+4+1	-	RL+4+1	-	RL+4+1	-	nCK
Timing of WR command to Power Down entry (BL8OTF, BL8MRS, BC4OTF)	tWRPDEN	WL+4+(t WR/tCK(a vg))	-	WL+4+(t WR/tCK(a vg))	-	WL+4+(tWR/tC K(avg))	-	WL+4+(tWR/tC K(avg))	-	nCK
Timing of WRA command to Power Down entry (BL8OTF, BL8MRS, BC4OTF)	tWRAPDEN	WL+4+W R+1	-	WL+4+W R+1	-	WL+4+ WR+1	-	WL+4+ WR+1	-	nCK
Timing of WR command to Power Down entry (BC4MRS)	tWRPDEN	WL+2+(t WR/tCK(a vg))	-	WL+2+(t WR/tCK(a vg))	-	WL+2+(tWR/tC K(avg))	-	WL+2+(tWR/tC K(avg))	-	nCK
Timing of WRA command to Power Down entry (BC4MRS)	tWRAPDEN	WL+2+W R+1	-	WL+2+W R+1	-	WL+2+ WR+1	-	WL+2+ WR+1	-	nCK
Timing of REF command to Power Down entry	tREFPDEN	1	-	1	-	1	-	1	-	nCK
Timing of MRS command to Power Down entry	tMRSPDEN	tMOD(mi n)	-	tMOD(mi n)	-	tMOD(min)	-	tMOD(min)	-	
ODT Timings										
ODT turn on Latency	ODTLon	WL-2=CWL+AL-2								nCK
ODT turn off Latency	ODTLoft	WL-2=CWL+AL-2								nCK
ODT high time without write command or with write command and BC4	ODTH4	4	-	4	-	4	-	4	-	nCK
ODT high time with Write command and	ODTH8	6	-	6	-	6	-	6	-	nCK

BL8										
Asynchronous RTT turn-on delay (Power-Down with DLL frozen)	tAONPD	2	8.5	2	8.5	2	8.5	2	8.5	ns
Asynchronous RTT turn-off delay (Power-Down with DLL frozen)	tAOFPD	2	8.5	2	8.5	2	8.5	2	8.5	ns
RTT turn-on	tAON	-400	400	-300	300	-250	250	-225	225	ps
RTT_Nom and RTT_WR turn-off time from ODTLoff reference	tAOF	0.3	0.7	0.3	0.7	0.3	0.7	0.3	0.7	tCK(avg)
RTT dynamic change skew	tADC	0.3	0.7	0.3	0.7	0.3	0.7	0.3	0.7	tCK(avg)
Write Leveling Timings										
First DQS/DQS# rising edge after write leveling mode is programmed	tWLMRD	40	-	40	-	40	-	40	-	nCK
DQS/DQS# delay after write leveling mode is programmed	tWLDQSEN	25	-	25	-	25	-	25	-	nCK
Write leveling setup time from rising CK, CK# crossing to rising DQS, DQS# crossing	tWLS	325	-	245	-	195	-	165	-	ps
Write leveling hold time from rising DQS, DQS# crossing to rising CK, CK# crossing	tWLH	325	-	245	-	195	-	165	-	ps
Write leveling output delay	tWLO	0	9	0	9	0	9	0	7.5	ns
Write leveling output error	tWLOE	0	2	0	2	0	2	0	2	ns

5.4 PCIE 总线接口特性

5.4.1 PCIE 推荐交流工作条件

表 5-27 PCIE 交流工作条件

Parameter	Description	Min	Typ	Max	Unit
TUIPCIEX1	Unit interval for PCI Express gen1 (2.5 Gbit/s)	-	400	-	ps
TUIPCIEX2	Unit interval for PCI Express gen2 (5 Gbit/s)	-	200	-	ps

Fssc	Spread spectrum modulation frequency	30	-	33	kHz
SSCtol	Spread spectrum modulation deviation	-5000	-	0	ppm
Vcm,ac	AC coupled common mode voltage	0	-	2000	mV
Zdiff	Nominal differential impedance	-	100	-	ohm
tsettle,cm	Common mode transient settle time (SATA gen1 only)	-	-	10	ns
Vtrans	Sequencing transient voltage	-2	-	2	V

5.5 DVO 接口特性

5.5.1 DVO 直流特性

表 5-28 DVO 直流特性

参数	描述	典型	单位
Ioh	输出高电平(VDDE-0.4V)时电流输出	12	mA
Iol	输出低电平(0.4V)时电流输入	12	mA

5.5.2 VGA 模拟特性

表 5-29 VGA 模拟特性

参数	描述	典型	单位
Voh	输出高电平电压值	0.7	V
Ioh	输出高电平时电流大小	18.67	mA
Zout	输出阻抗	100k	Ohm
Tdelay	输出延迟	1 clock cycle	-
Tco	输出稳定时间	1.5	ns
Tfall	PD 下降时间	40	ns
Tst	PD 启动时间	60	ns
PSRR*	电源纹波抑制比	40@4MHz 55@1Hz	db

*: 测试时输出接带宽 100MHz 的低通滤波器

5.6 RGMII 接口特性

RGMII 共两个接口，分别由两个供电电源（GMAC0-RSM_3V3，GMAC1-IO_3V3），均支持 3.3V 工作电压。

5.6.1 RGMII 接口直流特性

表 5-30 RGMII 接口输出特性

参数	描述	典型	单位
Ioh	输出高电平(VDDE-0.4V)时电流输出	12	mA
Iol	输出低电平(0.4V)时电流输入	12	mA

表 5-31 RGMII 接口输入特性

参数	描述		最小	最大	单位
Vih	输入高电平电压	3.3V 供电	2.0	3.6	V
Vil	输入低电平电压	3.3V 供电	-0.3	0.8	V

5.6.2 RGMII 接口时序

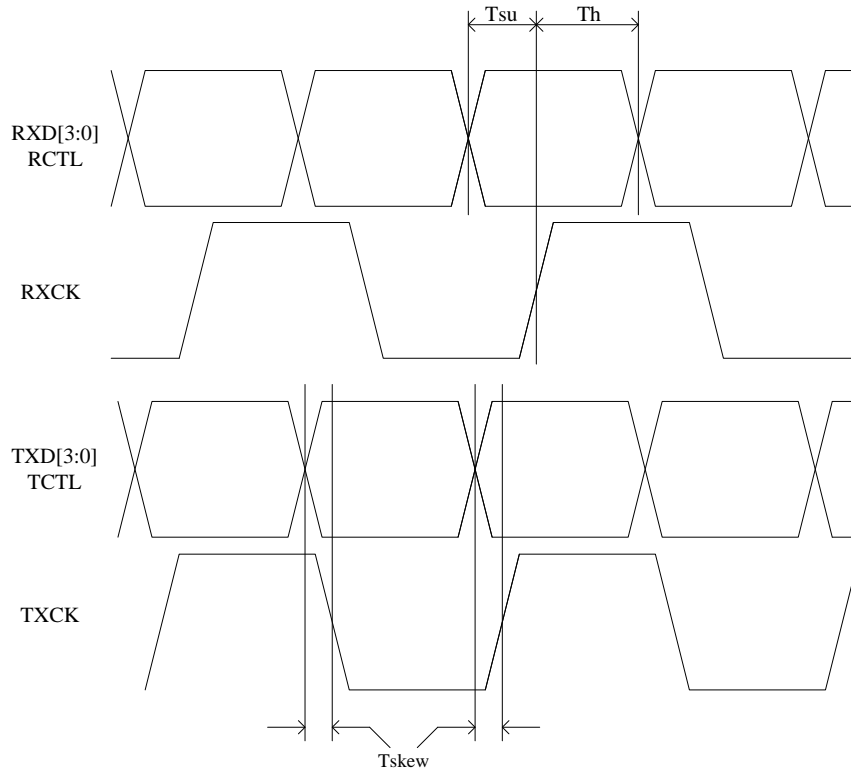


图 5.14 RGMII 接口时序

表 5-32 RGMII 接口时序

参数	描述	最小	典型	最大	单位
Tsu	RX 信号建立时间	1	-	-	ns
Th	RX 信号保持时间	1	-	-	ns
Tskew	TXCK 相对 TX 数据的偏移	-500	-	+500	ps
Tr	TXD/TXCK 上升时间(10pf 负载)			1.2	ns
Tf	TXD/TXCK 下降时间(10pf 负载)			1.3	ns

5.7 SATA 接口特性

5.7.1 SATA 发送端特性

表 5-33 SATA 发送端特性

参数	描述	最小	典型	最大	单位
Zdiff	差分输出阻抗	85	100	115	ohm
Vdiff, TX	差分输出电压	320	400	480	mV
Vcm, DC	交流耦合的 SATA 接口上直流共模点	0	-	800	mV
Trise/fall	上升/下降时间(20%~80%)	36		176	ps

5.7.2 SATA 接收端特性

表 5-34 SATA 接收端特性

参数	描述	最小	典型	最大	单位
Zdiff	差分输入阻抗	85	100	115	ohm
Zs-e	单端输入阻抗	40	-	-	ohm
Vdiff, RX	差分输入电压	240	-	1600	mV
Vcm, DC	交流耦合的 SATA 接口上直流共模点 (供上下电瞬态分析)	800	900	970	mV
Vcm, AC	所允许的公模点正弦漂移峰峰值 (f=2MHz~200MHz)	100	-	200	mV
Trise/fall	1.5Gbps 时上升/下降时间(20%~80%)	100	-	273	ps
	3.0Gbps 时上升/下降时间(20%~80%)	67	-	136	ps

5.8 USB 接口特性

下述表格源自 USB 2.0 规范，更多信息请参考其中第 7 章。

表 5-35 USB 直流电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units
Input Levels for Low-/full-speed:					
High(driven)	VIH		2		V
High(floating)	VIHZ		2.7	3.6	V
Low	VIL			0.8	V
Differential Input Sensitivity	VDI	$(D+) - (D-)$	0.2		V
Differential Common Mode Range	VCM	Includes VDI range	0.8	2.5	V
Input Levels for High-speed:					
High-speed squelch detection threshold (differential signal amplitude)	VHSSQ		100	150	mV
High speed disconnect detection threshold (differential signal amplitude)	VHSDSC		525	625	mV
High-speed differential input signaling levels					
High-speed data signaling common mode voltage range(guide line for receiver)	VHSCM		-50	500	mV
Output Levels for Low-/full-speed:					
Low	VOL		0	0.3	V
High(Driven)	VOH		2.8	3.6	V
SE1	VOSE1		0.8		V
Output Signal Crossover Voltage	VCRS		1.3	2	V
Output Levels for High-speed:					
High-speed idle level	VHSOI		-10	10	mV
High-speed data signaling high	VHSOH		360	440	mV
High-speed data signaling low	VHSOL		-10	10	mV
Chirp J level(differential voltage)	VCHIRPJ		700	1100	mV
Chirp K level(differential voltage)	VCHIRPK		-900	-500	mV
Decoupling Capacitance:					
Downstream Facing Port Bypass Capacitance (perhub)	CHPB	VBUS to GND	120		μ F
Upstream Facing Port Bypass Capacitance	CRPB	VBUS to GND	1	10	μ F
Input Capacitance for Low-/full-speed:					
Downstream Facing Port	CIND			150	pF
Upstream Facing Port(w/ocable)	CINUB			100	pF

Transceiver edge rate control capacitance	CEDGE			75	pF
Input Impedance for High-speed:					
TDR spec for high-speed termination					
Terminations:					
Bus Pull-up Resistor on Upstream Facing Port	RPU	1.5k Ω \pm 5%	1.425	1.575	k Ω
Bus Pull-down Resistor on Downstream Facing Port	RPD	15k Ω \pm 5%	14.25	15.75	k Ω
Input impedance exclusive of pullup/pulldown (for low-/full-speed)	ZINP		300		k Ω
Termination voltage for upstream facing port pullup (RPU)	VTERM		3	3.6	V
Terminations in High-speed:					
Termination voltage in high-speed	VHSTERM		-10	10	mV

表 5-36 USB 高速源电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units
Driver Characteristics:					
Rise Time (10%-90%)	THSR		500		ps
Fall Time (10%-90%)	THSF		500		ps
Driver waveform requirements					
Driver Output Resistance (which also serves as high-speed termination)	ZHSDRV		40.5	49.5	Ω
Clock Timings:					
High-speed Data Rate	THSDRAT		479.76	480.24	Mb/s
Micro frame Interval	THSFRAM		124.9375	125.0625	μ s
Consecutive Micro frame Interval Difference	THSRFI			4 high-speed bit times	
High-speed Data Timings:					
Data source jitter		Source and receiver jitter specified by the eye pattern templates in Section 7.1.2.2			
Receiver jitter tolerance					

表 5-37 USB 全速源电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units
Driver Characteristics:					
Rise Time	TFR		4	20	ns
Fall Time	TFF		4	20	ns
Differential Rise and Fall Time Matching	TFRFM	(TFR/TFF)	90	111.11	%
Driver Output Resistance for driver which is not high-speed capable	ZDRV		28	44	Ω
Clock Timings:					
Full-speed Data Rate for hubs and devices which are high-speed capable	TFDRATHS	Average bit rate	11.994	12.006	Mb/s

Full-speed Data Rate for devices which are not high-speed capable	TFDRATE	Average bit rate	11.97	12.03	Mb/s	
Frame Interval	TFRAME		0.9995	1.0005	ms	
Consecutive Frame Interval Jitter	TRFI	No clock adjustment		42	ns	
Full-speed Data Timings:						
Source Jitter Total(including frequency tolerance):	To Next Transition	TDJ1		-3.5	3.5	ns
	For Paired Transitions	TDJ2		-4	4	ns
Source Jitter for Differential Transition to SE0 Transition	TFDEOP		-2	5	ns	
Receiver Jitter:	To Next Transition	TJR1		-18.5	18.5	ns
	For Paired Transitions	TJR2		-9	9	ns
Source SE0 interval of EOP	TFEOPT		160	175	ns	
Receiver SE0 interval of EOP	TFEOPR		82		ns	
Width of SE0 interval during differential transition	TFST			14	ns	

表 5-38 USB 低速源电气特性

Parameter		Symbol	Min.	Max.	Units
Driver Characteristics:					
Transition Time:	Rise Time	TLR	75	300	ns
	Fall Time	TLF	75	300	ns
Rise and Fall Time Matching		TLRFM	80	125	%
Upstream Facing Port(w/cable, low-speed only)		CLINUA	200	450	pF
Clock Timings:					
Low-speed Data Rate for hubs which are high-speed capable		TLDRATHS	1.49925	1.50075	Mb/s
Low-speed Data Rate for devices which are not high-speed capable		TLDRATE	1.4775	1.5225	Mb/s
Low-speed Data Timings:					
Upstream facing port source Jitter Total(including frequency tolerance):	To Next Transition	TUDJ1	-95	95	ns
	For Paired Transitions	TUDJ2	-150	150	ns
Upstream facing port source Jitter for Differential Transition to SE0 Transition		TLDEOP	-40	100	ns
Upstream facing port differential Receiver Jitter:	To Next Transition	TDJR1	-75	75	ns
	For Paired Transitions	TDJR2	-45	45	ns
Downstream facing port source Jitter Total(including frequency tolerance):	To Next Transition	TDDJ1	-25	25	ns
	For Paired Transitions	TDDJ2	-14	14	ns

Downstream facing port source Jitter for Differential Transition to SE0 Transition					ns
Downstream facing port Differential Receiver Jitter:	To Next Transition	TUJR1	-152	152	ns
	For Paired Transitions	TUJR2	-200	200	ns
Source SE0 interval of EOP		TLEOPT	1.25	1.5	μ s
Receiver SE0 interval of EOP		TLEOPR	670		ns
Width of SE0 interval during differential transition		TLST		210	ns

5.9 HDA 接口特性

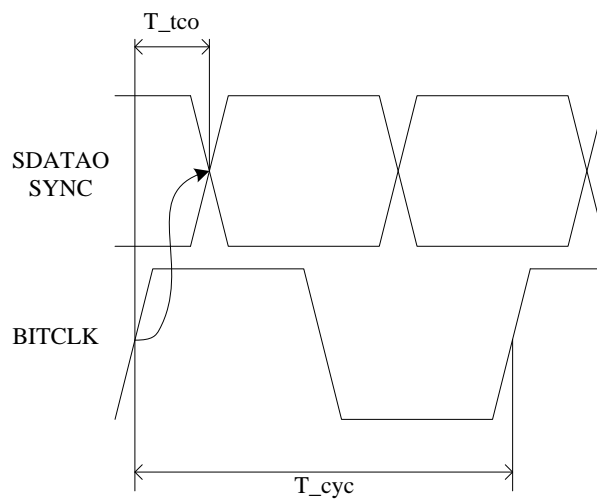


图 5.15 HDA 接口时序图

表 5-39 HDA 接口时序表

参数	描述	最小	典型	最大	单位
T_cyc	HDA 时钟周期	-	41.67	-	ns
T_tco	BITCLK 到 SDATAO/SYNC 的延迟	3	-	10	ns
T_su	SDATAI 到 BITCLK 的建立时间	20	-	-	ns

5.10 PRINT 接口特性

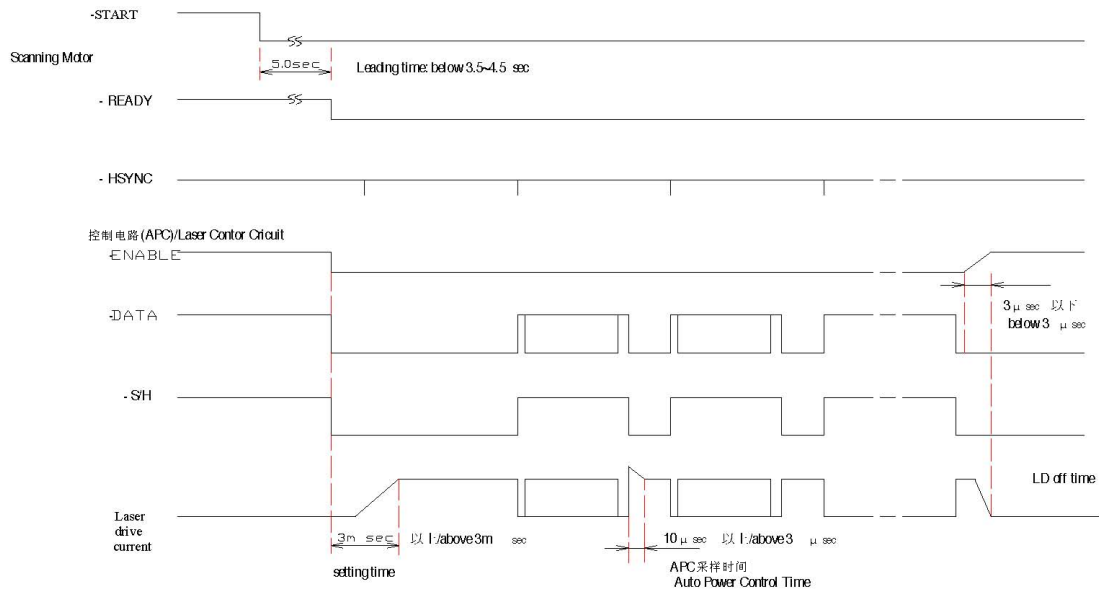


图 5.16 打印机接口时序

5.11 SPI Flash 接口特性

表 5-40 SPI Flash 接口时序

参数	描述	最小	典型	最大	单位
T_ckh	SCK 时钟高电平时间	0.5T-1	-	-	ns
T_ckl	SCK 时钟低电平时间	0.5T-1	-	-	ns
T_val	SCK 下降沿到数据输出的延迟	-5	-	5	ns
T_su	数据输入建立时间	20	-	-	ns
T_h	数据输入保持时间	0	-	-	ns

注：T 为 SCK 时钟周期

5.12 I2C 接口特性

表 5-41 I2C 接口时序

参数	描述	最小	典型	最大	单位
T_ckh	SCL 时钟高电平时间	4	-	-	us
T_ckl	SCL 时钟低电平时间	5	-	-	us
T_val	SCL 下降沿到数据输出的延迟	5	-	-	us
T_su	数据建立时间(SDA 变化到 SCL 上升)	0	-	-	us
T_h	数据保持时间(SCL 下降到 SDA 变化)	0	-	-	us

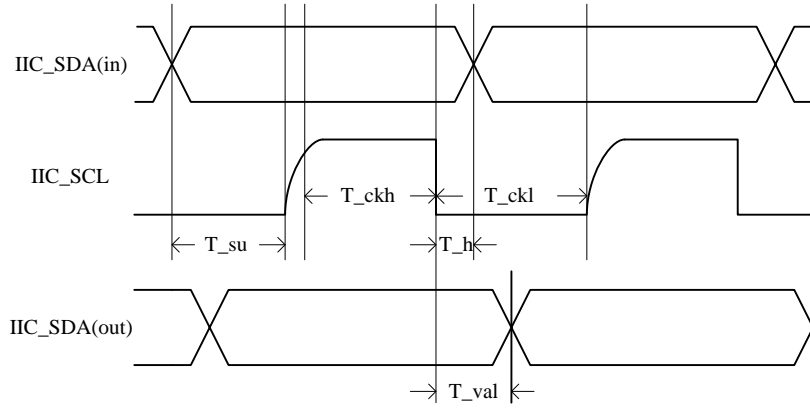


图 5.17 I2C 接口时序

6 热特性

6.1 热参数

表 6-1 热特性参数和推荐的最大值

Parameter	Value
TDP Max Power	5 Watts
Rth(J-C)	2.88 °C/W
Tj	125 °C

6.2 焊接温度

表 6-2 回流焊接温度分类表

Profile Feature		Pb-Free Assembly
Average ramp-up rate (T _{smax} to T _p)		3°C/second max.
Preheat	Temperature Min (T _{smin})	150 °C
	Temperature Max (T _{smax})	200 °C
	Time (T _{smin} to T _{smax}) (ts)	60-180 seconds
Time maintained above	Temperature (T _L)	217 °C
	Time (t _L)	60-150 seconds
Peak Temperature (T _p)		245°C
Time within 5°C of actual Peak Temperature (tp)2		20-40 seconds
Ramp-down Rate		6 °C/second max.
Time 25°C to Peak Temperature		8 minutes max.

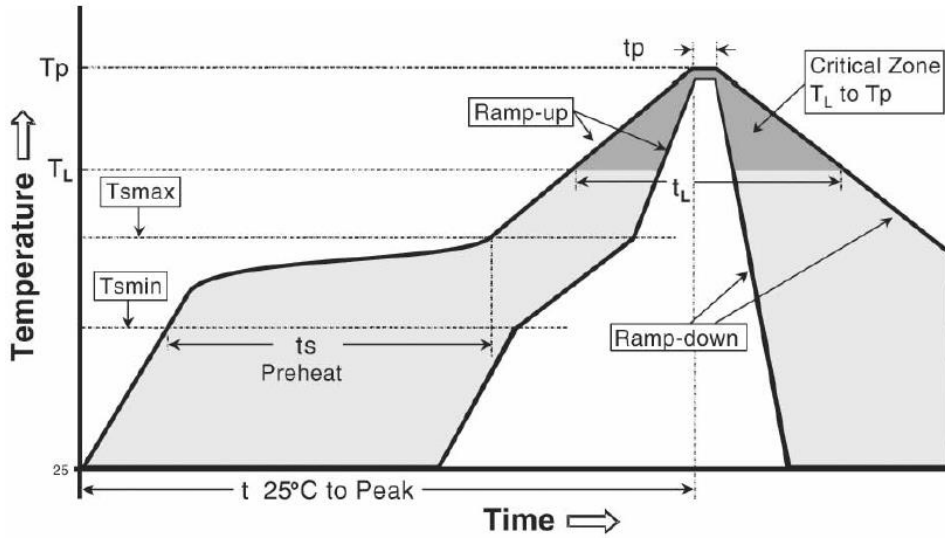


图 6.1 焊接回流曲线

7 芯片引脚排列和封装

7.1 引脚顶层排列

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	
A			DDR_CKN0	DDR_CKP1	DDR_DQ16	DDR_DQ18	DDR_DQSP2	DDR_DQ22	DDR_DQ25	DDR_DQ27	DDR_DQ29	PCIE_REF_CLKOUTP1	PCIE_REF_CLKOUTN1	SDIO_CLK_A0	SDIO_DAT_A0	GMACO_MD_A0	GMACO_TX_A0	GMACO_RX_A0	GMACO_TX_A1	GMACO_RX_A1	ACPI_PIC_RSTN	ACPI_PIC_RSTN	ACPI_PIC_RSTN	ACPI_PIC_RSTN	ACPI_PIC_RSTN	ACPI_PIC_RSTN
B		DDR_VDDE	DDR_CKN0	DDR_CKP1	DDR_DQ16	DDR_DQ18	DDR_DQSP2	DDR_DQ22	DDR_DQ25	DDR_DQ27	DDR_DQ29	PCIE_REF_CLKOUTP0	PCIE_REF_CLKOUTN0	SDIO_CLK_A1	SDIO_DAT_A1	GMACO_MD_A1	GMACO_TX_A1	GMACO_RX_A1	GMACO_TX_A2	GMACO_RX_A2	ACPI_PIC_RSTN	ACPI_PIC_RSTN	ACPI_PIC_RSTN	ACPI_PIC_RSTN	ACPI_PIC_RSTN	ACPI_PIC_RSTN
C	DDR_BA1	DDR_VDDE	DDR_VDDE	DDR_BA0	DDR_SCEN0	DDR_RASN	DDR_DQ19	DDR_DQ20	DDR_DQ24	DDR_DQ26	DDR_DQ28	PCIE_PFS_ST1	PCIE_PFS_ST0	SDIO_CMD_A0	SDIO_OVR_CTR_A0	USBS_OVR_CTR	GMACO_TX_B0	GMACO_RX_B0	RSM_3V3	ACPI_SUS_STATA	ACPI_SUS_STATA	ACPI_S4N	ACPI_S4N	ACPI_S4N	ACPI_PRR_OK	ACPI_PRR_OK
D	DDR_A04	DDR_A01	DDR_VDDE	DDR_VDDE	DDR_CASN	DDR_ODT1	DDR_DQ21	VSSM	DDR_DQ21	VSSM	SYS_XTAL_N	PCIE_RST_N	SDIO_DAT_A0	SDIO_OVR_CTR_A0	USBS_OVR_CTR	GMACO_TX_B0	GMACO_RX_B0	GMACO_TX_C0	GMACO_RX_C0	ACPI_VSB_GATE	RSM_3V3	ACPI_EN	ACPI_S5N	ACPI_S5N	ACPI_S5N	ACPI_S5N
E	DDR_A09	DDR_A08	DDR_REXT	DDR_VDDE	DDR_VDDE	DDR_WEN	DDR_DQ42	VSSM	DDR_DQ42	VSSM	SYS_XTAL_P	IO_3V3	SATA_LED_N1	SATA_LED_N0	GMACO_TX_C0	GMACO_RX_C0	GMACO_TX_D0	GMACO_RX_D0	ACPI_PWR_TTP	ACPI_SLP_LARB	ACPI_S5N	ACPI_S5N	ACPI_S5N	ACPI_S5N	ACPI_S5N	ACPI_S5N
F	DDR_A07	DDR_A05	DDR_A06	DDR_A00	DDR_VDDE	DDR_VDDE	DDR_A13	VSSM	VSSM	PLL_N0DE_AVDD	PLL_N0DE_AVSS	PLL_AVDD	IO_3V3	IO_3V3	IO_3V3	IO_3V3	IO_3V3	IO_3V3	IO_3V3	IO_3V3	IO_3V3	IO_3V3	IO_3V3	IO_3V3	IO_3V3	IO_3V3
G	DDR_RESETN	DDR_CKE0	DDR_BA2	DDR_A03	DDR_A02	DDR_VDDE														PCIE_TXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	
H	DDR_CKE1	DDR_A14	DDR_A12	DDR_A11	DDR_A10	DDR_VDDE														PCIE_TXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	
J	DDR_DQ08	DDR_DQ09	DDR_A15	DDR_VDDE	DDR_VDDE															PCIE_TXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	
K	DDR_DQ11	DDR_DQSN1	DDR_DQ13	DDR_DQM1	DDR_VDDE															PCIE_TXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	
L	DDR_DQ15	DDR_DQ12	DDR_DQ10	VSSM	VSSM															PCIE_TXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	
M	DDR_DQ02	DDR_DQ00	DDR_DQ01	DDR_DQ14	VSSM															PCIE_TXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	
N	DDR_DQSP0	DDR_DQSN0	DDR_DQ03	VSSM	VSSM															PCIE_TXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	
P	DDR_DQ05	DDR_DQ06	DDR_DQ04	DDR_DQ07	VSSM															PCIE_TXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	
R	PCI_AD06	PCI_AD02	PCI_AD03	PCI_AD00																PCIE_TXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	
T	PCI_AD08	PCI_AD05	PCI_AD10	VSS																PCIE_TXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	
U	PCI_AD09	PCI_AD07	PCI_CBEN1	PCI_DEVSELN	PCI_SERR															PCIE_TXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	
V	PCI_AD12	PCI_AD11	PCI_STOPN	IO_3V3	PCI_TRDYN	PCI_AD14														PCIE_TXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	
W	PCI_AD13	PCI_PERR	PCI_AD18	PCI_CBEN2	IO_3V3															PCIE_TXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	
Y	PCI_AD19	PCI_AD20	PCI_PAR	PCI_FRAMEN	PCI_AD22															PCIE_TXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	PCIE_RXP_0	
AA	PCI_AD19	PCI_AD20	PCI_AD15	PCI_AD16	PCI_AD17	VGA_VSYN_C	VGA_VSYN_I	IO_3V3	LCD_D19	LCD_D00	LCD_D14	LCD_D06	LCD_D04	LCD_D04	LCD_D04	LCD_D04	LCD_D04	LCD_D04	LCD_D04	LCD_D04	LCD_D04	LCD_D04	LCD_D04	LCD_D04	LCD_D04	LCD_D04
AB	PCI_AD29	PCI_CBEN3	IO_3V3	VGA_HSYN_C	VGA_HSYN_I	VGA_HV	IO_3V3	LCD_D07	LCD_D07	LCD_D07	LCD_D07	LCD_D07	LCD_D07	LCD_D07	LCD_D07	LCD_D07	LCD_D07	LCD_D07	LCD_D07	LCD_D07	LCD_D07	LCD_D07	LCD_D07	LCD_D07	LCD_D07	
AC	PCI_AD21	PCI_CBEN0	IO_3V3	PCI_RESE_TN	PCI_BEQK_I	LCD_D22	LCD_D23	LCD_D15	LCD_D09	LCD_D08	LCD_D08	LCD_D08	LCD_D08	LCD_D08	LCD_D08	LCD_D08	LCD_D08	LCD_D08	LCD_D08	LCD_D08	LCD_D08	LCD_D08	LCD_D08	LCD_D08	LCD_D08	
AD	PCI_AD21	PCI_AD21	PCI_AD21	PCI_AD21	PCI_AD21	LCD_D21	LCD_D17	LCD_D12	LCD_D05	LCD_D00	LCD_D00	LCD_D00	LCD_D00	LCD_D00	LCD_D00	LCD_D00	LCD_D00	LCD_D00	LCD_D00	LCD_D00	LCD_D00	LCD_D00	LCD_D00	LCD_D00	LCD_D00	
AE	PCI_AD29	PCI_AD29	PCI_AD29	PCI_AD29	PCI_AD29	LCD_D13	LCD_D18	LCD_D10	LCD_D11	LCD_D02	LCD_D02	LCD_D02	LCD_D02	LCD_D02	LCD_D02	LCD_D02	LCD_D02	LCD_D02	LCD_D02	LCD_D02	LCD_D02	LCD_D02	LCD_D02	LCD_D02	LCD_D02	

图 7-1 顶层引脚排布总览

表 7-1 顶层引脚排列

	1	2	3	4	5
A			DDR_CKN0	DDR_CKP1	DDR_DQ16
B		DDR_VDDE	DDR_CKN0	DDR_CKN1	DDR_ODT0
C	DDR_BA1	DDR_VDDE	DDR_VDDE	DDR_BA0	DDR_SCEN0
D	DDR_A04	DDR_A01	DDR_VDDE	DDR_VDDE	DDR_VDDE
E	DDR_A09	DDR_A08	DDR_REXT	DDR_VDDE	DDR_VDDE
F	DDR_A07	DDR_A05	DDR_A06	DDR_A00	DDR_VDDE
G	DDR_RESETN	DDR_CKE0	DDR_BA2	DDR_A03	DDR_A02
H	DDR_CKE1	DDR_A14	DDR_A12	DDR_A11	DDR_A10
J	DDR_DQ08	DDR_DQ09	DDR_A15	DDR_VDDE	DDR_VDDE
K	DDR_DQ11	DDR_DQSN1	DDR_DQSP1	DDR_DQ13	DDR_DQM1
L	DDR_DQ15	DDR_DQ12	DDR_DQ10	VSSM	VSSM
M	DDR_DQ02	DDR_DQ00	DDR_DQM0	DDR_DQ01	DDR_DQ14
N	DDR_DQSP0	DDR_DQSN0	DDR_DQ03	VSSM	VSSM
P	DDR_DQ05	DDR_DQ06	DDR_DQ04	DDR_DQ07	VSSM
R	PCI_AD06	PCI_AD02	PCI_AD03	PCI_AD00	PCI_AD01
T	PCI_AD08	PCI_AD05	PCI_AD10	VSS	PCI_CBEN0
U	PCI_AD09	PCI_AD07	PCI_CBEN1	PCI_DEVSELN	PCI_SERR
V	PCI_AD12	PCI_AD11	PCI_STOPN	IO_3V3	PCI_TRDYN
W	PCI_AD13	PCI_PERR	PCI_AD18	PCI_CBEN2	PCI_AD21
Y	PCI_AD19	PCI_AD20	PCI_PAR	PCI_FRAMEN	PCI_AD22

AA	PCI_IRDYN	PCI_AD28	PCI_AD15	PCI_AD16	IO_3V3
AB	PCI_AD23	PCI_CBEN3	PCI_AD17	IO_3V3	VGA_HSYNC
AC	PCI_AD24	PCI_GNTN0	IO_3V3	PCI_RESETN	PCI_REQN1
AD	VSS	PCI_AD30	PCI_AD31	PCI_REQN0	PCI_AD25
AE		VSS	PCI_AD29	PCI_AD26	PCI_AD27
	6	7	8	9	10
A	DDR_DQ18	DDR_DQSP2	DDR_DQ22	DDR_DQ25	DDR_DQ27
B	DDR_DQ17	DDR_DQSN2	DDR_DQ23	DDR_DQM3	DDR_DQSP3
C	DDR_RASN	DDR_DQ19	DDR_DQ20	DDR_DQ24	DDR_DQSN3
D	DDR_CASN	DDR_ODT1	DDR_DQ21	VSSM	DDR_DQ31
E	DDR_SCSN1	DDR_WEN	DDR_DQM2	VSSM	DDR_DQ26
F	DDR_VDDE	DDR_A13	VSSM	VSSM	DDR_VREF_1
G	DDR_VDDE				
H	DDR_VDDE				
J	DDR_VDDE			VSSM	VSSM
K	DDR_VDDE			DDR_VDDE	VDD_CORE
L	VSSM			VSSM	VDD_NODE
M	VSSM			VSSM	VSS
N	DDR_VREF_0			VSSM	VSS
P	VSSM			THSENS_AVDD	VDD_NODE
R	VSS			NC	VSS
T	PCI_AD04			VDD_CORE	VSS
U	VSS			VSS	VSS
V	PCI_AD14				
W	IO_3V3				
Y	IO_3V3	PCI_GNTN1	IO_3V3	LCD_D19	VSS
AA	PCI_CLK	VGA_VSYNC	LCD_D20	LCD_D14	LCD_D06
AB	VGA_EN	IO_3V3	PCI_IDSEL	VSS	LCD_D07
AC	LCD_D22	LCD_D23	LCD_D15	LCD_D09	LCD_D08
AD	LCD_D21	LCD_D17	LCD_D16	LCD_D12	LCD_D05
AE	LCD_D13	LCD_D18	LCD_D10	LCD_D11	LCD_D02

	11	12	13	14	15
A	DDR_DQ30	PCIE_REFCLKOUTP1	PCIE_REFCLKOUTN0	SDIO_CLK	SDIO_DATA2
B	DDR_DQ29	PCIE_REFCLKOUTN1	PCIE_REFCLKOUTP0	SDIO_DATA1	SDIO_DATA3
C	DDR_DQ28	PCIE_PRSENT1	PCIE_PRSENT0	SDIO_CMD	USB2_OVRCUR
D	VSSM	SYS_CLK	PCIE_RSTN	SDIO_DATA0	USB1_OVRCUR
E	VSSM	NC	IO_3V3	SATA_LEDN1	SATA_LEDN0
F	PLL_NODE_AVDD	PLL_NODE_AVSS	PLL_AVDD	IO_3V3	VSS
G					
H					
J	VSSM	PLL_DDR_AVDD	PLL_DDR_AVSS	PLL_AVSS	VSS
K	VDD_CORE	VSS	VDD_CORE	VSS	VDD_CORE
L	VDD_NODE	VSS	VDD_CORE	VDD_CORE	VSS
M	VDD_NODE	VDD_NODE	VSS	VSS	VDD_CORE
N	VSS	VDD_NODE	VDD_CORE	VDD_CORE	VSS
P	VDD_NODE	VDD_NODE	VSS	VSS	VDD_CORE
R	VDD_CORE	VSS	VSS	VDD_CORE	VDD_CORE
T	VSS	VDD_CORE	VDD_CORE	VSS	VDD_CORE
U	VSS	VDD_CORE	VSS	VSS	VSS
V					
W					
Y	LCD_D01	VSS	SPI0_MISO	VGA_COMP	VGA_A3V3
AA	LCD_D04	LCD_HSYNC	NAND_RD	VSS	SPI1_CLK
AB	VSS	GMAC1_TX_CLK_O	VSS	NAND_CE	SPI0_CLK
AC	LCD_D03	GMAC1_TX_CLK_I	NAND_WR	NAND_RDY	VGA_GOUT
AD	LCD_D00	GMAC1_RX_CLK	NAND_CLE	NAND_D7	SPI0_MOSI
AE	LCD_CLK	LCD_VSYNC	LCD_DE	NAND_ALE	NAND_D6

	16	17	18	19	20
A	GMAC0_MDIO	GMAC0_TXD1	GMAC0_TXD0	GMAC0_RCTL	ACPI_RIN
B	USB3_OVRCUR	GMAC0_TCTL	GMAC0_RXD1	GMAC0_RXD3	ACPI_PLTRSTN
C	GMAC0_TXD3	GMAC0_TXD2	GMAC0_RXD2	RSM_3V3	ACPI_SYSRSTN
D	USB0_OVRCUR	RSM_3V3	GMAC0_TX_CLK_I	GMAC0_RX_CLK	ACPI_VSBGATE
E	GMAC0_MDCK	GMAC0_TX_CLK_O	VSS	ACPI_PWRTYP	VSS
F	VSS	VDD_RSM	VDD_RSM	VSS	PCIE_TXP0
G					PCIE_TXM0
H					PCIE_TXP1
J	VDD_RSM	VSS			PCIE_TXM1
K	VDD_CORE	PSU_1V1			PCIE_RESREF
L	VSS	VSS			PSU_3V3
M	VDD_CORE	PSU_1V1			SATA_RESREF
N	VSS	VSS			U3_RESREF
P	VDD_CORE	PSU_1V1			USB0_XO
R	VSS	VSS			USB0_VBUS
T	VDD_CORE	PSU_1V1			USB1_TXRTUNE
U	VDD_CORE	VSS			VSS
V					VSS
W					IO_3V3
Y	VSS	SYS_INTN0	IO_3V3	PWM2	IO_3V3
AA	UART0_CTS	UART2_RXD	LPC_AD0	LPC_AD3	PWM1
AB	SPI0_CSN	VSS	UART0_DSR	IO_3V3	LPC_AD1
AC	SPI1_MOSI	SPI1_CSN	UART0_RTS	UART0_RI	UART1_RTS
AD	VGA_BOUT	UART0_RXD	UART0_DTR	UART0_DCD	UART1_TXD
AE	VGA_ROUT	VGA_REXT	SPI1_MISO	UART0_TXD	UART1_CTS

	21	22	23	24	25
A	ACPI_PMEN	ACPI_BATLOWN	ACPI_PWRBTNN	VSS	
B	GMAC0_RXD0	ACPI_WAKEN	ACPI_LID	ACPI_PWROK	VSS
C	ACPI_SUSSTATN	RSM_3V3	ACPI_S4N	RTC_XO	RTC_XI
D	RSM_3V3	ACPI_EN	ACPI_S5N	RTC_RSMRSTN	RTC_DOTESTN
E	ACPI_SLPLANN	ACPI_S3N	VSS	RTC_VDD	RTC_RTCRSTN
F	PSU_1V1	PSU_1V1	PCIE_REFCLKM	PCIE_REFCLKP	PCIE_RXP1
G	PCIE_RXM0	PCIE_RXP0	VSS	VSS	PCIE_RXM1
H	PSU_1V1	PSU_1V1	SATA1_TXP	SATA1_TXN	SATA1_RXN
J	SATA_REFCLKM1	SATA_REFCLKP1	VSS	VSS	SATA1_RXP
K	VSS	VSS	SATA0_TXP	SATA0_TXN	SATA0_RXN
L	SATA_REFCLKM0	SATA_REFCLKP0	PSU_3V3	PSU_3V3	SATA0_RXP
M	PSU_3V3	PSU_3V3	U3_RX_M	U3_RX_P	U3_TX_P
N	U3_REFCLK_M	U3_REFCLK_P	VSS	VSS	U3_TX_M
P	USB0_XI	U3_VBUS	PSU_3V3	PSU_3V3	U3_DP
R	USB0_ID	USB0_TXRTUNE	USB0_DM	USB0_DP	U3_DM
T	USB1_DM	USB1_DP	VSS	VSS	USB2_DM
U	PSU_3V3	PSU_3V3	USB3_TXRTUNE	USB2_TXRTUNE	USB2_DP
V	SYS_TESTCLK	EJTAG_TMS	EJTAG_TRST	USB3_DP	USB3_DM
W	I2C_SCL	EJTAG_TDI	EJTAG_TCK	EJTAG_TDO	EJTAG_SEL
Y	AC97_RESET	I2C_SDA	MS_CLK	MS_DAT	KB_DAT
AA	IO_3V3	AC97_SYNC	AC97_DATA_O	KB_CLK	AC97_BIT_CLK
AB	PWM3	IO_3V3	CAN0_RX	CAN0_TX	AC97_DATA_I
AC	LPC_AD2	LPC_SERIRQN	IO_3V3	CAN1_RX	CAN1_TX
AD	UART2_TXD	LPC_FRAMEN	SYS_INTN1	PWM0	VSS
AE	UART1_RXD	UART3_RXD	UART3_TXD	VSS	

7.2 封装尺寸

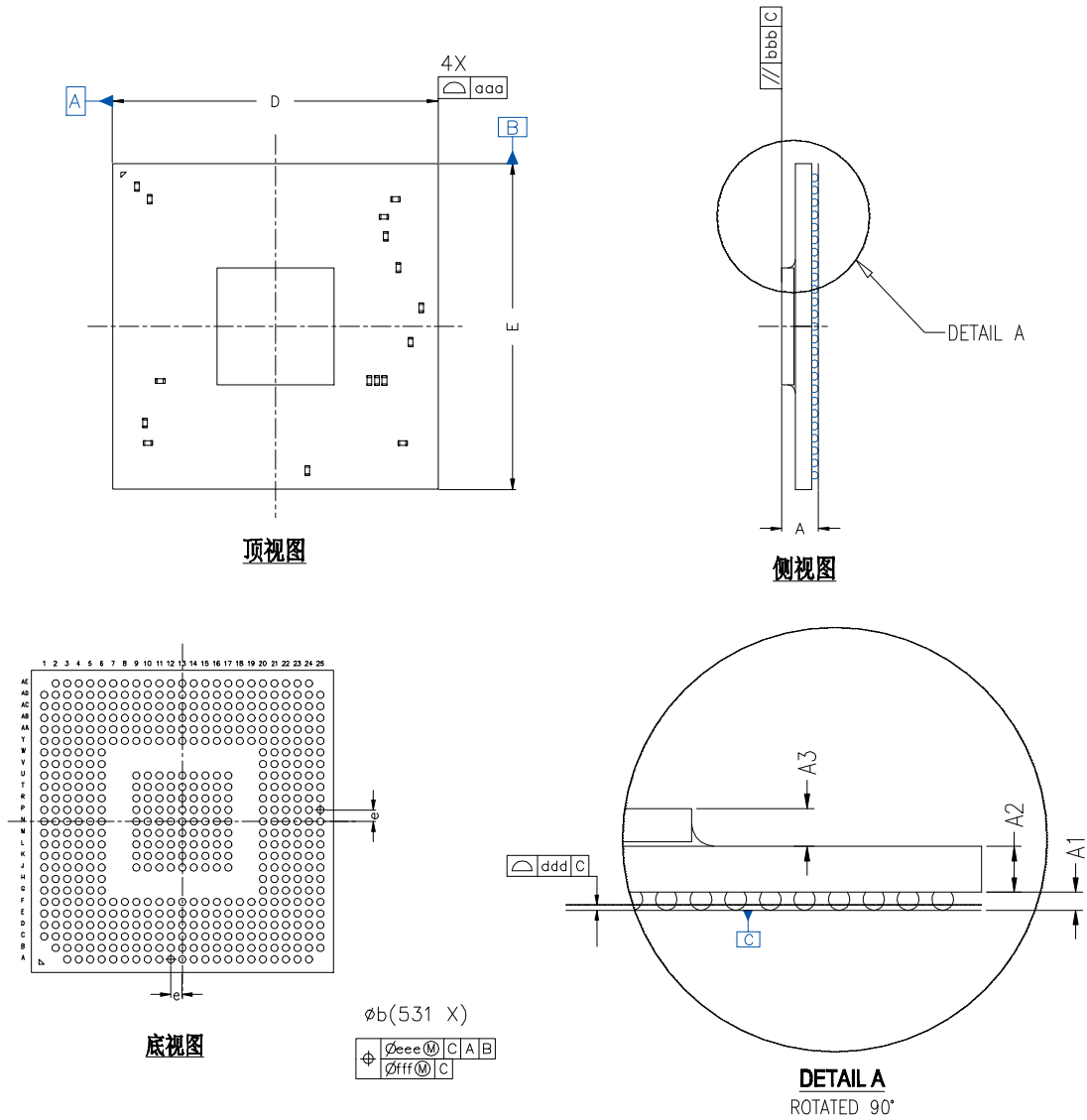


图 7-2 封装外形图

表 7-2 封装外形尺寸

单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	2.237	-	2.481
A1	0.361	-	0.461
A2	0.973	-	1.173
A3	0.825	-	0.925
D/E	20.90	-	21.10

b	0.4	-	0.6
e	-	0.8	-
bbb	-	-	0.25
ddd	-	-	0.15
eee	-	-	0.15

NOTE:

1. DIMENSIONS ARE IN MILLIMETERS.
2. ALL DIMENSIONS AND TOLERANCE CONFORM TO ASME Y14.5M-2009.
3. TERMINAL POSMONS DESIGNATION PER JESD 95.
4. REFLOW BALL DIAMETER.
5. DIMENSION “b” IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER PARALLEL TO PRIMARY DATUM C.
6. RAW SOLDER BALL SIZE DURING ASSEMBLY IS $\phi 0.50\text{MM}$.

8 不使用引脚的处理

不使用的引脚需按以下原则处理：

信号组	不使用的处理方式
ACPI	ACPI_SYSRSTn 作系统复位， RTC_DOTESTn 上拉至 RSM_3V3， ACPI_RSMRSTn 上拉至 RSM_3V3， ACPI_PWROK 上拉至 RSM_3V3， 其它信号输出可悬空，输入做 10Kohm 上拉至 RSM_3V3
JTAG	JTAG_TRST/TDI 需 10Kohm 下拉，其它信号可悬空
时钟配置	必须正确连接
电源地	电源地不可悬空 PCIE、SATA、USB均不使用时，相关电源可接地 其它电源地必须正确连接
其他不使用引脚	输出信号均可悬空，输入信号必须通过 10Kohm电阻接地

9 产品标识

产品标识如图 9-1 所示。



图 9-1 产品标识图

每一产品应标志下列内容：

- a) ●：定位点；
- b) 第一行：LS2K0500：器件识别号（注：型号补充信息：空白（商业级）、-i（工业级）、-F（高可靠工业二级）；
- c) 第二行：CHN YYWW XX：厂商信息一；
- d) 第三行：XXAAAAAYMNNNN：厂商信息二、识别号；
- e) 第四行：龙芯中科®：厂商信息三；
- f) 二维码（右下角）：与 d) 信息相同。

附录 A 芯片封装引脚排列

表 A-1 封装引脚排列表

Pin Number	Net/Pwr	Group	Net Name	X Coord	Y Coord
AA25	n	AC97	AC97_BIT_CLK	9600.00	-6400.00
AB25	n	AC97	AC97_DATA_I	9600.00	-7200.00
AA23	n	AC97	AC97_DATA_O	8000.00	-6400.00
Y21	n	AC97	AC97_RESET	6400.00	-5600.00
AA22	n	AC97	AC97_SYNC	7200.00	-6400.00
A22	n	ACPI	ACPI_BATLOWN	7200.00	9600.00
D22	n	ACPI	ACPI_EN	7200.00	7200.00
B23	n	ACPI	ACPI_LID	8000.00	8800.00
B20	n	ACPI	ACPI_PLTRSTN	5600.00	8800.00
A21	n	ACPI	ACPI_PMEN	6400.00	9600.00
A23	n	ACPI	ACPI_PWRBTNN	8000.00	9600.00
B24	n	ACPI	ACPI_PWROK	8800.00	8800.00
E19	n	ACPI	ACPI_PWRTYP	4800.00	6400.00
A20	n	ACPI	ACPI_RIN	5600.00	9600.00
E22	n	ACPI	ACPI_S3N	7200.00	6400.00
C23	n	ACPI	ACPI_S4N	8000.00	8000.00
D23	n	ACPI	ACPI_S5N	8000.00	7200.00
E21	n	ACPI	ACPI_SLPLANN	6400.00	6400.00
C21	n	ACPI	ACPI_SUSSTATN	6400.00	8000.00
C20	n	ACPI	ACPI_SYSRSTN	5600.00	8000.00
D20	n	ACPI	ACPI_VSBGATE	5600.00	7200.00
B22	n	ACPI	ACPI_WAKEN	7200.00	8800.00
AB23	n	CAN	CAN0_RX	8000.00	-7200.00
AB24	n	CAN	CAN0_TX	8800.00	-7200.00
AC24	n	CAN	CAN1_RX	8800.00	-8000.00
AC25	n	CAN	CAN1_TX	9600.00	-8000.00
F4	n	DDR	DDR_A00	-7200.00	5600.00
D2	n	DDR	DDR_A01	-8800.00	7200.00
G5	n	DDR	DDR_A02	-6400.00	4800.00
G4	n	DDR	DDR_A03	-7200.00	4800.00
D1	n	DDR	DDR_A04	-9600.00	7200.00
F2	n	DDR	DDR_A05	-8800.00	5600.00
F3	n	DDR	DDR_A06	-8000.00	5600.00
F1	n	DDR	DDR_A07	-9600.00	5600.00
E2	n	DDR	DDR_A08	-8800.00	6400.00
E1	n	DDR	DDR_A09	-9600.00	6400.00
H5	n	DDR	DDR_A10	-6400.00	4000.00
H4	n	DDR	DDR_A11	-7200.00	4000.00
H3	n	DDR	DDR_A12	-8000.00	4000.00
F7	n	DDR	DDR_A13	-4800.00	5600.00

H2	n	DDR	DDR_A14	-8800.00	4000.00
J3	n	DDR	DDR_A15	-8000.00	3200.00
C4	n	DDR	DDR_BA0	-7200.00	8000.00
C1	n	DDR	DDR_BA1	-9600.00	8000.00
G3	n	DDR	DDR_BA2	-8000.00	4800.00
D6	n	DDR	DDR_CASN	-5600.00	7200.00
G2	n	DDR	DDR_CKE0	-8800.00	4800.00
H1	n	DDR	DDR_CKE1	-9600.00	4000.00
A3	n	DDR	DDR_CKN0	-8000.00	9600.00
B4	n	DDR	DDR_CKN1	-7200.00	8800.00
B3	n	DDR	DDR_CKP0	-8000.00	8800.00
A4	n	DDR	DDR_CKP1	-7200.00	9600.00
M2	n	DDR	DDR_DQ00	-8800.00	800.00
M4	n	DDR	DDR_DQ01	-7200.00	800.00
M1	n	DDR	DDR_DQ02	-9600.00	800.00
N3	n	DDR	DDR_DQ03	-8000.00	0.00
P3	n	DDR	DDR_DQ04	-8000.00	-800.00
P1	n	DDR	DDR_DQ05	-9600.00	-800.00
P2	n	DDR	DDR_DQ06	-8800.00	-800.00
P4	n	DDR	DDR_DQ07	-7200.00	-800.00
J1	n	DDR	DDR_DQ08	-9600.00	3200.00
J2	n	DDR	DDR_DQ09	-8800.00	3200.00
L3	n	DDR	DDR_DQ10	-8000.00	1600.00
K1	n	DDR	DDR_DQ11	-9600.00	2400.00
L2	n	DDR	DDR_DQ12	-8800.00	1600.00
K4	n	DDR	DDR_DQ13	-7200.00	2400.00
M5	n	DDR	DDR_DQ14	-6400.00	800.00
L1	n	DDR	DDR_DQ15	-9600.00	1600.00
A5	n	DDR	DDR_DQ16	-6400.00	9600.00
B6	n	DDR	DDR_DQ17	-5600.00	8800.00
A6	n	DDR	DDR_DQ18	-5600.00	9600.00
C7	n	DDR	DDR_DQ19	-4800.00	8000.00
C8	n	DDR	DDR_DQ20	-4000.00	8000.00
D8	n	DDR	DDR_DQ21	-4000.00	7200.00
A8	n	DDR	DDR_DQ22	-4000.00	9600.00
B8	n	DDR	DDR_DQ23	-4000.00	8800.00
C9	n	DDR	DDR_DQ24	-3200.00	8000.00
A9	n	DDR	DDR_DQ25	-3200.00	9600.00
E10	n	DDR	DDR_DQ26	-2400.00	6400.00
A10	n	DDR	DDR_DQ27	-2400.00	9600.00
C11	n	DDR	DDR_DQ28	-1600.00	8000.00
B11	n	DDR	DDR_DQ29	-1600.00	8800.00
A11	n	DDR	DDR_DQ30	-1600.00	9600.00
D10	n	DDR	DDR_DQ31	-2400.00	7200.00
M3	n	DDR	DDR_DQM0	-8000.00	800.00
K5	n	DDR	DDR_DQM1	-6400.00	2400.00

E8	n	DDR	DDR_DQM2	-4000.00	6400.00
B9	n	DDR	DDR_DQM3	-3200.00	8800.00
N2	n	DDR	DDR_DQSN0	-8800.00	0.00
K2	n	DDR	DDR_DQSN1	-8800.00	2400.00
B7	n	DDR	DDR_DQSN2	-4800.00	8800.00
C10	n	DDR	DDR_DQSN3	-2400.00	8000.00
N1	n	DDR	DDR_DQSP0	-9600.00	0.00
K3	n	DDR	DDR_DQSP1	-8000.00	2400.00
A7	n	DDR	DDR_DQSP2	-4800.00	9600.00
B10	n	DDR	DDR_DQSP3	-2400.00	8800.00
B5	n	DDR	DDR_ODT0	-6400.00	8800.00
D7	n	DDR	DDR_ODT1	-4800.00	7200.00
C6	n	DDR	DDR_RASN	-5600.00	8000.00
G1	n	DDR	DDR_RESETN	-9600.00	4800.00
E3	n	DDR	DDR_REXT	-8000.00	6400.00
C5	n	DDR	DDR_SCSN0	-6400.00	8000.00
E6	n	DDR	DDR_SCSN1	-5600.00	6400.00
E7	n	DDR	DDR_WEN	-4800.00	6400.00
W25	n	EJTAG	EJTAG_SEL	9600.00	-4800.00
W23	n	EJTAG	EJTAG_TCK	8000.00	-4800.00
W22	n	EJTAG	EJTAG_TDI	7200.00	-4800.00
W24	n	EJTAG	EJTAG_TDO	8800.00	-4800.00
V22	n	EJTAG	EJTAG_TMS	7200.00	-4000.00
V23	n	EJTAG	EJTAG_TRST	8000.00	-4000.00
E16	n	GMAC	GMAC0_MDCK	2400.00	6400.00
A16	n	GMAC	GMAC0_MDIO	2400.00	9600.00
A19	n	GMAC	GMAC0_RCTL	4800.00	9600.00
D19	n	GMAC	GMAC0_RX_CLK	4800.00	7200.00
B21	n	GMAC	GMAC0_RXD0	6400.00	8800.00
B18	n	GMAC	GMAC0_RXD1	4000.00	8800.00
C18	n	GMAC	GMAC0_RXD2	4000.00	8000.00
B19	n	GMAC	GMAC0_RXD3	4800.00	8800.00
B17	n	GMAC	GMAC0_TCTL	3200.00	8800.00
D18	n	GMAC	GMAC0_TX_CLK_I	4000.00	7200.00
E17	n	GMAC	GMAC0_TX_CLK_O	3200.00	6400.00
A18	n	GMAC	GMAC0_TXD0	4000.00	9600.00
A17	n	GMAC	GMAC0_TXD1	3200.00	9600.00
C17	n	GMAC	GMAC0_TXD2	3200.00	8000.00
C16	n	GMAC	GMAC0_TXD3	2400.00	8000.00
AD12	n	GMAC	GMAC1_RX_CLK	-800.00	-8800.00
AC12	n	GMAC	GMAC1_TX_CLK_I	-800.00	-8000.00
AB12	n	GMAC	GMAC1_TX_CLK_O	-800.00	-7200.00
W21	n	I2C	I2C_SCL	6400.00	-4800.00
Y22	n	I2C	I2C_SDA	7200.00	-5600.00
AA24	n	PS2	KB_CLK	8800.00	-6400.00
Y25	n	PS2	KB_DAT	9600.00	-5600.00

AE11	n	LCD	LCD_CLK	-1600.00	-9600.00
AD11	n	LCD	LCD_D00	-1600.00	-8800.00
Y11	n	LCD	LCD_D01	-1600.00	-5600.00
AE10	n	LCD	LCD_D02	-2400.00	-9600.00
AC11	n	LCD	LCD_D03	-1600.00	-8000.00
AA11	n	LCD	LCD_D04	-1600.00	-6400.00
AD10	n	LCD	LCD_D05	-2400.00	-8800.00
AA10	n	LCD	LCD_D06	-2400.00	-6400.00
AB10	n	LCD	LCD_D07	-2400.00	-7200.00
AC10	n	LCD	LCD_D08	-2400.00	-8000.00
AC9	n	LCD	LCD_D09	-3200.00	-8000.00
AE8	n	LCD	LCD_D10	-4000.00	-9600.00
AE9	n	LCD	LCD_D11	-3200.00	-9600.00
AD9	n	LCD	LCD_D12	-3200.00	-8800.00
AE6	n	LCD	LCD_D13	-5600.00	-9600.00
AA9	n	LCD	LCD_D14	-3200.00	-6400.00
AC8	n	LCD	LCD_D15	-4000.00	-8000.00
AD8	n	LCD	LCD_D16	-4000.00	-8800.00
AD7	n	LCD	LCD_D17	-4800.00	-8800.00
AE7	n	LCD	LCD_D18	-4800.00	-9600.00
Y9	n	LCD	LCD_D19	-3200.00	-5600.00
AA8	n	LCD	LCD_D20	-4000.00	-6400.00
AD6	n	LCD	LCD_D21	-5600.00	-8800.00
AC6	n	LCD	LCD_D22	-5600.00	-8000.00
AC7	n	LCD	LCD_D23	-4800.00	-8000.00
AE13	n	LCD	LCD_DE	0.00	-9600.00
AA12	n	LCD	LCD_HSYNC	-800.00	-6400.00
AE12	n	LCD	LCD_VSYNC	-800.00	-9600.00
AA18	n	LPC	LPC_AD0	4000.00	-6400.00
AB20	n	LPC	LPC_AD1	5600.00	-7200.00
AC21	n	LPC	LPC_AD2	6400.00	-8000.00
AA19	n	LPC	LPC_AD3	4800.00	-6400.00
AD22	n	LPC	LPC_FRAMEN	7200.00	-8800.00
AC22	n	LPC	LPC_SERIRQN	7200.00	-8000.00
Y23	n	PS2	MS_CLK	8000.00	-5600.00
Y24	n	PS2	MS_DAT	8800.00	-5600.00
AE14	n	NAND	NAND_ALE	800.00	-9600.00
AB14	n	NAND	NAND_CE	800.00	-7200.00
AD13	n	NAND	NAND_CLE	0.00	-8800.00
AE15	n	NAND	NAND_D6	1600.00	-9600.00
AD14	n	NAND	NAND_D7	800.00	-8800.00
AA13	n	NAND	NAND_RD	0.00	-6400.00
AC14	n	NAND	NAND_RDY	800.00	-8000.00
AC13	n	NAND	NAND_WR	0.00	-8000.00
R4	n	PCI	PCI_AD00	-7200.00	-1600.00
R5	n	PCI	PCI_AD01	-6400.00	-1600.00

R2	n	PCI	PCI_AD02	-8800.00	-1600.00
R3	n	PCI	PCI_AD03	-8000.00	-1600.00
T6	n	PCI	PCI_AD04	-5600.00	-2400.00
T2	n	PCI	PCI_AD05	-8800.00	-2400.00
R1	n	PCI	PCI_AD06	-9600.00	-1600.00
U2	n	PCI	PCI_AD07	-8800.00	-3200.00
T1	n	PCI	PCI_AD08	-9600.00	-2400.00
U1	n	PCI	PCI_AD09	-9600.00	-3200.00
T3	n	PCI	PCI_AD10	-8000.00	-2400.00
V2	n	PCI	PCI_AD11	-8800.00	-4000.00
V1	n	PCI	PCI_AD12	-9600.00	-4000.00
W1	n	PCI	PCI_AD13	-9600.00	-4800.00
V6	n	PCI	PCI_AD14	-5600.00	-4000.00
AA3	n	PCI	PCI_AD15	-8000.00	-6400.00
AA4	n	PCI	PCI_AD16	-7200.00	-6400.00
AB3	n	PCI	PCI_AD17	-8000.00	-7200.00
W3	n	PCI	PCI_AD18	-8000.00	-4800.00
Y1	n	PCI	PCI_AD19	-9600.00	-5600.00
Y2	n	PCI	PCI_AD20	-8800.00	-5600.00
W5	n	PCI	PCI_AD21	-6400.00	-4800.00
Y5	n	PCI	PCI_AD22	-6400.00	-5600.00
AB1	n	PCI	PCI_AD23	-9600.00	-7200.00
AC1	n	PCI	PCI_AD24	-9600.00	-8000.00
AD5	n	PCI	PCI_AD25	-6400.00	-8800.00
AE4	n	PCI	PCI_AD26	-7200.00	-9600.00
AE5	n	PCI	PCI_AD27	-6400.00	-9600.00
AA2	n	PCI	PCI_AD28	-8800.00	-6400.00
AE3	n	PCI	PCI_AD29	-8000.00	-9600.00
AD2	n	PCI	PCI_AD30	-8800.00	-8800.00
AD3	n	PCI	PCI_AD31	-8000.00	-8800.00
T5	n	PCI	PCI_CBEN0	-6400.00	-2400.00
U3	n	PCI	PCI_CBEN1	-8000.00	-3200.00
W4	n	PCI	PCI_CBEN2	-7200.00	-4800.00
AB2	n	PCI	PCI_CBEN3	-8800.00	-7200.00
AA6	n	PCI	PCI_CLK	-5600.00	-6400.00
U4	n	PCI	PCI_DEVSELN	-7200.00	-3200.00
Y4	n	PCI	PCI_FRAMEN	-7200.00	-5600.00
AC2	n	PCI	PCI_GNTN0	-8800.00	-8000.00
Y7	n	PCI	PCI_GNTN1	-4800.00	-5600.00
AB8	n	PCI	PCI_IDSEL	-4000.00	-7200.00
AA1	n	PCI	PCI_IRDYN	-9600.00	-6400.00
Y3	n	PCI	PCI_PAR	-8000.00	-5600.00
W2	n	PCI	PCI_PERR	-8800.00	-4800.00
AD4	n	PCI	PCI_REQN0	-7200.00	-8800.00
AC5	n	PCI	PCI_REQN1	-6400.00	-8000.00
AC4	n	PCI	PCI_RESETN	-7200.00	-8000.00

U5	n	PCI	PCI_SERR	-6400.00	-3200.00
V3	n	PCI	PCI_STOPN	-8000.00	-4000.00
V5	n	PCI	PCI_TRDYN	-6400.00	-4000.00
C13	n	PCIE	PCIE_PRSENT0	0.00	8000.00
C12	n	PCIE	PCIE_PRSENT1	-800.00	8000.00
F23	n	PCIE	PCIE_REFCLKM	8000.00	5600.00
A13	n	PCIE	PCIE_REFCLKOUTN0	0.00	9600.00
B12	n	PCIE	PCIE_REFCLKOUTN1	-800.00	8800.00
B13	n	PCIE	PCIE_REFCLKOUTP0	0.00	8800.00
A12	n	PCIE	PCIE_REFCLKOUTP1	-800.00	9600.00
F24	n	PCIE	PCIE_REFCLKP	8800.00	5600.00
K20	n	PCIE	PCIE_RESREF	5600.00	2400.00
D13	n	PCIE	PCIE_RSTN	0.00	7200.00
G21	n	PCIE	PCIE_RXM0	6400.00	4800.00
G25	n	PCIE	PCIE_RXM1	9600.00	4800.00
G22	n	PCIE	PCIE_RXP0	7200.00	4800.00
F25	n	PCIE	PCIE_RXP1	9600.00	5600.00
G20	n	PCIE	PCIE_TXM0	5600.00	4800.00
J20	n	PCIE	PCIE_TXM1	5600.00	3200.00
F20	n	PCIE	PCIE_TXP0	5600.00	5600.00
H20	n	PCIE	PCIE_TXP1	5600.00	4000.00
AD24	n	PWM	PWM0	8800.00	-8800.00
AA20	n	PWM	PWM1	5600.00	-6400.00
Y19	n	PWM	PWM2	4800.00	-5600.00
AB21	n	PWM	PWM3	6400.00	-7200.00
D25	n	RTC	RTC_DOTESTN	9600.00	7200.00
D24	n	RTC	RTC_RSMRSTN	8800.00	7200.00
E25	n	RTC	RTC_RTCRSTN	9600.00	6400.00
C25	n	RTC	RTC_XI	9600.00	8000.00
C24	n	RTC	RTC_XO	8800.00	8000.00
E15	n	SATA	SATA_LEDN0	1600.00	6400.00
E14	n	SATA	SATA_LEDN1	800.00	6400.00
L21	n	SATA	SATA_REFCLKM0	6400.00	1600.00
J21	n	SATA	SATA_REFCLKM1	6400.00	3200.00
L22	n	SATA	SATA_REFCLKP0	7200.00	1600.00
J22	n	SATA	SATA_REFCLKP1	7200.00	3200.00
M20	n	SATA	SATA_RESREF	5600.00	800.00
K25	n	SATA	SATA0_RXN	9600.00	2400.00
L25	n	SATA	SATA0_RXP	9600.00	1600.00
K24	n	SATA	SATA0_TXN	8800.00	2400.00
K23	n	SATA	SATA0_TXP	8000.00	2400.00
H25	n	SATA	SATA1_RXN	9600.00	4000.00
J25	n	SATA	SATA1_RXP	9600.00	3200.00
H24	n	SATA	SATA1_TXN	8800.00	4000.00
H23	n	SATA	SATA1_TXP	8000.00	4000.00
A14	n	SDIO	SDIO_CLK	800.00	9600.00

C14	n	SDIO	SDIO_CMD	800.00	8000.00
D14	n	SDIO	SDIO_DATA0	800.00	7200.00
B14	n	SDIO	SDIO_DATA1	800.00	8800.00
A15	n	SDIO	SDIO_DATA2	1600.00	9600.00
B15	n	SDIO	SDIO_DATA3	1600.00	8800.00
AB15	n	SPI	SPI0_CLK	1600.00	-7200.00
AB16	n	SPI	SPI0_CSN	2400.00	-7200.00
Y13	n	SPI	SPI0_MISO	0.00	-5600.00
AD15	n	SPI	SPI0_MOSI	1600.00	-8800.00
AA15	n	SPI	SPI1_CLK	1600.00	-6400.00
AC17	n	SPI	SPI1_CSN	3200.00	-8000.00
AE18	n	SPI	SPI1_MISO	4000.00	-9600.00
AC16	n	SPI	SPI1_MOSI	2400.00	-8000.00
Y17	n	SYS	SYS_INTN0	3200.00	-5600.00
AD23	n	SYS	SYS_INTN1	8000.00	-8800.00
V21	n	SYS	SYS_TESTCLK	6400.00	-4000.00
D12	n	SYS	SYS_CLK	-800.00	7200.00
E12	n	SYS	NC	-800.00	6400.00
R25	n	USB3.0	U3_DM	9600.00	-1600.00
P25	n	USB3.0	U3_DP	9600.00	-800.00
N21	n	USB3.0	U3_REFCLK_M	6400.00	0.00
N22	n	USB3.0	U3_REFCLK_P	7200.00	0.00
N20	n	USB3.0	U3_RESREF	5600.00	0.00
M23	n	USB3.0	U3_RX_M	8000.00	800.00
M24	n	USB3.0	U3_RX_P	8800.00	800.00
N25	n	USB3.0	U3_TX_M	9600.00	0.00
M25	n	USB3.0	U3_TX_P	9600.00	800.00
P22	n	USB3.0	U3_VBUS	7200.00	-800.00
AA16	n	UART	UART0_CTS	2400.00	-6400.00
AD19	n	UART	UART0_DCD	4800.00	-8800.00
AB18	n	UART	UART0_DSR	4000.00	-7200.00
AD18	n	UART	UART0_DTR	4000.00	-8800.00
AC19	n	UART	UART0_RI	4800.00	-8000.00
AC18	n	UART	UART0_RTS	4000.00	-8000.00
AD17	n	UART	UART0_RXD	3200.00	-8800.00
AE19	n	UART	UART0_TXD	4800.00	-9600.00
AE20	n	UART	UART1_CTS	5600.00	-9600.00
AC20	n	UART	UART1_RTS	5600.00	-8000.00
AE21	n	UART	UART1_RXD	6400.00	-9600.00
AD20	n	UART	UART1_TXD	5600.00	-8800.00
AA17	n	UART	UART2_RXD	3200.00	-6400.00
AD21	n	UART	UART2_TXD	6400.00	-8800.00
AE22	n	UART	UART3_RXD	7200.00	-9600.00
AE23	n	UART	UART3_TXD	8000.00	-9600.00
R23	n	USB2.0	USB0_DM	8000.00	-1600.00
R24	n	USB2.0	USB0_DP	8800.00	-1600.00

R21	n	USB2.0	USB0_ID	6400.00	-1600.00
D16	n	USB2.0	USB0_OVRCUR	2400.00	7200.00
R22	n	USB2.0	USB0_TXRTUNE	7200.00	-1600.00
R20	n	USB2.0	USB0_VBUS	5600.00	-1600.00
P21	n	USB2.0	USB0_XI	6400.00	-800.00
P20	n	USB2.0	USB0_XO	5600.00	-800.00
T21	n	USB2.0	USB1_DM	6400.00	-2400.00
T22	n	USB2.0	USB1_DP	7200.00	-2400.00
D15	n	USB2.0	USB1_OVRCUR	1600.00	7200.00
T20	n	USB2.0	USB1_TXRTUNE	5600.00	-2400.00
T25	n	USB2.0	USB2_DM	9600.00	-2400.00
U25	n	USB2.0	USB2_DP	9600.00	-3200.00
C15	n	USB2.0	USB2_OVRCUR	1600.00	8000.00
U24	n	USB2.0	USB2_TXRTUNE	8800.00	-3200.00
V25	n	USB2.0	USB3_DM	9600.00	-4000.00
V24	n	USB2.0	USB3_DP	8800.00	-4000.00
B16	n	USB2.0	USB3_OVRCUR	2400.00	8800.00
U23	n	USB2.0	USB3_TXRTUNE	8000.00	-3200.00
AD16	n	VGA	VGA_BOUT	2400.00	-8800.00
Y14	n	VGA	VGA_COMP	800.00	-5600.00
AB6	n	VGA	VGA_EN	-5600.00	-7200.00
AC15	n	VGA	VGA_GOUT	1600.00	-8000.00
AB5	n	VGA	VGA_HSYNC	-6400.00	-7200.00
AE17	n	VGA	VGA_REXT	3200.00	-9600.00
AE16	n	VGA	VGA_ROUT	2400.00	-9600.00
AA7	n	VGA	VGA_VSYNC	-4800.00	-6400.00
F13	n_pll		PLL_AVDD	0.00	5600.00
J14	n_pll		PLL_AVSS	800.00	3200.00
J12	n_pll		PLL_DDR_AVDD	-800.00	3200.00
J13	n_pll		PLL_DDR_AVSS	0.00	3200.00
F11	n_pll		PLL_NODE_AVDD	-1600.00	5600.00
F12	n_pll		PLL_NODE_AVSS	-800.00	5600.00
H6	p		DDR_VDDE	-5600.00	4000.00
J4	p		DDR_VDDE	-7200.00	3200.00
J5	p		DDR_VDDE	-6400.00	3200.00
J6	p		DDR_VDDE	-5600.00	3200.00
K6	p		DDR_VDDE	-5600.00	2400.00
K9	p		DDR_VDDE	-3200.00	2400.00
B2	p		DDR_VDDE	-8800.00	8800.00
C2	p		DDR_VDDE	-8800.00	8000.00
C3	p		DDR_VDDE	-8000.00	8000.00
D3	p		DDR_VDDE	-8000.00	7200.00
D4	p		DDR_VDDE	-7200.00	7200.00
D5	p		DDR_VDDE	-6400.00	7200.00
E4	p		DDR_VDDE	-7200.00	6400.00
E5	p		DDR_VDDE	-6400.00	6400.00

F5	p		DDR_VDDE	-6400.00	5600.00
F6	p		DDR_VDDE	-5600.00	5600.00
G6	p		DDR_VDDE	-5600.00	4800.00
N6	p		DDR_VREF_0	-5600.00	0.00
F10	p		DDR_VREF_1	-2400.00	5600.00
AA5	p		IO_3V3	-6400.00	-6400.00
AA21	p		IO_3V3	6400.00	-6400.00
AB4	p		IO_3V3	-7200.00	-7200.00
AB7	p		IO_3V3	-4800.00	-7200.00
AB19	p		IO_3V3	4800.00	-7200.00
AB22	p		IO_3V3	7200.00	-7200.00
AC3	p		IO_3V3	-8000.00	-8000.00
AC23	p		IO_3V3	8000.00	-8000.00
E13	p		IO_3V3	0.00	6400.00
F14	p		IO_3V3	800.00	5600.00
V4	p		IO_3V3	-7200.00	-4000.00
W6	p		IO_3V3	-5600.00	-4800.00
W20	p		IO_3V3	5600.00	-4800.00
Y6	p		IO_3V3	-5600.00	-5600.00
Y8	p		IO_3V3	-4000.00	-5600.00
Y18	p		IO_3V3	4000.00	-5600.00
Y20	p		IO_3V3	5600.00	-5600.00
F21	p		PSU_1V1	6400.00	5600.00
F22	p		PSU_1V1	7200.00	5600.00
H21	p		PSU_1V1	6400.00	4000.00
H22	p		PSU_1V1	7200.00	4000.00
K17	p		PSU_1V1	3200.00	2400.00
M17	p		PSU_1V1	3200.00	800.00
P17	p		PSU_1V1	3200.00	-800.00
T17	p		PSU_1V1	3200.00	-2400.00
L20	p		PSU_3V3	5600.00	1600.00
L23	p		PSU_3V3	8000.00	1600.00
L24	p		PSU_3V3	8800.00	1600.00
M21	p		PSU_3V3	6400.00	800.00
M22	p		PSU_3V3	7200.00	800.00
P23	p		PSU_3V3	8000.00	-800.00
P24	p		PSU_3V3	8800.00	-800.00
U21	p		PSU_3V3	6400.00	-3200.00
U22	p		PSU_3V3	7200.00	-3200.00
C19	p		RSM_3V3	4800.00	8000.00
C22	p		RSM_3V3	7200.00	8000.00
D17	p		RSM_3V3	3200.00	7200.00
D21	p		RSM_3V3	6400.00	7200.00
E24	p		RTC_VDD	8800.00	6400.00
P9	p		THSENS_AVDD	-3200.00	-800.00
N14	p		VDD_CORE	800.00	0.00

P15	p		VDD_CORE	1600.00	-800.00
P16	p		VDD_CORE	2400.00	-800.00
R11	p		VDD_CORE	-1600.00	-1600.00
R14	p		VDD_CORE	800.00	-1600.00
R15	p		VDD_CORE	1600.00	-1600.00
T9	p		VDD_CORE	-3200.00	-2400.00
T12	p		VDD_CORE	-800.00	-2400.00
K10	p		VDD_CORE	-2400.00	2400.00
K11	p		VDD_CORE	-1600.00	2400.00
K13	p		VDD_CORE	0.00	2400.00
K15	p		VDD_CORE	1600.00	2400.00
K16	p		VDD_CORE	2400.00	2400.00
L13	p		VDD_CORE	0.00	1600.00
L14	p		VDD_CORE	800.00	1600.00
M15	p		VDD_CORE	1600.00	800.00
M16	p		VDD_CORE	2400.00	800.00
N13	p		VDD_CORE	0.00	0.00
T13	p		VDD_CORE	0.00	-2400.00
T15	p		VDD_CORE	1600.00	-2400.00
T16	p		VDD_CORE	2400.00	-2400.00
U12	p		VDD_CORE	-800.00	-3200.00
U16	p		VDD_CORE	2400.00	-3200.00
L10	p		VDD_NODE	-2400.00	1600.00
L11	p		VDD_NODE	-1600.00	1600.00
M11	p		VDD_NODE	-1600.00	800.00
M12	p		VDD_NODE	-800.00	800.00
N12	p		VDD_NODE	-800.00	0.00
P10	p		VDD_NODE	-2400.00	-800.00
P11	p		VDD_NODE	-1600.00	-800.00
P12	p		VDD_NODE	-800.00	-800.00
F17	p		VDD_RSM	3200.00	5600.00
F18	p		VDD_RSM	4000.00	5600.00
J16	p		VDD_RSM	2400.00	3200.00
Y15	p		VGA_A3V3	1600.00	-5600.00
A24	p		VSS	8800.00	9600.00
AA14	p		VSS	800.00	-6400.00
AB9	p		VSS	-3200.00	-7200.00
AB11	p		VSS	-1600.00	-7200.00
AB13	p		VSS	0.00	-7200.00
AB17	p		VSS	3200.00	-7200.00
AD1	p		VSS	-9600.00	-8800.00
AD25	p		VSS	9600.00	-8800.00
AE2	p		VSS	-8800.00	-9600.00
AE24	p		VSS	8800.00	-9600.00
B25	p		VSS	9600.00	8800.00
E18	p		VSS	4000.00	6400.00

E20	p		VSS	5600.00	6400.00
E23	p		VSS	8000.00	6400.00
F15	p		VSS	1600.00	5600.00
F16	p		VSS	2400.00	5600.00
F19	p		VSS	4800.00	5600.00
G23	p		VSS	8000.00	4800.00
G24	p		VSS	8800.00	4800.00
J15	p		VSS	1600.00	3200.00
J17	p		VSS	3200.00	3200.00
J23	p		VSS	8000.00	3200.00
J24	p		VSS	8800.00	3200.00
K12	p		VSS	-800.00	2400.00
K14	p		VSS	800.00	2400.00
K21	p		VSS	6400.00	2400.00
K22	p		VSS	7200.00	2400.00
L12	p		VSS	-800.00	1600.00
L15	p		VSS	1600.00	1600.00
L16	p		VSS	2400.00	1600.00
L17	p		VSS	3200.00	1600.00
M10	p		VSS	-2400.00	800.00
M13	p		VSS	0.00	800.00
M14	p		VSS	800.00	800.00
N10	p		VSS	-2400.00	0.00
N11	p		VSS	-1600.00	0.00
N15	p		VSS	1600.00	0.00
N16	p		VSS	2400.00	0.00
N17	p		VSS	3200.00	0.00
N23	p		VSS	8000.00	0.00
N24	p		VSS	8800.00	0.00
P13	p		VSS	0.00	-800.00
P14	p		VSS	800.00	-800.00
R6	p		VSS	-5600.00	-1600.00
R10	p		VSS	-2400.00	-1600.00
R12	p		VSS	-800.00	-1600.00
R13	p		VSS	0.00	-1600.00
R16	p		VSS	2400.00	-1600.00
R17	p		VSS	3200.00	-1600.00
T4	p		VSS	-7200.00	-2400.00
T10	p		VSS	-2400.00	-2400.00
T11	p		VSS	-1600.00	-2400.00
T14	p		VSS	800.00	-2400.00
T23	p		VSS	8000.00	-2400.00
T24	p		VSS	8800.00	-2400.00
U6	p		VSS	-5600.00	-3200.00
U9	p		VSS	-3200.00	-3200.00
U10	p		VSS	-2400.00	-3200.00

U11	p		VSS	-1600.00	-3200.00
U13	p		VSS	0.00	-3200.00
U14	p		VSS	800.00	-3200.00
U15	p		VSS	1600.00	-3200.00
U17	p		VSS	3200.00	-3200.00
U20	p		VSS	5600.00	-3200.00
V20	p		VSS	5600.00	-4000.00
Y10	p		VSS	-2400.00	-5600.00
Y12	p		VSS	-800.00	-5600.00
Y16	p		VSS	2400.00	-5600.00
D9	p		VSSM	-3200.00	7200.00
D11	p		VSSM	-1600.00	7200.00
E9	p		VSSM	-3200.00	6400.00
E11	p		VSSM	-1600.00	6400.00
F8	p		VSSM	-4000.00	5600.00
F9	p		VSSM	-3200.00	5600.00
J9	p		VSSM	-3200.00	3200.00
J10	p		VSSM	-2400.00	3200.00
J11	p		VSSM	-1600.00	3200.00
L4	p		VSSM	-7200.00	1600.00
L5	p		VSSM	-6400.00	1600.00
L6	p		VSSM	-5600.00	1600.00
L9	p		VSSM	-3200.00	1600.00
M6	p		VSSM	-5600.00	800.00
M9	p		VSSM	-3200.00	800.00
N4	p		VSSM	-7200.00	0.00
N5	p		VSSM	-6400.00	0.00
N9	p		VSSM	-3200.00	0.00
P5	p		VSSM	-6400.00	-800.00
P6	p		VSSM	-5600.00	-800.00