

# LOONGSON

## 龙芯 3A3000/3B3000 处理器

### 数据手册

V1.4

2019 年 04 月

龙芯中科技术有限公司

自主决定命运, 创新成就未来



## 版权声明

本档版权归龙芯中科技有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

## 免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因档使用不当造成的直接或间接损失，本公司不承担任何责任。

## 龙芯中科技有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel)：010-62546668

传真(Fax)：010-62600826

## 阅读指南

---

《龙芯 3A3000/3B3000 处理器数据手册》主要介绍龙芯 3A3000/3B3000 处理器接口结构，特性，电气规范，以及硬件设计指导。

## 修订历史

文档更新记录	文档名:	龙芯 3A3000/3B3000 处理器 数据手册	
	版本号:	V1.4	
	创建人:	芯片研发部	
	创建日期:	2019-04-30	
<b>更新历史</b>			
序号	更新日期	版本号	更新内容
1	2017-03-31	V1.0	初稿完成
2	2017-04-26	V1.1	修正部分内容
2	2017-05-17	V1.2	11 章增加订货信息 6.7.1 增加了各个质量等级对应的电压频率 删除 DDR2 相关内容 1.1、11 等章节增加了芯片分级信息
3	2018-08-23	V1.3	对 1.1 节及 11 章中的芯片分级信息进行调整 第 7.1 节增加各等级芯片的典型温度功耗曲线 第 10 章修正封装机械尺寸信息 第 6 章增加 ESD 信息
4	2019-04-30	V1.4	调整各章节分级信息 增加 7.3 扣合力参数

手册信息反馈: [service@loongson.cn](mailto:service@loongson.cn)

也可通过问题反馈网站 <http://bugs.loongnix.org/> 向我司提交芯片产品使用过程中的问题, 并获取技术支持。

## 目 录

图目录.....	VI
表目录.....	VII
1. 概述.....	1
1.1. 芯片分级.....	1
2. 接口描述.....	3
2.1. 接口信号模块.....	3
2.2. HYPERTRANSPORT 总线接口信号.....	4
2.3. DDR3 SDRAM 总线接口信号.....	7
2.4. 初始化信号.....	8
2.5. 低速 I/O 接口.....	9
2.6. 芯片引脚中断信号.....	11
2.7. EJTAG 信号.....	12
2.8. 测试和控制信号.....	12
2.9. 时钟信号.....	12
2.10. 电源引脚.....	14
2.11. GPIO 信号.....	15
3. HYPERTRANSPORT 总线接口描述.....	16
3.1. HYPERTRANSPORT 接口特性.....	16
3.2. 设备模式.....	16
3.3. 系统 HT 接口连接.....	16
4. DDR3 SDRAM 控制器接口描述.....	18
4.1. DDR3 SDRAM 控制器功能概述.....	18
4.2. DDR3 SDRAM 读操作协议.....	18
4.3. DDR3 SDRAM 写操作协议.....	19
4.4. 初始化操作.....	19
4.5. 复位引脚的控制.....	20
5. 复位时序要求.....	22
6. 电气特性.....	24
6.1. 绝对最大额定值.....	24
6.2. HYPERTRANSPORT 总线接口特性.....	24
6.2.1. HyperTransport 推荐直流工作条件.....	24
6.2.2. HyperTransport 推荐交流工作条件.....	25
6.2.3. 传输时序特性.....	25
6.3. DDR3 内存接口特性.....	28
6.3.1. 推荐的直流工作条件.....	28
6.3.2. 交流和直流逻辑输入电平.....	28

6.3.3.	交流和直流逻辑输出电平.....	30
6.3.4.	IDD 和 IDDQ 规范的参数和测试条件.....	36
6.3.5.	输入/输出电容.....	37
6.3.6.	不同器件密度下的刷新参数.....	37
6.3.7.	标准的速度分级.....	37
6.3.8.	DDR3 的时序参数.....	41
6.4.	LPC 总线和其它引脚.....	49
6.4.1.	LPC 总线.....	49
6.4.2.	EJTAG.....	49
6.5.	参考时钟.....	49
6.5.1.	HyperTransport 的时钟.....	49
6.5.2.	DDR3 内存的时钟.....	50
6.5.3.	PCI 时钟.....	51
6.6.	电源.....	51
6.6.1.	电源工作条件.....	51
7.	热特性.....	53
7.1.	热参数.....	53
7.2.	焊接温度.....	55
7.3.	扣合力.....	56
8.	引脚排列和封装.....	57
8.1.	按引脚排列的封装引脚.....	57
8.2.	FCBGA 引脚顶层排列.....	84
9.	封装走线长度.....	91
10.	封装机械尺寸.....	97
11.	订货信息.....	99
12.	不使用引脚处理.....	100
12.1.	系统配置引脚.....	100
12.2.	LPC 总线.....	100
12.3.	PCI 总线.....	100
12.4.	SPI/UART/GPIO 总线.....	100
12.5.	DDR 总线.....	100
12.6.	HYPERTRANSPORT 总线.....	100
12.7.	JTAG/EJTAG 总线、TESTCLK.....	101
12.8.	系统中断管脚.....	101
13.	硬件改动说明.....	101

## 图目录

图 2.1 龙芯 3A3000/3B3000 处理器接口信号框图.....	3
图 3.1 龙芯 3A3000 单处理器系统 HT 接口连接 .....	17
图 3.2 龙芯 3B3000 多处理器系统 HT 接口连接（四片） .....	17
图 3.3 龙芯 3B3000 多处理器系统 HT 接口连接（二片） .....	17
图 4.1 DDR3 SDRAM 读操作协议.....	19
图 4.2 DDR3 SDRAM 写操作协议.....	19
图 5.1 龙芯 3A3000/3B3000 复位时序图.....	23
图 6.1 HyperTransport 总线 $T_{ODIFF}$ 时序 .....	25
图 6.2 HyperTransport 总线 $T_{DIFF}$ 时序 .....	25
图 6.3 HyperTransport 总线 $T_{CADV}$ 时序 .....	26
图 6.4 HyperTransport 总线 $T_{SU}$ 和 $T_{HD}$ 时序 .....	26
图 6.5 HyperTransport 总线 $T_{CADVRS}$ / $T_{CADVRH}$ 时序 .....	26
图 6.6 ac-swing 和 ac-level 时间点（tDVA）的差分定义.....	29
图 6.7 Vix 定义.....	30
图 6.8 单端输出斜率的定义.....	31
图 6.9 差分输出斜率的定义.....	32
图 6.10 地址和控制的上升和下降定义.....	33
图 6.11 时钟，数据，选通和屏蔽信号的交流上升和下降定义.....	33
图 6.12 tAON 的定义.....	34
图 6.13 tAONPD 的定义.....	35
图 6.14 tAOF 的定义 .....	35
图 6.15 tAOFPD 的定义 .....	36
图 6.16 tADC 的定义.....	36
图 6.17 3.3V PCI-X 时钟波形 .....	51
图 7.1 焊接回流曲线.....	56
图 10.1 龙芯 3A3000/3B3000 顶视图.....	97
图 10.2 龙芯 3A3000/3B3000 侧视图.....	97
图 10.3 龙芯 3A3000/3B3000 底视图.....	98

## 表目录

表 2.1 HT 总线信号 .....	4
表 2.2 DDR3 SDRAM 控制器接口信号 .....	8
表 2.3 初始化接口信号 .....	8
表 2.4 LPC 接口信号 .....	10
表 2.5 SPI 接口信号 .....	10
表 2.6 UART 接口信号 .....	11
表 2.7 引脚中断信号描述 .....	11
表 2.8 EJTAG 接口信号 .....	12
表 2.9 JTAG 接口信号 .....	12
表 2.10 时钟信号 .....	13
表 2.11 CORE 时钟控制 .....	13
表 2.12 MEM 时钟控制 .....	13
表 2.13 HT 时钟控制 .....	14
表 2.14 电源引脚 .....	14
表 2.15 GPIO 信号 .....	15
表 6.1 绝对最大额定值 .....	24
表 6.2 HyperTransport 直流工作条件 .....	24
表 6.3 HyperTransport 交流工作条件 .....	25
表 6.4 HyperTransport 连接传输时序规范 .....	26
表 6.5 推荐的直流工作条件 .....	28
表 6.6 控制信号和地址单端信号的交流和直流输入电平 .....	28
表 6.7 DQ 和 DM 单端信号的交流和直流输入电平 .....	28
表 6.8 交流和直流的差分输入电平 .....	29
表 6.9 差分输入信号(CK, DQS)交叉点电压 .....	30
表 6.10 单端信号的交流直流输出电平 .....	30
表 6.11 差分信号的交流直流输出电平 .....	30
表 6.12 单端信号输出斜率的定义 .....	31
表 6.13 单端的输出斜率 .....	31
表 6.14 差分输出斜率的定义 .....	31
表 6.15 差分输出斜率 .....	32
表 6.16 地址和控制引脚的交流上冲/下冲规范 .....	32
表 6.17 时钟, 数据, 选通和屏蔽信号的交流上冲/下冲规范 .....	33
表 6.18 ODT 时序定义 .....	33
表 6.19 ODT 时序测量的参考设置 .....	34
表 6.20 IDD 和 IDDQ 测量循环模式的时序 .....	36
表 6.21 输入/输出电容 .....	37
表 6.22 不同器件密度下的刷新参数 .....	37



表 6.23 DDR3-800 Speed Bins and Operating Conditions .....	37
表 6.24 DDR3-1066 Speed Bins and Operating Conditions .....	38
表 6.25 DDR3-1333 Speed Bins and Operating Conditions .....	38
表 6.26 DDR3-1600 Speed Bins and Operating Conditions .....	39
表 6.27 Timing Parameters by Speed Bin.....	41
表 6.28 推荐的上拉电阻值.....	49
表 6.29 EJTAG 的交流时序特性.....	49
表 6.30 发送端时钟的不确定性.....	49
表 6.31 输入时钟抖动参数.....	50
表 6.32 PCI-X 时钟参数 .....	51
表 6.33 推荐的工作电源电压.....	51
表 7.1 龙芯 3A3000/3B3000 的热特性参数和推荐的最大值.....	53
表 7.2 龙芯 3A3000/3B3000 的热阻参数 .....	53
表 7.3 无铅工艺的封装回流最大温度表.....	55
表 7.4 回流焊接温度分类表.....	55
表 8.1 按引脚排列的封装引脚表.....	57

## 1. 概述

龙芯 3A3000/3B3000 是龙芯 3A2000/3B2000 四核处理器的工艺升级版本，封装引脚与龙芯 3A1000 基本兼容（但 PLL\_AVDD 电平由 2.5V 改为 1.8V，并增加了 MC\_DDR\_A15 引脚功能）。龙芯 3A3000/3B3000 是一个配置为单节点 4 核的处理器，采用 28nm 工艺制造，工作主频为 1.2GHz-1.5GHz，主要技术特征如下：

- 片内集成 4 个 64 位的四发射超标量 GS464e 高性能处理器核；
- 峰值浮点运算能力 24GFLOPS@1.5GHz；
- 片内集成 8 MB 的分体共享三级 Cache(由 4 个体模块组成，每个体模块容量为 2MB) ；
- 通过目录协议维护多核及 I/O DMA 访问的 Cache 一致性；
- 片内集成 2 个 64 位带 ECC，800MHz 的 DDR3 控制器；
- 片内集成 2 个 16 位 2.4GHz 的 HyperTransport 控制器（以下简称 HT）；
- 每个 16 位的 HT 端口拆分成两个 8 路的 HT 端口使用。
- 片内集成 32 位 33MHz PCI；
- 片内集成 1 个 LPC、2 个 UART、1 个 SPI、16 路 GPIO 接口。

相比龙芯 3A2000/3B2000，其主要改进如下：

- 处理器核结构全面升级；
- 内存控制器结构、频率全面升级；
- HT 控制器结构、频率全面升级；
- 全芯片的性能优化提升。

龙芯 3A3000/3B3000 的芯片整体架构基于两级互连实现，芯片结构和介绍详见《龙芯 3A3000/3B3000 用户手册 P1》1.2 节 龙芯 3A3000/3B3000 简介。

龙芯 3A3000 处理器仅支持 HT1 控制器的 IO 使用。龙芯 3B3000 处理器支持 HT0/HT1 双控制器，并支持多路处理器互连结构。

### 1.1. 芯片分级

龙芯 3A3000/3B3000 芯片分为多个版本，不同版本芯片针对的工作环境、工作电压及实际功耗有所不同，不可相互替换。芯片在错误的工作电压下，可能会引起工作异常或使用寿命问题。在选用前必须明确对应的芯片分级。

不同版本的说明如下：

芯片标识	质量等级	典型电压	电源噪声	典型功耗*	偏压设置	壳温范围	说明
LS3A3000	商业级	1.25V	±25mV	20 - 40W	P4N8	0 - 65℃	商业级版本 工作频率 1.2 - 1.5GHz
LS3B3000	商业级	1.25V	±25mV	40W	P4N8	0 - 65℃	服务器版本 工作频率 1.45GHz
LS3A3000-i	普通工业级	1.15V	±25mV	20W	P0N0	-40 - 85℃	工作频率 1.2GHz
LS3A3000-I	专用工业级	1.15V	±25mV	17W	P0N0	-40 - 85℃	工作频率 1.2GHz
		1.00V	±25mV	10W	P0N0	-40 - 85℃	工作频率 1.0GHz

\*仅包含处理器核心功耗，运行 SPEC CPU 测试时在最高壳温下测得的最大功耗。实际的功耗温度曲线请参考第 7 章。

## 2. 接口描述

### 2.1. 接口信号模块

龙芯 3A3000/3B3000 的接口信号如图 2.1 所示。

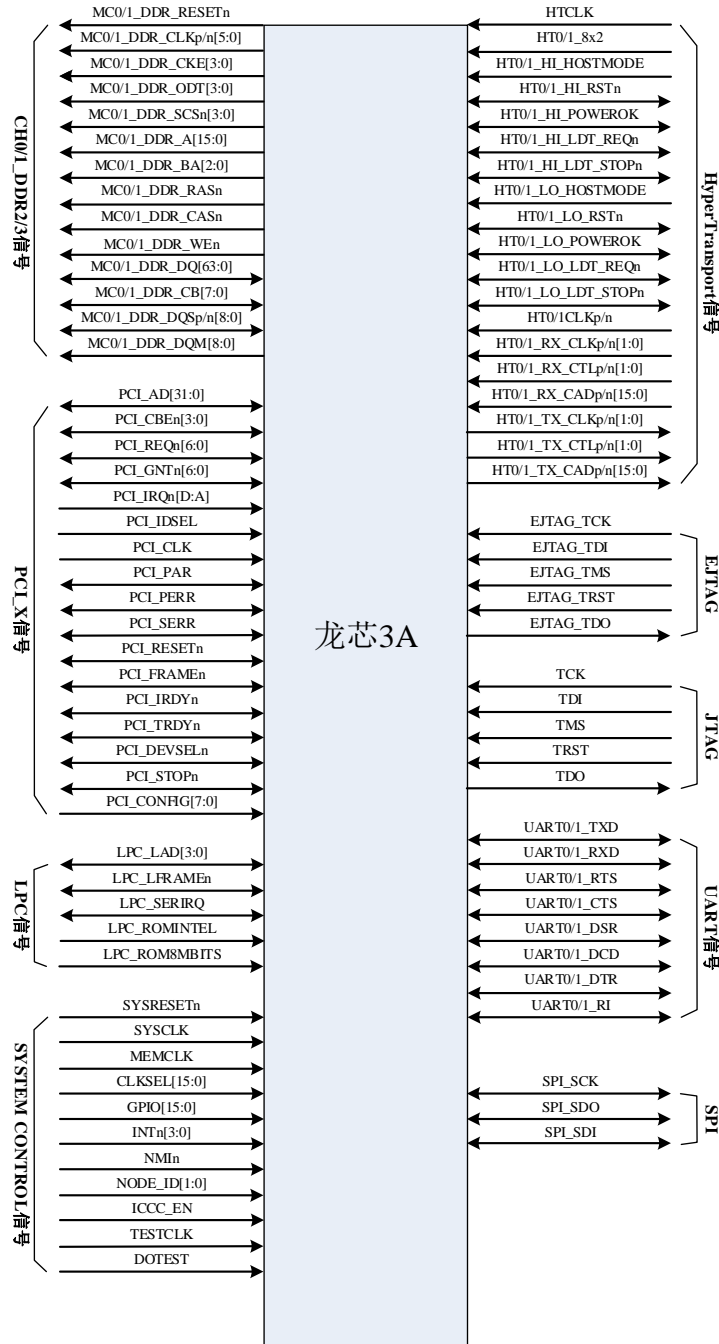


图 2.1 龙芯 3A3000/3B3000 处理器接口信号框图

注：箭头指示信号方向，有输入、输出和双向。

## 2.2. HyperTransport 总线接口信号

龙芯 3A3000/3B3000 中拥有两组独立的 HyperTransport 总线（分别称为 HT0 与 HT1），其中每组 16 位的 HyperTransport 总线可独立配置为两组 8 位总线分别使用（分别称为 HTx\_Lo 与 HTx\_Hi）。

其中每组 HyperTransport 总线信号包括：

- 16 对差分发送数据命令总线；
- 16 对差分接收数据命令总线；
- 2 对差分发送控制信号；
- 2 对差分接收控制信号；
- 2 对差分发送时钟信号；
- 2 对差分接收时钟信号；
- 4 个 16 位/低 8 位总线控制信号；
- 4 个高 8 位总线控制信号；

下表是龙芯 3A3000/3B3000 处理器的 HyperTransport 总线接口信号定义。上下拉电阻默认为 50KOhm。

表 2.1 HT 总线信号

HT0 总线信号				
信号名称	输入/输出	描述	电源域	默认上下拉
HT0_8x2	I	为 1 时有效，表示将 HT0 分为 HT0_Lo 与 HT0_Hi 分别使用 为 0 时无效，表示将 HT0 作为 16 位总线使用	VDDESB	下拉
HT0_Lo_Hostmode	I	为 1 时有效，表示将 HT0_Lo 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT0_Lo 控制器作为从模式，复位等信号仅为输入模式	VDDESB	上拉
HT0_Hi_Hostmode	I	为 1 时有效，表示将 HT0_Hi 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT0_Hi 控制器作为从模式，复位等信号仅为输入模式	VDDESB	上拉
HT0_Lo_PowerOK	I/O	当 HT0_8x2 无效时为 HT0 总线 PowerOK 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 PowerOK 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HT0_Lo_Resetn	I/O	当 HT0_8x2 无效时为 HT0 总线 Resetn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Resetn 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HT0_Lo_Ldt_Stopn	I/O	当 HT0_8x2 无效时为 HT0 总线 Ldt_Stopn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Ldt_Stopn 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HT0_Lo_Ldt_reqn	I/O	当 HT0_8x2 无效时为 HT0 总线 Ldt_Reqn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Ldt_Reqn 信号。	VDDESB	上拉
HT0_Hi_PowerOK	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 PowerOK 信号。 当 HT0_Hi_Hostmode 有效时为双向信号，	VDDESB	上拉

		当 HT0_Hi_Hostmode 无效时为输入信号。		
HT0_Hi_Resetn	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Resetn 信号。 当 HT0_Hi_Hostmode 有效时为双向信号， 当 HT0_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HT0_Hi_LDT_Stopn	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Ldt_Stopn 信号。 当 HT0_Hi_Hostmode 有效时为双向信号， 当 HT0_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HT0_Hi_LDT_reqn	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Ldt_Reqn 信号。	VDDESB	上拉
HT0_Tx_CADp[15:0]	O	当 HT0_8x2 无效时，该总线为 HT0 总线发送数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线发送数据命令总线， [15:0]位为 HT0_Hi 总线发送数据命令总线。	HT_VDDE	无
HT0_Tx_CADn[15:0]	O	当 HT0_8x2 无效时，该总线为 HT0 总线发送数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线发送数据命令总线， [15:0]位为 HT0_Hi 总线发送数据命令总线。	HT_VDDE	无
HT0_Tx_CTLp[1:0]	O	当 HT0_8x2 无效时， [0]位为 HT0 总线发送控制信号， [1]位无效。 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送控制信号， [1]位为 HT0_Hi 总线发送控制信号。	HT_VDDE	无
HT0_Tx_CTLn[1:0]	O	当 HT0_8x2 无效时， [0]位为 HT0 总线发送控制信号， [1]位无效。 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送控制信号， [1]位为 HT0_Hi 总线发送控制信号。	HT_VDDE	无
HT0_Tx_CLKp[1:0]	O	当 HT0_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送时钟信号， [1]位为 HT0_Hi 总线发送时钟信号。	HT_VDDE	无
HT0_Tx_CLKn[1:0]	O	当 HT0_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送时钟信号， [1]位为 HT0_Hi 总线发送时钟信号。	HT_VDDE	无
HT0_Rx_CADp[15:0]	I	当 HT0_8x2 无效时，该总线为 HT0 总线接收数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线接收数据命令总线， [15:0]位为 HT0_Hi 总线接收数据命令总线。	HT_VDDE	无
HT0_Rx_CADn[15:0]	I	当 HT0_8x2 无效时，该总线为 HT0 总线接收数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线接收数据命令总线， [15:0]位为 HT0_Hi 总线接收数据命令总线。	HT_VDDE	无
HT0_Rx_CTLp[1:0]	I	当 HT0_8x2 无效时， [0]位为 HT0 总线接收控制信号， [1]位无效。 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收控制信号， [1]位为 HT0_Hi 总线接收控制信号。	HT_VDDE	无
HT0_Rx_CTLn[1:0]	I	当 HT0_8x2 无效时， [0]位为 HT0 总线接收控制信号， [1]位无效。 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收控制信号， [1]位为 HT0_Hi 总线接收控制信号。	HT_VDDE	无

HT0_Rx_CLKp[1:0]	I	当 HT0_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收时钟信号， [1]位为 HT0_Hi 总线接收时钟信号。	HT_VDDE	无
HT0_Rx_CLKn[1:0]	I	当 HT0_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收时钟信号， [1]位为 HT0_Hi 总线接收时钟信号。	HT_VDDE	无
HT1 总线信号				
信号名称	输入/输出	描述	电源域	默认上下拉
HT1_8x2	I	为 1 时有效，表示将 HT1 分为 HT0_Lo 与 HT0_Hi 分别使用 为 0 时无效，表示将 HT1 作为 16 位总线使用	VDDESB	下拉
HT1_Lo_Hostmode	I	为 1 时有效，表示将 HT1_Lo 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT1_Lo 控制器作为从模式，复位等信号仅为 输入模式	VDDESB	上拉
HT1_Hi_Hostmode	I	为 1 时有效，表示将 HT1_Hi 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT1_Hi 控制器作为从模式，复位等信号仅为 输入模式	VDDESB	上拉
HT1_Lo_PowerOK	I/O	当 HT1_8x2 无效时为 HT1 总线 PowerOK 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 PowerOK 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Lo_Resetn	I/O	当 HT1_8x2 无效时为 HT1 总线 Resetn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Resetn 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Lo_Ldt_Stopn	I/O	当 HT1_8x2 无效时为 HT1 总线 Ldt_Stopn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Ldt_Stopn 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Lo_Ldt_reqn	I/O	当 HT1_8x2 无效时为 HT1 总线 Ldt_Reqn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Ldt_Reqn 信号。	VDDESB	上拉
HT1_Hi_PowerOK	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 PowerOK 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Hi_Resetn	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Resetn 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Hi_LDT_Stopn	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Ldt_Stopn 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Hi_LDT_reqn	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Ldt_Reqn 信号。	VDDESB	上拉
HT1_Tx_CADp[15:0]	O	当 HT1_8x2 无效时，该总线为 HT1 总线发送数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线发送数据命令总线， [15:0]位为 HT1_Hi 总线发送数据命令总线。	HT_VDDE	无
HT1_Tx_CADn[15:0]	O	当 HT1_8x2 无效时，该总线为 HT1 总线发送数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线发送数据命令总线， [15:0]位为 HT1_Hi 总线发送数据命令总线。	HT_VDDE	无
HT1_Tx_CTLp[1:0]	O	当 HT1_8x2 无效时， [0]位为 HT1 总线发送控制信号， [1]位无效。 当 HT1_8x2 有效时，	HT_VDDE	无



		[0]位为 HT1_Lo 总线发送控制信号， [1]位为 HT1_Hi 总线发送控制信号。		
HT1_Tx_CTLn[1:0]	O	当 HT1_8x2 无效时， [0]位为 HT1 总线发送控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送控制信号， [1]位为 HT1_Hi 总线发送控制信号。	HT_VDDE	无
HT1_Tx_CLKp[1:0]	O	当 HT1_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。	HT_VDDE	无
HT1_Tx_CLKn[1:0]	O	当 HT1_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。	HT_VDDE	无
HT1_Rx_CADp[15:0]	I	当 HT1_8x2 无效时，该总线为 HT1 总线接收数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线接收数据命令总线， [15:0]位为 HT1_Hi 总线接收数据命令总线。	HT_VDDE	无
HT1_Rx_CADn[15:0]	I	当 HT1_8x2 无效时，该总线为 HT1 总线接收数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线接收数据命令总线， [15:0]位为 HT1_Hi 总线接收数据命令总线。	HT_VDDE	无
HT1_Rx_CTLp[1:0]	I	当 HT1_8x2 无效时， [0]位为 HT1 总线接收控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收控制信号， [1]位为 HT1_Hi 总线接收控制信号。	HT_VDDE	无
HT1_Rx_CTLn[1:0]	I	当 HT1_8x2 无效时， [0]位为 HT1 总线接收控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收控制信号， [1]位为 HT1_Hi 总线接收控制信号。	HT_VDDE	无
HT1_Rx_CLKp[1:0]	I	当 HT1_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。	HT_VDDE	无
HT1_Rx_CLKn[1:0]	I	当 HT1_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收时钟信号， [1]位为 HT1_Hi 总线接收时钟信号。	HT_VDDE	无

### 2.3. DDR3 SDRAM 总线接口信号

龙芯 3A3000/3B3000 集成了标准的 DDR3 SDRAM 内存控制器。该内存控制器接口包括有下列信号：

- 72 位双向数据总线信号（包括 ECC）；
- 9 路双向数据选通差分信号（包括 ECC）；
- 9 位数据掩码信号（包括 ECC）；



- 16 位地址总线信号（相比龙芯 3A1000，增加一位地址位，使用龙芯 3A1000 中的 DDR\_RES\_GND 信号）；
- 3 位逻辑 bank 信号；
- 4 位物理片选信号；
- 6 路差分时钟信号；
- 4 位时钟使能信号；
- 3 位命令总线信号；
- 4 位 ODT(On Die Termination)信号；
- 1 位复位控制信号。

表 2.2 是龙芯 3A3000/3B3000 每一组 DDR3 SDRAM 控制器接口信号。共有两组，分别在电源域上分为 0/1。

MEM\_VDDE\_0/1 在板卡级不必区分，芯片内为同一电源域。

表 2.2 DDR3 SDRAM 控制器接口信号

信号名称	输入/输出	描述	电源域
DDR_DQ[63:0]	IO	DDR3 SDRAM 数据总线信号	MEM_VDDE_0/1
DDR_CB[7:0]	IO	DDR3 SDRAM 数据总线 ECC 信号	MEM_VDDE_0/1
DDR_DQSp[8:0]	IO	DDR3 SDRAM 数据选通（包括 ECC）	MEM_VDDE_0/1
DDR_DQSn[8:0]	IO	DDR3 SDRAM 数据选通（包括 ECC）	MEM_VDDE_0/1
DDR_DQM[8:0]	O	DDR3 SDRAM 数据屏蔽（包括 ECC）	MEM_VDDE_0/1
DDR_A[15:0]	O	DDR3 SDRAM 地址总线信号	MEM_VDDE_0/1
DDR_BA[2:0]	O	DDR3 SDRAM 逻辑 Bank 地址信号	MEM_VDDE_0/1
DDR_WEn	O	DDR3 SDRAM 写使能信号	MEM_VDDE_0/1
DDR_CASn	O	DDR3 SDRAM 列地址选择信号	MEM_VDDE_0/1
DDR_RASn	O	DDR3 SDRAM 行地址选择信号	MEM_VDDE_0/1
DDR_CS[3:0]	O	DDR3 SDRAM 片选信号	MEM_VDDE_0/1
DDR_CKE[3:0]	O	DDR3 SDRAM 时钟使能信号	MEM_VDDE_0/1
DDR_CKp[5:0]	O	DDR3 SDRAM 差分时钟输出信号 {1,3,5}为一组 DIMM 时钟， {0,2,4}为另一组 DIMM 时钟	MEM_VDDE_0/1
DDR_CKn[5:0]	O	DDR3 SDRAM 差分时钟输出信号 {1,3,5}为一组 DIMM 时钟， {0,2,4}为另一组 DIMM 时钟	MEM_VDDE_0/1
DDR_ODT[3:0]	O	DDR3 SDRAM ODT 信号	MEM_VDDE_0/1
DDR_Resetn	O	DDR3 SDRAM 复位控制信号	MEM_VDDE_0/1

## 2.4. 初始化信号

表 2.3 提供了初始化信号的名称，方向和描述。其中 PCI 接口速度最高支持到 PCI/PCI-X 33MHz。PCI 控制器只支持 3.3V 信号环境。

默认上下拉为 50KOhm。

表 2.3 初始化接口信号

信号名称	输入/输出	描述	电压域	默认上下拉
SYSRESETn	I	系统复位信号，该信号的低电平状态需	VDDE3V3	无

		要维持多于一个 SYSCLK 周期，它可异步于 SYSCLK 信号。		
PCI_RESETn	I/O	PCI 接口复位信号	VDDE3V3	无
PCI_CONFIG[7:0]	I	IO 配置控制，为 1 时表示如下功能 7 HT 总线强制设为 1.0 模式 6:4 设置为 000 3 保留 2 保留 1 保留 0 使用 SPI 启动功能	VDDE3V3	PCI_CONFIG[3] 上拉，其它下拉
NODEID[1:0]	I	处理器节点号 单处理器时设置为 0，多处理器时按照 3.3 节的连接方式设置	VDDE3V3	下拉
ICCC_EN	I	1'b1 表示多芯片一致性互联模式 1'b0 表示单芯片模式	VDDE3V3	下拉

- **SYSRESETn**: 这个复位信号是唯一能复位整个龙芯 3A3000/3B3000 处理器的信号。SYSCLK 和 MEMCLK 必须在 SYSRESETn 释放到无效前就保持稳定。SYSRESETn 的有效时间必须大于一个时钟周期。处理器内部的复位控制逻辑在 SYSRESETn 无效时才开始复位处理器。处理器内部复位将在 64K 个 SYSCLK 周期后完成，之后复位异常处理才可以被执行
- **PCI\_RESETn**: 当龙芯 3A3000/3B3000 作为 PCI 总线主桥时，这个信号工作为输出，系统中的 PCI/PCI-X 设备的复位必须由该信号控制。当龙芯 3A3000/3B3000 作为 PCI/PCI-X 设备工作时，该信号作为输入用来复位龙芯 3A3000/3B3000 的 PCI 接口。  
注：当龙芯 3A3000/3B3000 作为 PCI 总线主桥时，处理器仅在系统上电复位时会产生 PCI\_RESETn 复位信号，龙芯 3A3000/3B3000 软复位时，需使用 GPIO 和外部复位电路配合，使处理器产生 PCI\_RESETn 复位信号。
- **PCI\_CONFIG[7:0]**: 定义了龙芯 3A3000/3B3000 PCI/PCI-X 接口的工作模式以及其它需要静态配置的信号，它在系统复位时必须保持稳定。系统开始运行时软件从内部寄存器中读取该值。如果系统设置成从使用 SPI 启动，则系统自动读取 SPI 中的指令开始执行，否则系统将从 LPC 总线的 ROM 空间开始取指。

## 2.5. 低速 I/O 接口

龙芯 3A3000/3B3000 处理器的低速 I/O 接口包括 LPC 总线、SPI 总线和 UART。LPC 总线连接启动 Flash 和 SuperIO 芯片。SPI 总线可连接 SPI flash（可支持启动）。

LPC 控制器具有以下特性：

- 符合 LPC1.1 规范
- 支持 LPC 访问超时计数器
- 支持 Memory Read 和 Memory write 访问类型

- 支持 Firmware Memory Read 和 Firmware Memory Write 访问类型（单字节）
- 支持 I/O read 和 I/O write 访问类型
- 支持 Memory 访问类型地址转换
- 支持 Serialized IRQ 规范，提供 17 个中断源

SPI 控制器具有以下特性：

- 全双工同步串口数据传输
- 支持到 4 个的变长字节传输
- 主模式支持
- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 可在等待模式下对 SPI 进行控制
- 可支持处理器通过 SPI 启动

UART 控制器具有以下特性：

- 全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统
- 仅工作在 FIFO 方式
- 在寄存器与功能上兼容 NS16550A

这些低速 I/O 接口包含的信号如下，其中默认上下拉为 50KOhm。

表 2.4 LPC 接口信号

信号名称	输入/输出	描述	电压域	默认上下拉
L_AD[3:0]	I/O	LPC 总线地址数据信号	VDDE3V3	上拉
L_FRAME	O	LPC 总线数据开始/结束信号	VDDE3V3	无
L_SIRQ	I/O	LPC 总线 serial IRQ 信号，用于传输串行中断信号	VDDE3V3	上拉
L_8Mbits	I	LPC 启动 flash 8Mbits 和 4Mbits 设置。该信号为高表示 LPC 所接的启动 flash 为 8Mbits，该信号为低表示 LPC 所接的启动 flash 为 4Mbits	VDDE3V3	下拉
L_INTEL	I	LPC 启动 flash 类型设置。该信号为高表示所接启动 flash 为 INTEL 类型，否则为 AMD 类型	VDDE3V3	下拉

表 2.5 SPI 接口信号

信号名称	输入/输出	描述	电压域	默认上下拉
SPI_SCK	O	SPI 总线时钟	VDDE3V3	无
SPI_SDO	O	SPI 总线数据输出	VDDE3V3	上拉

SPI_SDI	I	SPI 总线数据输入	VDDE3V3	上拉
SPI_CS[3:0]*	I/O	SPI 片选信号（复用 GPIO[3:0]）	VDDE3V3	无

当使用 SPI FLASH 启动处理器时，使用 GPIO[3:0]作为 SPI\_CS[3:0]，其中 CS0 用作取指 Flash 设备连接。

表 2.6 UART 接口信号

信号名称	输入/输出	描述	电压域
TXD	O	串口数据输出	VDDE3V3
RXD	I	串口数据输入	VDDE3V3
RTS	O	串口数据传输请求	VDDE3V3
CTS	I	设备接受数据就绪	VDDE3V3
DTR	O	串口初始化完成	VDDE3V3
DSR	I	设备初始化完成	VDDE3V3
DCD	I	外部 MODEM 探测到载波信号	VDDE3V3
RI	I	外部 MODEM 探测到振铃信号	VDDE3V3

## 2.6. 芯片引脚中断信号

龙芯 3A3000/3B3000 处理器的引脚中断包括 4 个系统中断（INT<sub>n</sub>），4 个 PCI 中断（PCI\_IRQ），1 个 PCI 总线错误报告信号（PCI\_SERR<sub>n</sub> 和 PCI\_PERR<sub>n</sub> 相与）。下表显示了引脚中断信号的名称、方向和描述。

除了芯片引脚接入的中断外，龙芯 3A3000/3B3000 还包括 16 个 HT 中断，3 个内部事件中断，1 个 LPC 中断（脉冲型），以及 2 个内存控制器中断，2 个矩阵中断（矩阵中断 1 为脉冲型），1 个传感器中断，1 个屏障中断。这些中断通过内部的功能模块自己产生，没有专门的中断引脚，除两个脉冲型中断外其余的都是电平中断。

任意一个中断源可以选择路由到处理器核中断引脚的 INT0-3(对应 CP0 寄存器 CR\_STATUS 的 IP2-5 位)四根中断中的任意一个。有关中断的详细说明请参考用户手册的中断部分。

表 2.7 中默认上下拉为 50KOhm。

表 2.7 引脚中断信号描述

信号名称	输入/输出	描述	电压域	默认上下拉
INT <sub>n</sub> [3:0]	I	4 个外部中断信号，这些信号分别连接到处理器中断寄存器(CR_CAUSE IP 域)的位 3 到 0，需视实际情况上下拉。	VDDE3V3	上拉
PCI_IRQ[3:0]	I	这些中断信号应在中断控制器中使能，低电平有效。这些中断能够被路由到中断寄存器的第 7 到 4 位，需外部上拉。	VDDE3V3	上拉
PCI_PERR <sub>n</sub>	I/O	PCI 总线奇偶错信号，低电平有效。这些中断能够被路由到中断寄存器的第 15 位，需外部上拉。	VDDE3V3	上拉
PCI_SERR <sub>n</sub>	I/O	PCI 总线系统错，低电平有效。这些中断能够被路由到中断寄存器的第 15 位（与 PCI_SERR <sub>n</sub> 共享），需外部上拉。	VDDE3V3	上拉

## 2.7. EJTAG 信号

龙芯 3A3000/3B3000 提供了 EJTAG 调试接口，用于调试底层应用软件。

表 2.8 提供了 EJTAG 信号的名称，方向和描述。

表 2.8 EJTAG 接口信号

信号名称	输入/输出	描述	电压域	默认上下拉
EJTAG_TDI	I	EJTAG 串行扫描数据输入。	VDDE3V3	上拉
EJTAG_TDO	O	EJTAG 串行扫描数据输出。	VDDE3V3	无
EJTAG_TMS	I	EJTAG 命令，指示输入的串行数据是一个命令。	VDDE3V3	上拉
EJTAG_TRST	I	EJTAG 重启信号。	VDDE3V3	上拉
EJTAG_TCK	I	EJTAG 串行扫描时钟。	VDDE3V3	无

## 2.8. 测试和控制信号

龙芯 3A3000/3B3000 芯片的测试信号仅仅用于芯片物理测试，如扫描链测试。当芯片正常工作，这些信号应设置为无效。通常这些信号进行上拉处理。用于测试的控制信号为 DOTEST 信号。

龙芯 3A3000/3B3000 还提供了一个兼容 JTAG 的边界扫描接口。JTAG 接口用于测试处理器引脚是否被正确连接。表 2.9 提供了测试相关信号的名称、方向和描述。

表 2.9 JTAG 接口信号

信号名称	输入/输出	描述	电压域
TDI	I	JTAG 串行扫描数据输入。	VDDE3V3
TDO	O	JTAG 串行扫描数据输出。	VDDE3V3
TMS	I	JTAG 命令，指示输入的串行数据是一个命令。	VDDE3V3
TRST	I	JTAG 重启信号。	VDDE3V3
TCK	I	JTAG 串行扫描时钟。	VDDE3V3
DOTEST	I	DOTEST=0,芯片处于测试模式；DOTEST=1 芯片处于正常功能模式。芯片正常工作时，需通过 4.7K 电阻上拉至 3.3V。	VDDE3V3

## 2.9. 时钟信号

龙芯 3A3000/3B3000 关于时钟的信号参见表 2.10。处理器有五个系统输入时钟信号（包括 SYSCLK，MEMCLK，PCI\_CLK，HTCLK，差分时钟 HT0\_CLKp/HT0\_CLKn 及差分时钟 HT1\_CLKp/HT1\_CLKn）。龙芯 3A3000/3B3000 的 Core 时钟通过 SYSCLK 产生，DDR3 时钟通过 MEMCLK 产生。HT 的时钟产生较为复杂。首先，差分时钟对

HT0\_CLKp/HT0\_CLKn 与 HT1\_CLKp/HT1\_CLKn 分别给 HT0 和 HT1 使用。此外，也可以使用单端时钟 HTCLK 同时替代 ht0\_clkp/ht0\_clkn 和 ht1\_clkp/ht1\_clkn，采用 CLKSEL[15:10]进行相关控制。CLKSEL 控制分频的方法参见表 2.11、表 2.12、表 2.13。

表 2.10 时钟信号

信号名称	输入/输出	频率范围 (MHz)	描述	电压域
SYSCLK	I	20-40	系统输入时钟，驱动内置的 PLL 产生处理器的 Core 时钟。它同时作为系统复位电路的时钟。	VDDE3V3
MEMCLK	I	20-40	DDR3 控制器的输入时钟，驱动内置的 PLL 用来产生 DDR3 时钟。	VDDE3V3
PCI_CLK	I	25-33	PCI、LPC、SPI、UART 总线的参考时钟。	VDDE3V3
HT0_CLKp/ HT0_CLKn	I	200	HT0 总线及控制器使用参考时钟。	VDDE3V3
HT1_CLKp/ HT1_CLKn	I	200	HT1 总线及控制器使用参考时钟。	VDDE3V3
HTCLK	I	100	HT0 及 HT1 总线控制器使用的可选备份时钟	VDDE3V3
CLKSEL[15:0]	I	-	Core、DDR 和 HT 的频率选择，参见 2.13-2.15.	VDDE3V3

表 2.11 CORE 时钟控制

信号	作用	默认上下拉
CLKSEL[4:0]	<p>5'b11111 表示 CORE 时钟直接采用 sysclk                      5'b011xx 表示 CORE 时钟采用软件设置，设置方法见用户手册说明                      其中 5'b01111 为正常工作模式，其它情况为调试模式：                      5'b0110x 表示异步模式                      5'b011x0 表示时钟调试模式                      其它情况下 CORE 时钟为  <math>sysclk * (clktsel[3:0] + 30) / (clktsel[4] + 1)</math>                      注：  <math>sysclk * (clktsel[3:0] + 30)</math> 必须为 1.2GHz~3.2GHz                      sysclk 必须为 20~40MHz</p>	上拉

表 2.12 MEM 时钟控制

信号	作用	默认上下拉
CLKSEL[9:5]	<p>5'b11111 表示 MEM 时钟直接采用 memclk                      5'b01111 表示 MEM 时钟采用软件设置，设置方法见用户手册说明                      其它情况下 MEM 时钟为  <math>memclk * (clktsel[8:5] + 30) / (clktsel[9] + 3)</math>                      注：  <math>memclk * (clktsel[8:5] + 30)</math> 必须为 1.2GHz~3.2GHz                      memclk 必须为 20~40MHz</p>	上拉

表 2.13 HT 时钟控制

信号	作用	默认上下拉
CLKSEL[15]	1'b1 表示 HT 控制器频率采用硬件设置 1'b0 表示 HT 控制器频率采用软件设置	上拉
CLKSEL[14]	1'b1 表示 HT PLL 采用普通时钟输入 1'b0 表示 HT PLL 采用差分时钟输入	上拉
CLKSEL[13:12]	2'b00 表示 PHY 时钟为 1.6GHZ 2'b01 表示 PHY 时钟为 3.2GHZ 2'b10 表示 PHY 时钟为 1.2GHz 2'b11 表示 PHY 时钟为 2.4GHz	上拉
CLKSEL[11:10]	2'b00 表示 HT 控制器时钟为 PHY 时钟 8 分频 2'b01 表示 HT 控制器时钟为 PHY 时钟 4 分频 2'b10 表示 HT 控制器时钟为 PHY 时钟 2 分频 2'b11 表示 HT 控制器时钟为 PHY 时钟	上拉

注：CLKSEL[13:10] == 4'b1111 时，HT 控制器时钟为 bypass 模式，

直接使用外部输入 100MHz 参考时钟

对于龙芯 3A3000/3B3000，CLKSEL[15:10]建议设置为 6'b000001，并在 BIOS 中对 HT 的频率进行配置；CLKSEL[9:5]建议设置为 5'b01111，并在 BIOS 中对 MEM 的频率进行配置；CLKSEL[4:0]建议设置为 5'b01111，并在 BIOS 中对 NODE 的频率进行配置。具体配置方法请参考用户手册。

## 2.10. 电源引脚

表 2.14 电源引脚

电源域	描述	引脚名称
VDD	处理器核电源	VDD
VDDE3V3	处理器 IO 电源	VDDE3V3
MEM_VDD_0/1	DDR3 通道 0/1 核电源	VDD_MEM
MEM_VDDE_0/1	DDR3 通道 0/1 IO 电源	VDDE_DDR
MEM_VREF_0/1	DDR3 通道 0/1 参考电源	VDDE_VREF
HT_VDD	HT 核电源	VDDE_1V2
HT_VDDE	HT IO 电源	VDDE_1V8
VDDESB	HT 控制信号电源	VDDESB
CORE_PLL_AVDD	Core PLL 模拟电源	CORE_PLL_AVDD
CORE_PLL_DVDD	Core PLL 数字电源	CORE_PLL_DVDD



DDR_PLL_AVDD	DDR3 PLL 模拟电源	DDR_PLL_AVDD
DDR_PLL_DVDD	DDR3 PLL 数字电源	DDR_PLL_DVDD
HT0/1_PLL_AVDD	HT0/1 PLL 模拟电源	HT0/1_PLL_AVDD
HT0/1_PLL_DVDD	HT0/1 PLL 数字电源	HT0/1_PLL_DVDD

与龙芯 3A1000/3A2000 所不同的是，CORE\_PLL\_AVDD、DDR\_PLL\_AVDD 为 1.8v。

## 2.11. GPIO 信号

龙芯 3A3000/3B3000 处理器包含 16 个 GPIO，其引脚定义见下表。其中 GPIO[3:0]在芯片设置为 SPI 启动时为 SPI\_CS 功能。

GPIO 引脚的驱动能力从 2mA 至 12mA 软件可配置，默认为最低驱动。

表 2.15 GPIO 信号

信号名称	输入/输出	描述	复位状态	电压域
GPIO00	I/O	当 PCI_CONFIG[0]为 1 时，为 SPI_CS[0]； 当 PCI_CONFIG[0]为 0 时，为通用输入输出	GPIO 功能下 输入高阻	3.3V
GPIO01	I/O	当 PCI_CONFIG[0]为 1 时，为 SPI_CS[1]； 当 PCI_CONFIG[0]为 0 时，为通用输入输出	GPIO 功能下 输入高阻	3.3V
GPIO02	I/O	当 PCI_CONFIG[0]为 1 时，为 SPI_CS[2]； 当 PCI_CONFIG[0]为 0 时，为通用输入输出	GPIO 功能下 输入高阻	3.3V
GPIO03	I/O	当 PCI_CONFIG[0]为 1 时，为 SPI_CS[3]； 当 PCI_CONFIG[0]为 0 时，为通用输入输出	GPIO 功能下 输入高阻	3.3V
GPIO04	I/O	通用输入输出	输入高阻	3.3V
GPIO05	I/O	通用输入输出	输入高阻	3.3V
GPIO06	I/O	通用输入输出	输入高阻	3.3V
GPIO07	I/O	通用输入输出	输入高阻	3.3V
GPIO08	I/O	通用输入输出	输入高阻	3.3V
GPIO09	I/O	通用输入输出	输入高阻	3.3V
GPIO10	I/O	通用输入输出	输入高阻	3.3V
GPIO11	I/O	通用输入输出	输入高阻	3.3V
GPIO12	I/O	通用输入输出	输入高阻	3.3V
GPIO13	I/O	通用输入输出	输入高阻	3.3V
GPIO14	I/O	通用输入输出	输入高阻	3.3V
GPIO15	I/O	通用输入输出	输入高阻	3.3V



### 3. HyperTransport 总线接口描述

龙芯 3A3000/3B3000 处理器拥有两个 16 位 HyperTransport 总线接口。每个 16 位总线接口可以分别配置为两个独立的 8 位 HyperTransport 总线接口单独使用。龙芯 3A3000/3B3000 中，HyperTransport 接口硬件支持 IO Cache 一致性。并且，在使用龙芯 3B3000 的多片互联系统中，HT0 总线硬件支持多处理器核间 Cache 一致性。

#### 3.1. HyperTransport 接口特性

HyperTransport 接口特性包括：

- 兼容 HyperTransport 1.03/HyperTransport 3.0;
- 接口频率支持 200/400/800/1000/1200/1600/1800/2000/2400Mhz;
- HT1.0 接口宽度支持 8 位模式;
- HT3.0 接口宽度支持 8/16 位模式;
- 每个 16 位总线可单独配置为两个 8 位总线使用;
- 支持 IO Cache 一致性;
- HT0 支持多处理器核间 Cache 一致性;

#### 3.2. 设备模式

HyperTransport 接口包括以下几个配置引脚：

- HTx\_8x2，用于配置每个 HT 总线的工作模式，为 1 表示对应的 HT 总线配置为两个 8 位总线分别使用;
- HTx\_x\_Hostmode，用于配置 HT 总线上单端控制信号的 IO 方向，具体请见表 2.1;

#### 3.3. 系统 HT 接口连接

龙芯 3A3000/3B3000 中的 HyperTransport 接口可以用于系统中的 IO 连接或多处理器互联，不同系统中的连接方式如下所示：

- 龙芯 3A3000 单处理器系统连接。用于 IO 设备连接时，HyperTransport 接口硬件维护 IO Cache 一致性。相比 PCI 接口，减少了软件维护 Cache 一致性协议所产生的开销，一种常见的连接方式如图 3.1 所示：

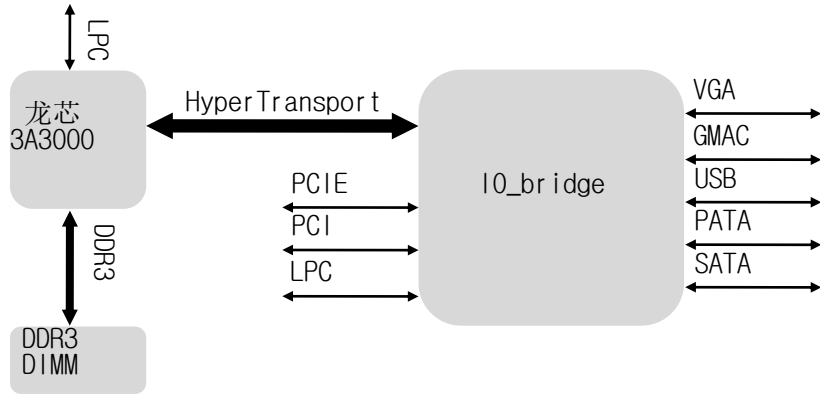


图 3.1 龙芯 3A3000 单处理器系统 HT 接口连接

- 龙芯 3B3000 多处理器系统连接。用于多处理器间互联时，HT0 接口硬件支持处理器核间 Cache 一致性协议，可以使用 HT0 接口构成最多 4 片龙芯 3B3000 处理器的互联系统。如果需要继续扩展，则需要使用 HT1\_LO 接口连接专用桥片。图 3.2、图 3.3 中分别给出了 4 片和 2 片互联的方式：

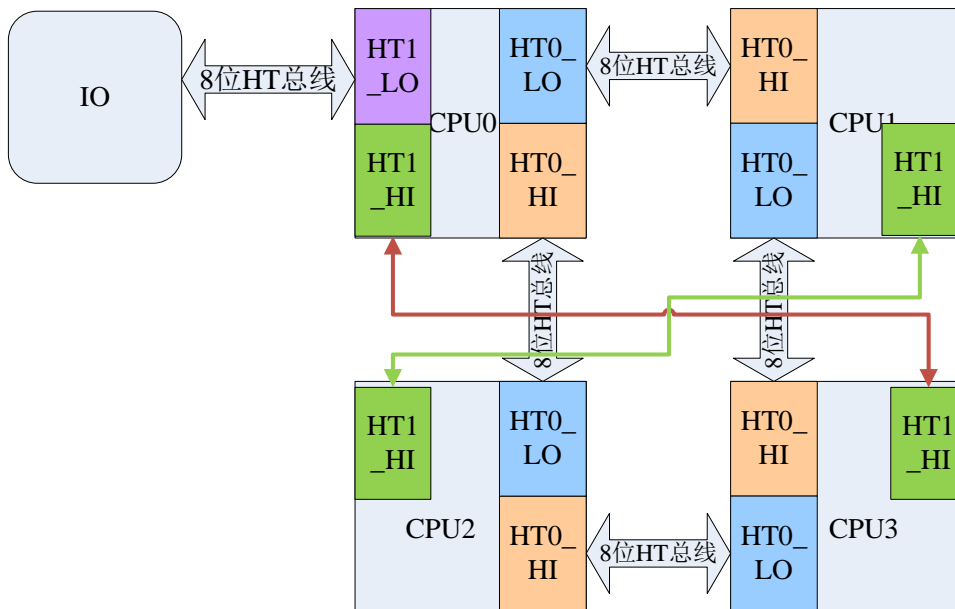


图 3.2 龙芯 3B3000 多处理器系统 HT 接口连接（四片）

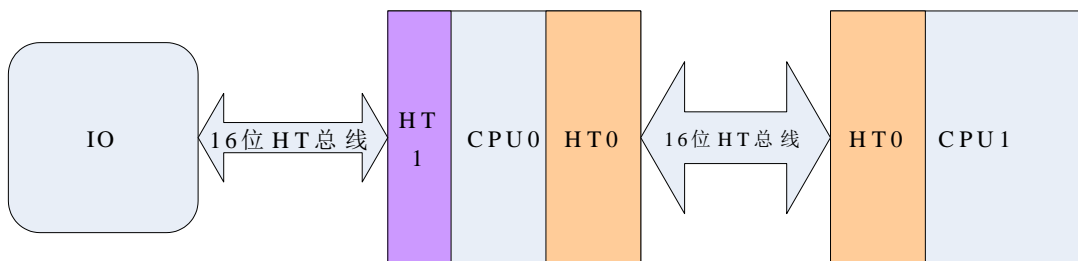


图 3.3 龙芯 3B3000 多处理器系统 HT 接口连接（二片）

## 4. DDR3 SDRAM 控制器接口描述

龙芯 3A3000/3B3000 处理器内部集成的内存控制器的设计遵守 DDR3 SDRAM 的行业标准（JESD79-3）。在龙芯 3A3000/3B3000 处理器中，所实现的所有内存读/写操作都遵守 JESD79-3 的规定。

### 4.1. DDR3 SDRAM 控制器功能概述

龙芯 3A3000/3B3000 处理器支持最大 4 个 CS（由 4 个 DDR3 SDRAM 片选信号实现，即两个双面内存条），一共含有 19 位的地址总线（即：16 位的行列地址总线和 3 位的逻辑 Bank 总线）。

龙芯 3A3000/3B3000 处理器在具体选择使用不同内存芯片类型时，可以调整 DDR3 控制器参数设置进行支持。其中，支持的最大片选（CS<sub>n</sub>）数为 4，行地址（RAS<sub>n</sub>）数为 16，列地址（CAS<sub>n</sub>）数为 15，逻辑体选择（BANK<sub>n</sub>）数为 3。

CPU 发送的内存请求物理地址可以根据控制器内部不同的配置进行多种不同的地址映射。

龙芯 3A3000/3B3000 处理器所集成的内存控制电路只接受来自处理器或者外部设备的内存读/写请求，在所有的内存读/写操作中，内存控制电路处于从设备状态（Slave State）。

龙芯 3A3000/3B3000 处理器中内存控制器具有如下特征：

- 接口上命令、读写数据全流水操作
- 内存命令合并、排序提高整体带宽
- 配置寄存器读写端口，可以修改内存设备的基本参数
- 内建动态延迟补偿电路（DCC），用于数据的可靠发送和接收
- ECC 功能可以对数据通路上的 1 位和 2 位错误进行检测，并能对 1 位错误进行自动纠错
- 支持内存地址镜像功能
- 支持 x8、x16 颗粒，不支持 x4 颗粒
- 支持 133-800MHZ 工作频率

### 4.2. DDR3 SDRAM 读操作协议

DDR3 SDRAM 读操作的协议如所示。在图 4.1 中命令（Command，简称 CMD）由 RAS<sub>n</sub>，CAS<sub>n</sub> 和 WE<sub>n</sub>，共三个信号组成。对于读操作，RAS<sub>n</sub>=1，CAS<sub>n</sub>=0，WE<sub>n</sub>=1。

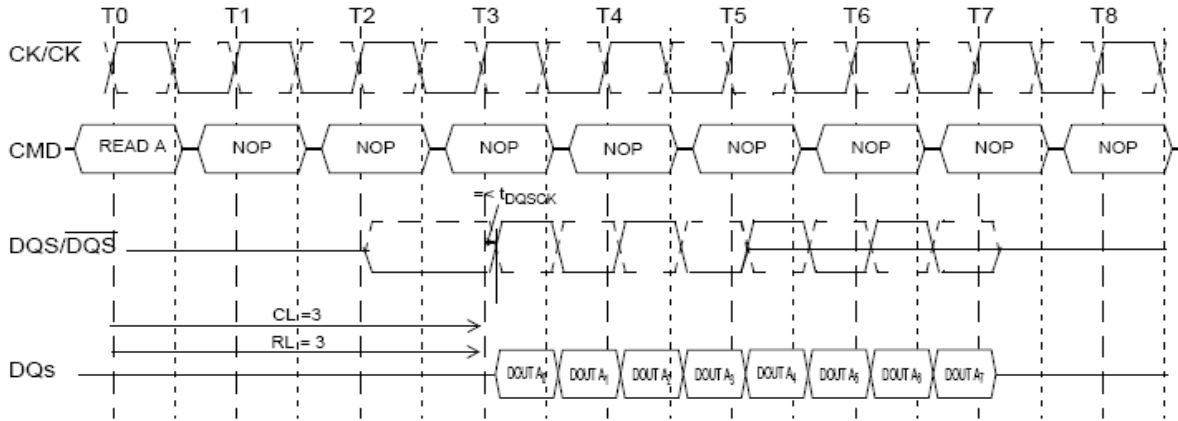


图 4.1 DDR3 SDRAM 读操作协议

上图中, Cas Latency (CL) = 3, Read Latency (RL) = 3, Burst Length = 8。

### 4.3. DDR3 SDRAM 写操作协议

DDR3 SDRAM 写操作的协议如图 4.2 所示。在图中命令 CMD 是由 RAS<sub>n</sub>, CAS<sub>n</sub> 和 WE<sub>n</sub>, 共三个信号组成的。对于写操作, RAS<sub>n</sub>=1, CAS<sub>n</sub>=0, WE<sub>n</sub>=0。另外, 与读操作不同, 写操作需要 DQM 来标识写操作的掩码, 即需要写入的字节数。DQM 与图中 DQs 信号同步。

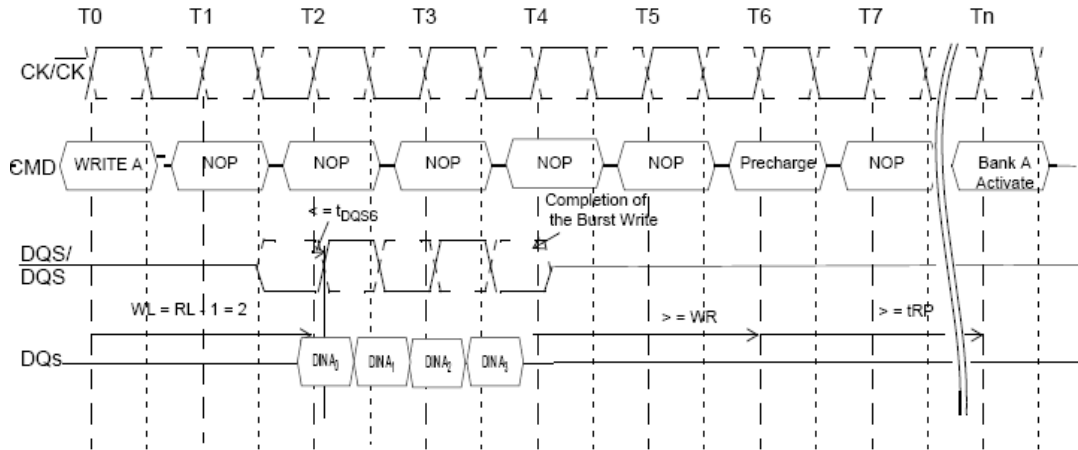


图 4.2 DDR3 SDRAM 写操作协议

上图中, Cas Latency (CL) = 3, Write Latency (WL) = Read Latency (RL) - 1 = 2, Burst Length = 4。

### 4.4. 初始化操作

内存控制器必须经过软件初始化之后, 才可以正常使用, 以下为对控制器进行初始化的具体方法。

初始化操作由软件向寄存器 Init\_start (0x018) 写入 1 时开始, 在设置 Init\_start

信号之前，必须将其它所有寄存器设置为正确的值。

软硬件协同的 DRAM 初始化过程如下：

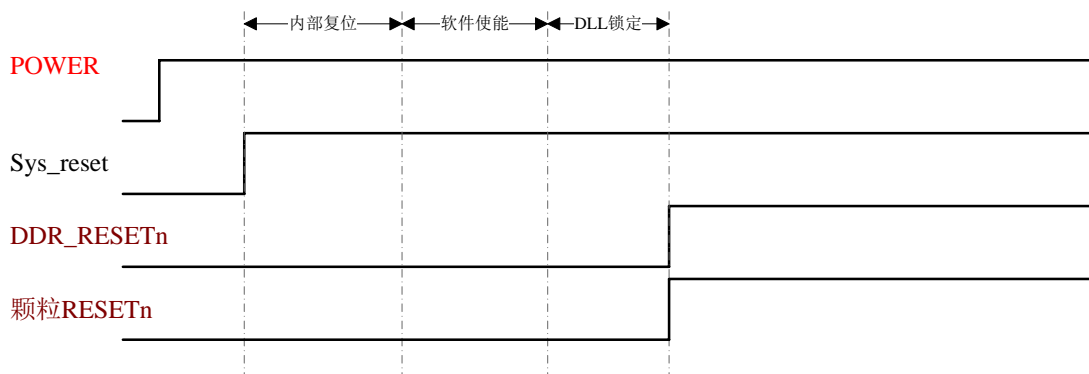
- (1) 软件向所有的寄存器写入正确的配置值，但是 Init\_start (0x018) 在这一过程中必须保持为 0；
- (2) 软件将 Init\_start (0x018) 设置为 1，这将导致硬件初始化的开始；
- (3) PHY 内部开始初始化操作，DLL 将尝试进行锁定操作。如果锁定成功，则可以从 Dll\_init\_done (0x000) 读出对应状态，并可以从 Dll\_value\_ck (0x000) 读写当前锁定延迟线个数；如果锁定不成功，则初始化不会继续进行（此时可以通过设置 Dll\_bypass (0x018) 使得初始化继续执行）；
- (4) DLL 锁定（或者 bypass 设置）之后，控制器将根据对应 DRAM 的初始化要求向 DRAM 发出相应的初始化序列，例如对应的 MRS 命令，ZQCL 命令等等；
- (5) 软件可以通过采样 Dram\_init (0x160) 寄存器来判断内存初始化操作是否完成。

## 4.5. 复位引脚的控制

为了在 STR 等状态下更加简单地控制复位引脚，可以通过 reset\_ctrl (0x150) 寄存器进行特别的复位引脚 (DDR\_RESETh) 控制，主要的控制模式有两种：

- (1) 一般模式，reset\_ctrl[1:0] == 2' b00。这种模式下，复位信号引脚的行为与一般的控制模式相兼容。主板上直接将 DDR\_RESETh 与内存槽上的对应引脚相连。引脚的行为是：
  - 未上电时：引脚状态为低；
  - 上电时：引脚状态为低；
  - 控制器开始初始化时，引脚状态为高；
  - 正常工作时，引脚状态为高。

时序如下图所示：

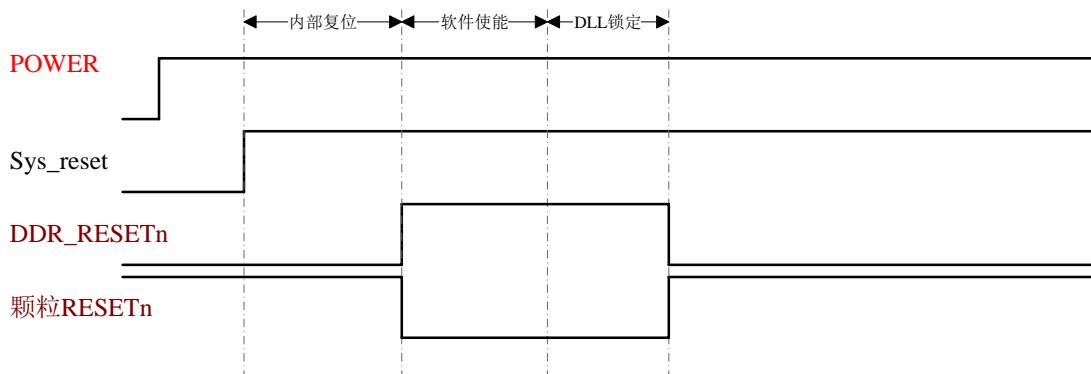


- (2) 反向模式，reset\_ctrl[1:0] == 2' b10。这种模式下，复位信号引脚在进行内

存实际控制的时候，有效电平与一般的控制模式相反。所以主板上需要将 DDR\_RESETn 通过反向器与内存槽上的对应引脚相连。引脚的行为是：

- 未上电时：引脚状态为低；
- 上电时：引脚状态为低；
- 控制器开始配置时：引脚状态为高；
- 控制器开始初始化时：引脚状态为低；
- 正常工作时：引脚状态为低。

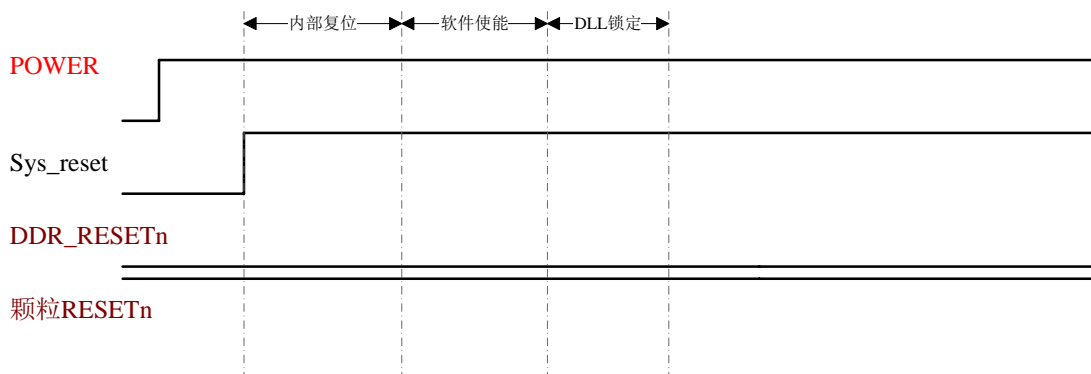
时序如下图所示：



(3) 复位禁止模式，`pm_reset_ctrl[1:0] == 2' b01`。这种模式下，复位信号引脚在整个内存工作期间，保持低电平。所以主板上需要将 DDR\_RESETn 通过反向器与内存槽上的对应引脚相连。引脚的行为是：

- 始终为低；

时序如下图所示：



由后两种复位模式相配合，就可以直接在使用内存控制器的复位信号的情况下实现 STR 控制。当整个系统从关闭状态下启动时，使用（2）中的方法来使用内存条正常复位并开始工作。当系统从 STR 中恢复的时候，使用（3）中的方法来重新配置内存条，使得在不破坏内存条原有状态的条件下使其重新开始正常工作。

## 5. 复位时序要求

龙芯 3A3000/3B3000 的上电时序并没有特殊要求，推荐先上Core电，再上IO电。

龙芯 3A3000/3B3000 的初始化分为Core时钟域、DDR3 时钟域、HT相关时钟域和PCI时钟域。

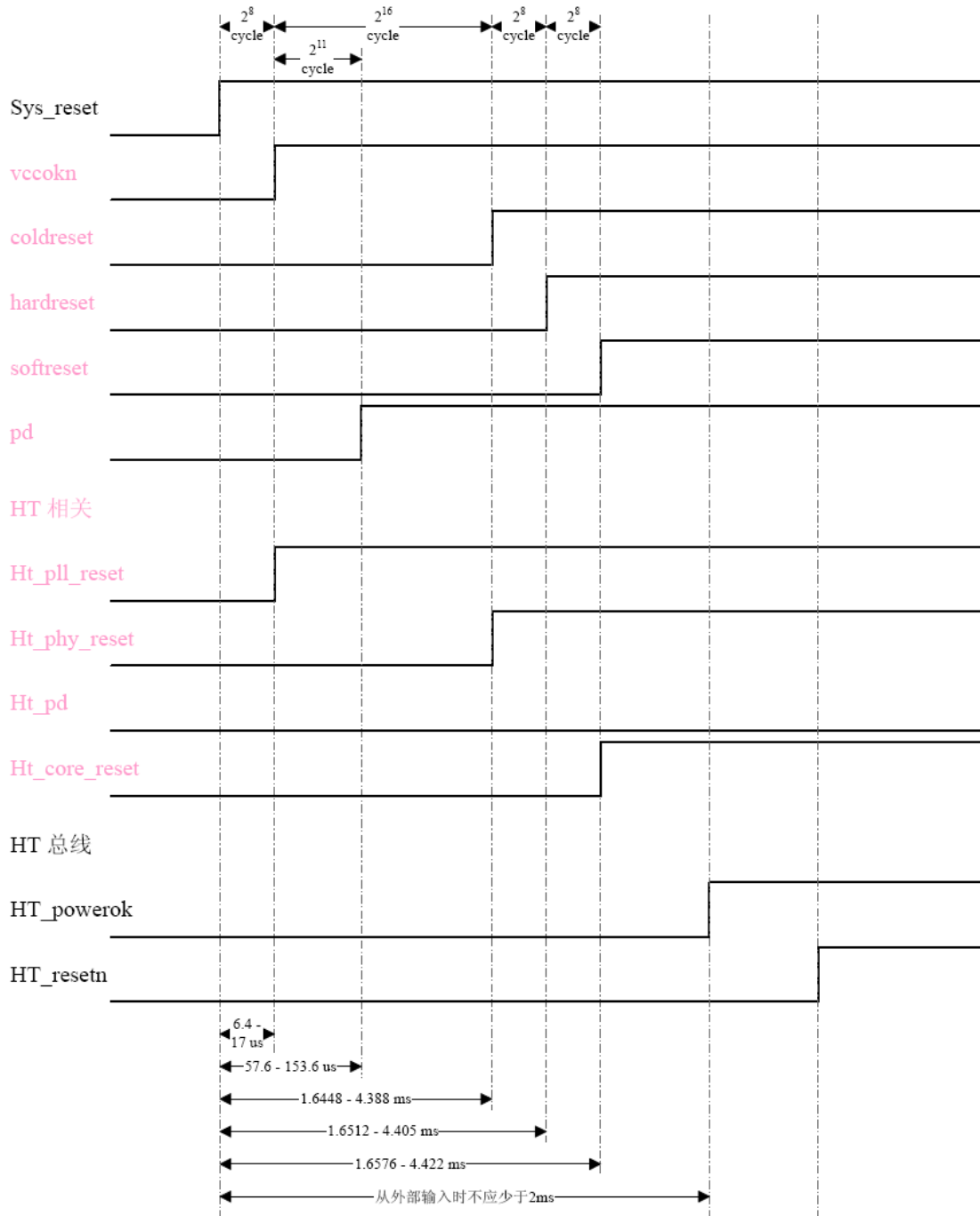
**当处理器复位信号SYSRESETn为低时，相关的时钟，测试信号和初始化信号都必须有效。这些信号包括：**

- SYSCLK, MEMCLK, HTCLK, PCI\_CLK, CLKSEL, 差分时钟 ht0\_clkp/ht0\_clkn 和差分时钟 ht1\_clkp/ht1\_clkn, 这些信号必须稳定。
- 初始化信号 PCI\_CONFIG 应该被设置为合适的值。
- ICCEN 和 NODE\_ID 必须稳定（在复位结束前设置完毕并保持不变，信号意义见下文第二段）。

当SYSRESETn变高后，处理器内部的复位逻辑开始初始化芯片。SYSRESETn应在电源稳定后保持至少 100ms有效，以保证复位逻辑能可靠采样。PCI时钟域将会被首先初始化以保证龙芯 3A3000/3B3000 中基本配置寄存器的有效，当龙芯 3A3000/3B3000 作为PCI Master时还会输出PCI\_RESEn来复位外部PCI设备。此后Core、DDR3 和HT时钟域相继初始化完成并根据配置引脚的输入去复位外部设备。

ICCN信号为Inter Connection Cache Coherence Enable的缩写，此信号用于多片互联时维护cache一致性。NODE\_ID信号用于在多片互联时用来设置处理器号。

龙芯 3A3000/3B3000 的复位时序图如下图 5.1 所示，图中黑色信号为外部信号，浅色信号为内部信号，用户无需关心：





## 6. 电气特性

### 6.1. 绝对最大额定值

表 6.1 绝对最大额定值

Parameter	Description	Min.	Max.	Unit
VDD	Core Supply Voltage	-0.3	1.35	V
VDDE3V3	Chip IO supply	-0.3	3.63	V
HT_VDD	HT core supply	-0.3	1.35	V
HT_VDDE	HT IO supply	-0.3	2.2	V
MEM_VDD_0/1	DDR3 memory core supply	-0.3	1.35	V
MEM_VDDE_0/1	DDR3 MEM IO supply	-0.5	2.3	V
Tstg	Storage Temperature	-55	100	°C

静电放电敏感度 ( ESD ) : HBM-1000V

### 6.2. HyperTransport 总线接口特性

#### 6.2.1. HyperTransport 推荐直流工作条件

表 6.2 HyperTransport 直流工作条件

Symbol	Parameter	Min.	Typ.	Max.	Unit
$V_{OD}$	Output Differential Voltage	495	600	715	mV
$\Delta V_{OD}$	Change in $V_{OD}$ from 0 to 1 State	-15	0	15	mV
$V_{OCM}$	Output Common Mode Voltage	495	600	715	mV
$\Delta V_{OCM}$	Change in $V_{OCM}$ from 0 to 1 State	-15	0	15	mV
$V_{ID}$	Input Differential Voltage	200	600	1000	mV
$\Delta V_{ID}$	Change in $V_{ID}$ from 0 to 1 State	-15	0	15	mV
$V_{ICM}$	Input Common Mode Voltage	440	600	780	mV
$\Delta V_{ICM}$	Change in $V_{ICM}$ from 0 to 1 State	-15	0	15	mV
$R_{TT}$	Input Differential Impedance	90	100	110	Ohm
$R_{ON}$ (pull up)	Output Driver Impedance driving high	45	50	55	Ohm
$R_{ON}$ (pull down)	Output Driver Impedance driving low	45	50	55	Ohm
$C_{out}$	Output pad capacitance for devices rated above 800 MT/s.			3	pF
	Output pad capacitance for devices rated up to 800 MT/s.			5	pF
$C_{in}$	Input pad capacitance for devices rated above 800 MT/s.			2	pF
	Input pad capacitance for devices rated up to 800 MT/s.			5	pF

## 6.2.2. HyperTransport 推荐交流工作条件

表 6.3 HyperTransport 交流工作条件

Symbol	Parameter	Min.	Typ.	Max.	Unit
$V_{OD}$	Output Differential Voltage	400	600	820	mV
$\Delta V_{OD}$	Change in $V_{OD}$ from 0 to 1 State	-75		75	mV
$V_{OCM}$	Output Common Mode Voltage	440	600	780	mV
$\Delta V_{OCM}$	Change in VOVM from 0 to 1 State	-50		50	mV
$V_{ID}$	Input Differential Voltage	300	600	900	mV
$\Delta V_{ID}$	Change in $V_{ID}$ from 0 to 1 State	-125		125	mV
$V_{ICM}$	Input Common Mode Voltage	385	600	845	mV
$\Delta V_{ICM}$	Change in $V_{ICM}$ from 0 to 1 State	-100		100	mV
$T_R$	Input Rising Edge Rate	1.0		4.0	V/ns
$T_F$	Input Falling Edge Rate	1.0		4.0	V/ns

## 6.2.3. 传输时序特性

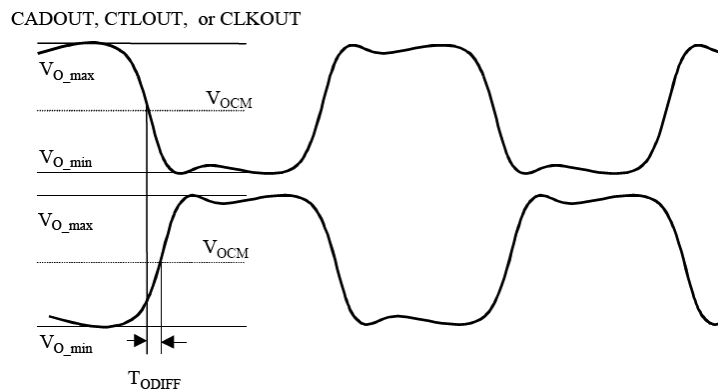


图 6.1 HyperTransport 总线  $T_{ODIFF}$  时序

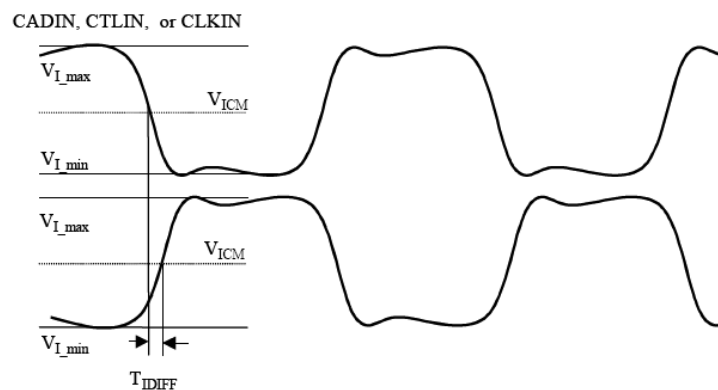


图 6.2 HyperTransport 总线  $T_{DIFF}$  时序

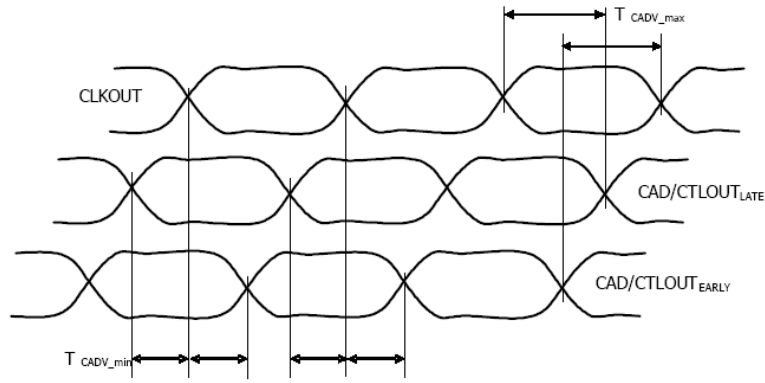


图 6.3 HyperTransport 总线  $T_{CADV}$  时序

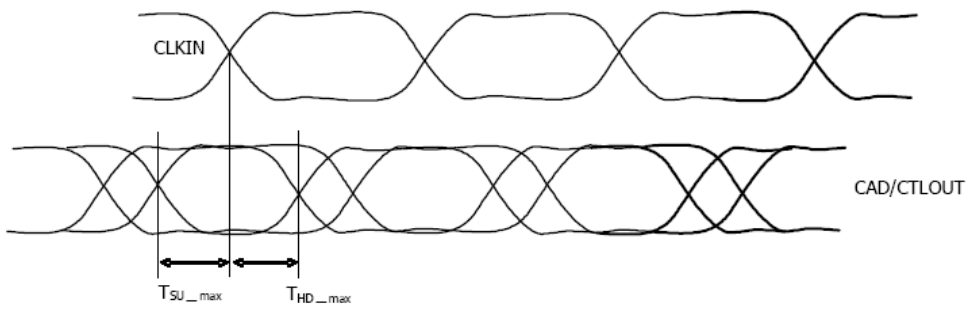


图 6.4 HyperTransport 总线  $T_{SU}$  和  $T_{HD}$  时序

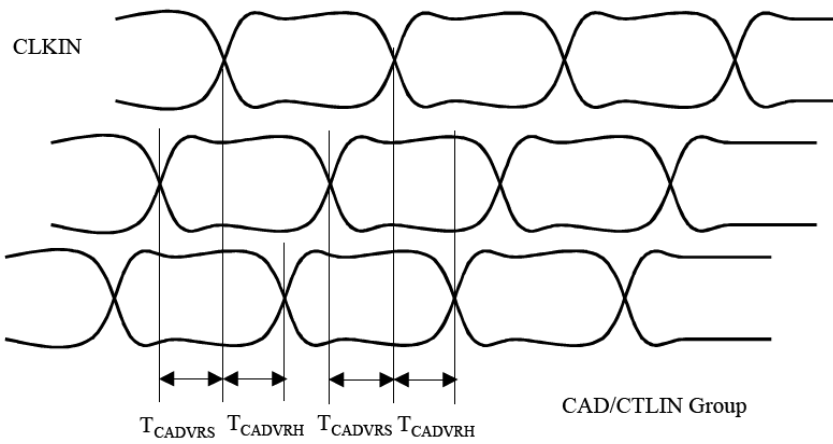


图 6.5 HyperTransport 总线  $T_{CADVRS} / T_{CADVRH}$  时序

表 6.4 HyperTransport 连接传输时序规范

Parameter	Description	Link Speed	Min.	Max.	Units
$T_{ODIFF}$	Output differential skew	400 MT/s		70	ps
		600 MT/s		70	ps
		800 MT/s		70	ps
		1000 MT/s		60	ps
		1200 MT/s		60	ps
		1600 MT/s		60	ps
		2000 MT/s		60	ps
		2400 MT/s		40	ps

		2800 MT/s		40	ps
$T_{IDIFF}$	Input differential skew	400 MT/s		90	
		600 MT/s		90	ps
		800 MT/s		90	ps
		1000 MT/s		65	ps
		1200 MT/s		65	ps
		1600 MT/s		65	ps
		2000 MT/s		65	ps
		2400 MT/s		45	ps
		2800 MT/s		45	
$T_{CADV}$	Transmitter output CAD/CTLOUT valid relative to CLKOUT	400 MT/s	695	1805	ps
		600 MT/s	467	1200	ps
		800 MT/s	345	905	ps
		1000 MT/s	280	720	ps
		1200 MT/s	234	600	ps
		1600 MT/s	166	459	ps
		2000 MT/s	183		ps
		2400 MT/s	123		ps
		2800 MT/s	110		ps
$T_{CADVRS}$	Receiver input CADIN valid time to CLKIN	400 MT/s	460		ps
		600 MT/s	312		ps
		800 MT/s	225		ps
		1000 MT/s	194		ps
		1200 MT/s	166		ps
		1600 MT/s	120		ps
		2000 MT/s	92		ps
		2400 MT/s	86		ps
		2800 MT/s	78		ps
$T_{CADVRH}$	Receiver input CADIN valid time from CLKIN	400 MT/s	460		ps
		600 MT/s	312		ps
		800 MT/s	225		ps
		1000 MT/s	194		ps
		1200 MT/s	166		ps
		1600 MT/s	120		ps
		2000 MT/s	105		ps
		2400 MT/s	86		ps
		2800 MT/s	78		ps
$T_{SU}$	Receiver input setup time	400 MT/s	0	250	ps
		600 MT/s	0	215	ps
		800 MT/s	0	175	ps
		1000 MT/s	0	153	ps
		1200 MT/s	0	138	ps
		1600 MT/s	0	110	ps
		2000 MT/s	0	85	ps
		2400 MT/s	0	79	ps
		2800 MT/s	0	71	ps
$T_{HD}$	Receiver input hold time	400 MT/s	0	250	ps
		600 MT/s	0	215	ps
		800 MT/s	0	175	ps
		1000 MT/s	0	153	ps
		1200 MT/s	0	138	ps
		1600 MT/s	0	110	ps
		2000 MT/s	0	98	ps
		2400 MT/s	0	79	ps
		2800 MT/s	0	71	ps

## 6.3. DDR3 内存接口特性

### 6.3.1. 推荐的直流工作条件

表 6.5 推荐的直流工作条件

Symbol	Parameter	Min.	Typ.	Max.	Unit
VDD	Supply Voltage	1.425	1.5	1.575	V
VDDQ	Supply Voltage for Output	1.425	1.5	1.575	V

### 6.3.2. 交流和直流逻辑输入电平

#### 6.3.2.1. 单端信号的交流和直流输入电平

表 6.6 控制信号和地址单端信号的交流和直流输入电平

Symbol	Parameter	DDR3-800/1066/1333/1600		Unit
		Min	Max	
VIH.CA(DC100)	DC input logic high	Vref + 0.100	VDD	V
VIL.CA(DC100)	DC input logic low	VSS	Vref - 0.100	V
VIH.CA(AC175)	AC input logic high	Vref + 0.175	Note 2	V
VIL.CA(AC175)	AC input logic low	Note 2	Vref - 0.175	V
VIH.CA(AC150)	AC input logic high	Vref + 0.150	Note 2	V
VIL.CA(AC150)	AC input logic low	Note 2	Vref - 0.150	V
VRefCA(DC)	Reference Voltage for ADD, CMD inputs	0.49 * VDD	0.51 * VDD	V

表 6.7 DQ 和 DM 单端信号的交流和直流输入电平

Symbol	Parameter	DDR3-800, DDR3-1066		DDR3-1333, DDR3-1600		Unit
		Min	Max	Min	Max	
VIH.DQ(DC100)	DC input logic high	Vref + 0.100	VDD	Vref + 0.100	VDD	V
VIL.DQ(DC100)	DC input logic low	VSS	Vref - 0.100	VSS	Vref - 0.100	V
VIH.DQ(AC175)	AC input logic high	Vref + 0.175	-	-	-	V
VIL.DQ(AC175)	AC input logic low	-	Vref - 0.175	-	-	V
VIH.DQ(AC150)	AC input logic high	Vref + 0.150	-	Vref + 0.150	-	V
VIL.DQ(AC150)	AC input logic low	-	Vref - 0.150	-	Vref - 0.150	V
VRefDQ(DC)	Reference Voltage for DQ, DM inputs	0.49 * VDD	0.51 * VDD	0.49 * VDD	0.51 * VDD	V

### 6.3.2.2. 差分信号的交流和直流输入电平

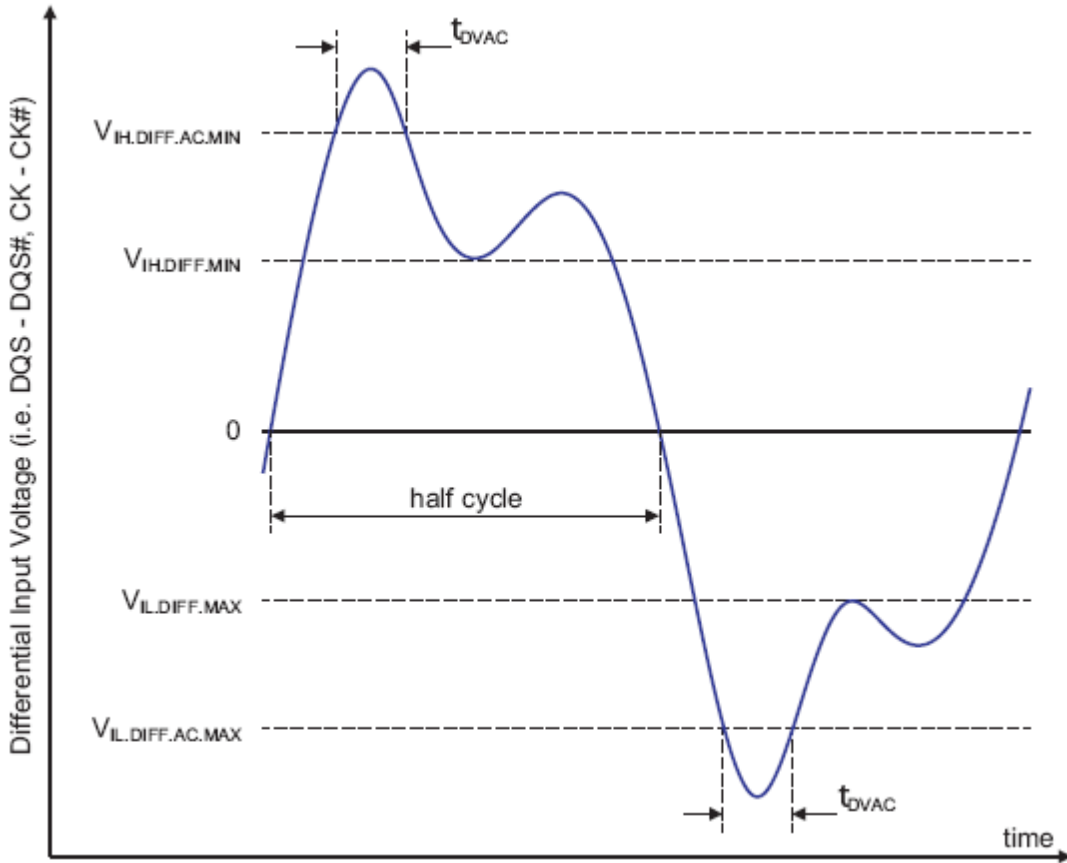


图 6.6 ac-swing 和 ac-level 时间点 (tDVA) 的差分定义

表 6.8 交流和直流的差分输入电平

Symbol	Parameter	DDR3-800,1066		Unit
		Min	Max	
V <sub>IHdiff</sub>	Differential input high	+ 0.200	note 3	V
V <sub>ILdiff</sub>	Differential input logic low	Note 3	- 0.200	V
V <sub>IHdiff(ac)</sub>	Differential input high ac	2 x (V <sub>IH(ac)</sub> - V <sub>ref</sub> )	Note 3	V
V <sub>ILdiff(ac)</sub>	Differential input low ac	note 3	2 x (V <sub>IL(ac)</sub> - V <sub>ref</sub> )	V

### 6.3.2.3. 差分信号输入的交叉点电压

为了保证严格的建立和保持时钟和选通时间以及输出偏差参数，每个交叉点电压的差分输入信号（CK，CK#和DQS，DQS#）必须满足表 28 的要求。差分输入的交叉点电压VIX的测量是从实际的交叉点的和补偿信号的VDD和VSS之间的中间点处获得。

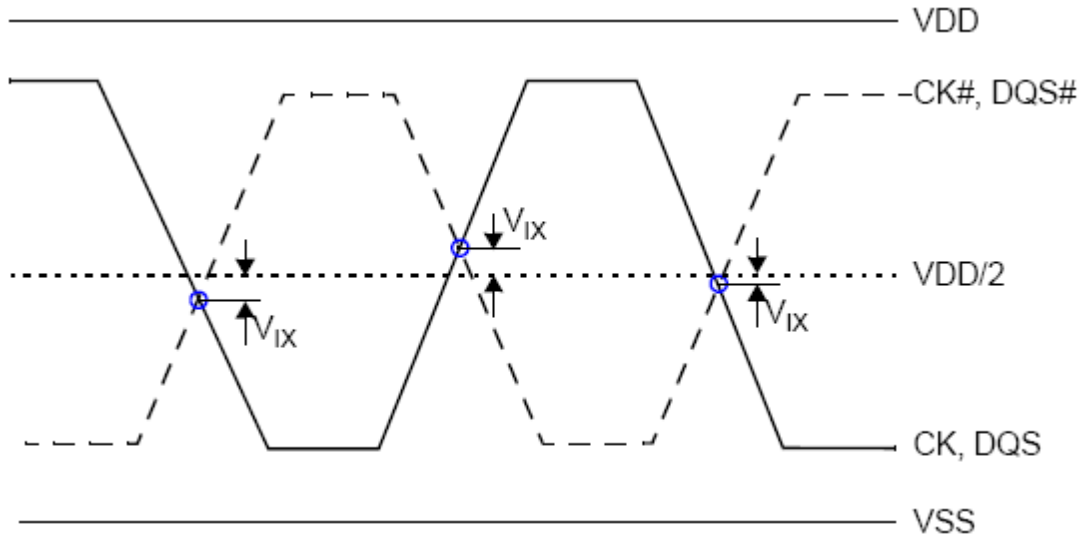


图 6.7  $V_{ix}$  定义

表 6.9 差分输入信号(CK, DQS)交叉点电压

Symbol	Parameter	DDR3-800, DDR3-1066, DDR3-1333, DDR3-1600		Unit
		Min.	Max.	
VIX	Differential Input Cross Point Voltage relative to VDD/2 for CK,CK#	-150	150	mV
		-175	175	mV
VIX	Differential Input Cross Point Voltage relative to VDD/2 for DQS, DQS#	-150	150	mV

### 6.3.3. 交流和直流逻辑输出电平

#### 6.3.3.1. 单端信号的交流 and 直流输出电平

表 6.10 单端信号的交流直流输出电平

Symbol	Parameter	DDR3-800, 1066, 1333, and 1600	Unit
VOH(DC)	DC output high measurement level (for IV curve linearity)	$0.8 \times V_{DDQ}$	V
VOM(DC)	DC output mid measurement level (for IV curve linearity)	$0.5 \times V_{DDQ}$	V
VOL(DC)	DC output low measurement level (for IV curve linearity)	$0.2 \times V_{DDQ}$	V
VOH(AC)	AC output high measurement level (for output SR)	$V_{TT} + 0.1 \times V_{DDQ}$	V
VOL(AC)	AC output low measurement level (for output SR)	$V_{TT} - 0.1 \times V_{DDQ}$	V

#### 6.3.3.2. 差分信号的交流 and 直流输出电平

表 6.11 差分信号的交流 and 直流输出电平

Symbol	Parameter	DDR3-800, 1066, 1333, and 1600	Unit
VOHdiff(AC)	AC differential output high measurement level (for output SR)	$+ 0.2 \times V_{DDQ}$	V

VOLdiff(AC)	AC differential output low measurement level (for output SR)	- 0.2 x VDDQ	V
-------------	--	--------------	---

### 6.3.3.3. 单端信号的输出斜率

作为时序测量的参考负载，单端信号的下降沿和上升沿输出斜率的定义和测量在VOL(AC)和VOH(AC)之间，如表 7.21 和图 7.9 所示。

表 6.12 单端信号输出斜率的定义

Description	Measured		Defined by
	from	to	
Single-ended output slew rate for rising edge	VOL(AC)	VOH(AC)	$[VOH(AC) - VOL(AC)] / \Delta TRse$
Single-ended output slew rate for falling edge	VOH(AC)	VOL(AC)	$[VOH(AC) - VOL(AC)] / \Delta TFse$

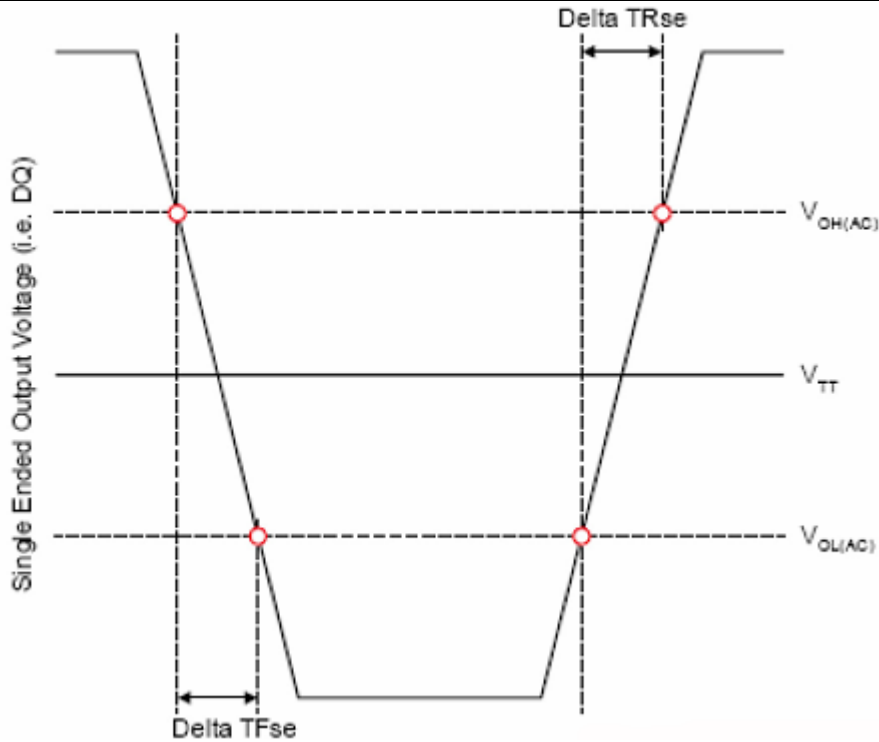


图 6.8 单端输出斜率的定义

表 6.13 单端的输出斜率

Parameter	Symbol	DDR3-800		DDR3-1066		Unit
		Min.	Max.	Min.	Max.	
Single-ended Output Slew Rate	SRQse	2.5	5	2.5	5	V/ns

### 6.3.3.4. 差分输出斜率

表 6.14 差分输出斜率的定义

Description	Measured		Defined by
	from	to	



Differential output slew rate for rising edge	VOLdiff(AC)	VOHdiff(AC)	$[VOHdiff(AC) - VOLdiff(AC)]/DeltaTRdiff$
Differential output slew rate for falling edge	VOHdiff(AC)	VOLdiff(AC)	$[VOHdiff(AC) - VOLdiff(AC)]/DeltaTFdiff$

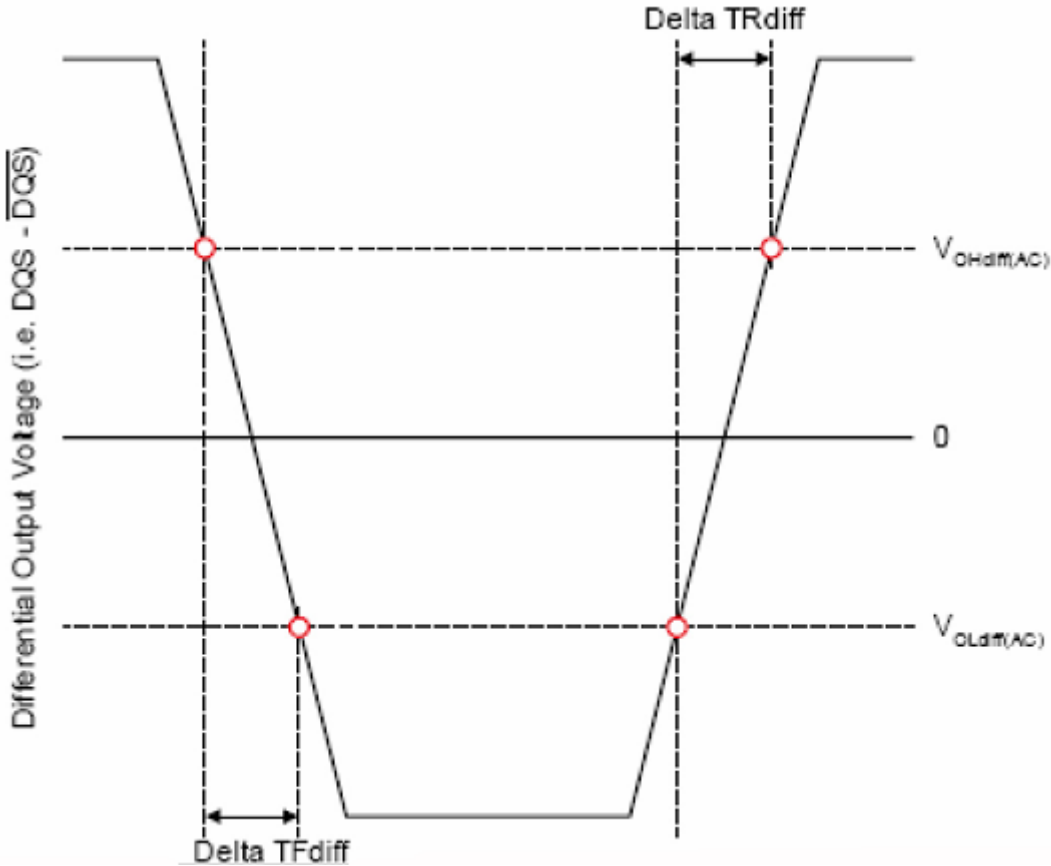


图 6.9 差分输出斜率的定义

表 6.15 差分输出斜率

		DDR3-800		DDR3-1066		DDR3-1333		DDR3-1600		Units
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	
Differential Output Slew Rate	SRQdiff	5	10	5	10	5	10	TBD	10	V/ns

### 6.3.3.5. 上冲和下冲的规范

表 6.16 地址和控制引脚的交流上冲/下冲规范

Parameter	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	Units
Maximum peak amplitude allowed for overshoot area.	0.4	0.4	0.4	0.4	V
Maximum peak amplitude allowed for undershoot area.	0.4	0.4	0.4	0.4	V
Maximum overshoot area above VDD	0.67	0.5	0.4	0.33	V-ns
Maximum undershoot area below VSS	0.67	0.5	0.4	0.33	V-ns
(A0-A15, BA0-BA3, CS#, RAS#, CAS#, WE#, CKE, ODT)					

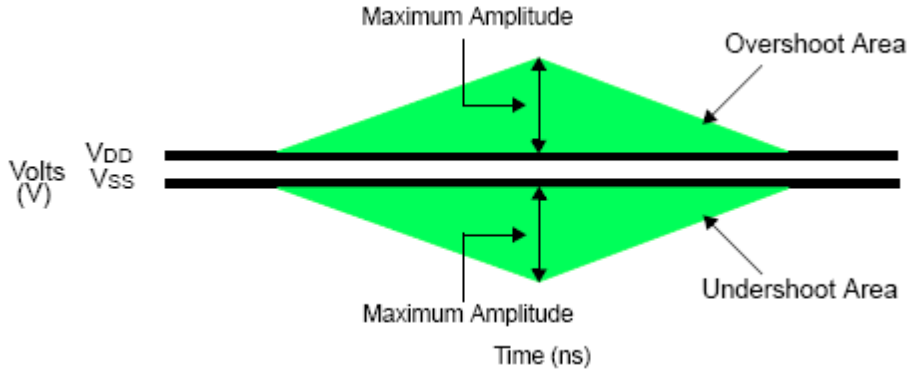


图 6.10 地址和控制的上冲和下冲定义

表 6.17 时钟，数据，选通和屏蔽信号的交流上冲/下冲规范

	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	Units
Maximum peak amplitude allowed for overshoot area.	0.4	0.4	0.4	0.4	V
Maximum peak amplitude allowed for undershoot area.	0.4	0.4	0.4	0.4	V
Maximum overshoot area above VDDQ	0.25	0.19	0.15	0.13	V-ns
Maximum undershoot area below VSSQ	0.25	0.19	0.15	0.13	V-ns
(CK, CK#, DQ, DQS, DQS#, DM)					

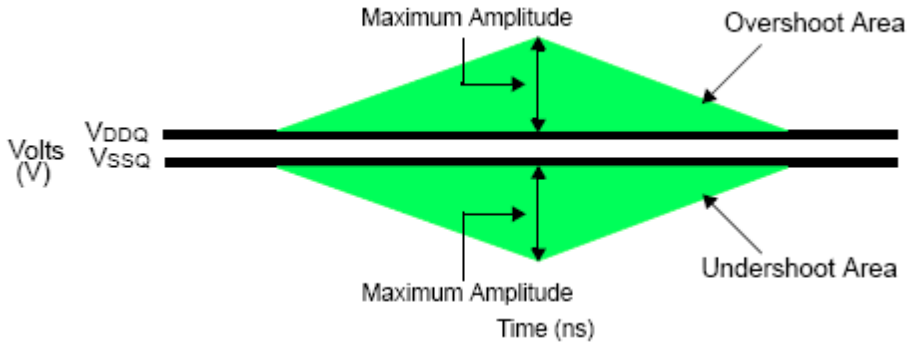


图 6.11 时钟，数据，选通和屏蔽信号的交流上冲和下冲定义

### 6.3.3.6. ODT 时序定义

表 6.18 ODT 时序定义

Symbol	Begin Point Definition	End Point Definition	Figure
tAON	Rising edge of CK -CK# defined by the end point of ODTLon	Extrapolated point at VSSQ	Figure 103
tAONPD	Rising edge of CK -CK# with ODT being first registered high	Extrapolated point at VSSQ	Figure 104
tAOF	Rising edge of CK -CK# defined by the end point of ODTLoff	End point: Extrapolated point at VRTT_Nom	Figure 105
tAOFPD	Rising edge of CK -CK# with ODT being first registered low	End point: Extrapolated point at VRTT_Nom	Figure 106

tADC	Rising edge of CK -CK# defined by the end point of ODTLcnw, ODTLcwn4 or ODTLcwn8	End point: Extrapolated point at VRTT_Wr and VRTT_Nom respectively	Figure 107
------	--	--	------------

表 6.19 ODT 时序测量的参考设置

Measured Parameter	RTT_Nom Setting	RTT_Wr Setting	VSW1[V]	VSW2[V]
tAON	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAONPD	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAOF	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAOFPD	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAD	RZQ/12	RZQ/2	0.20	0.30

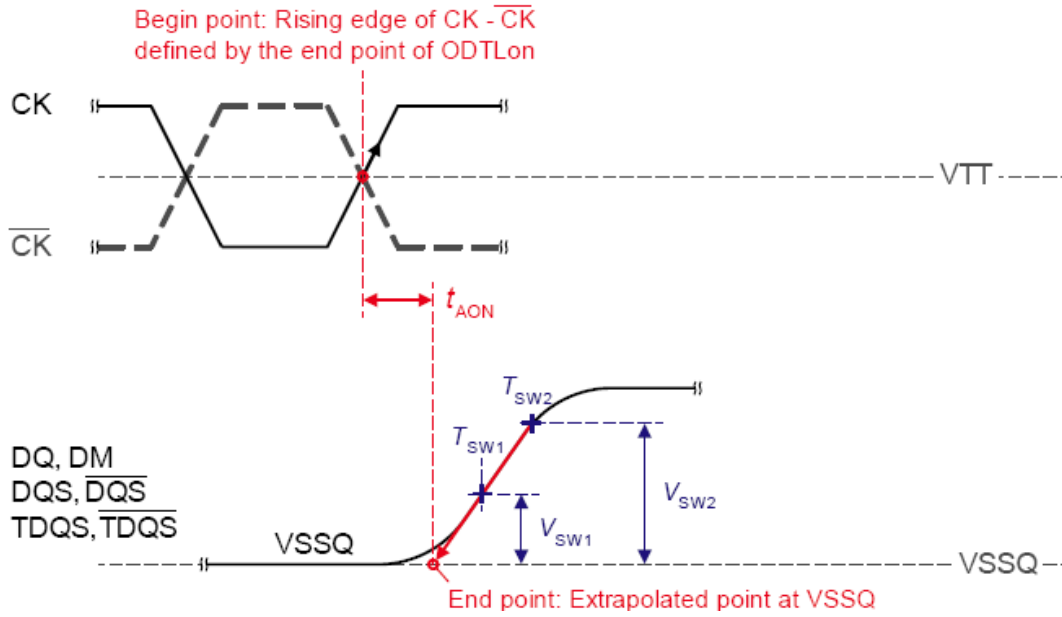


图 6.12 tAON 的定义

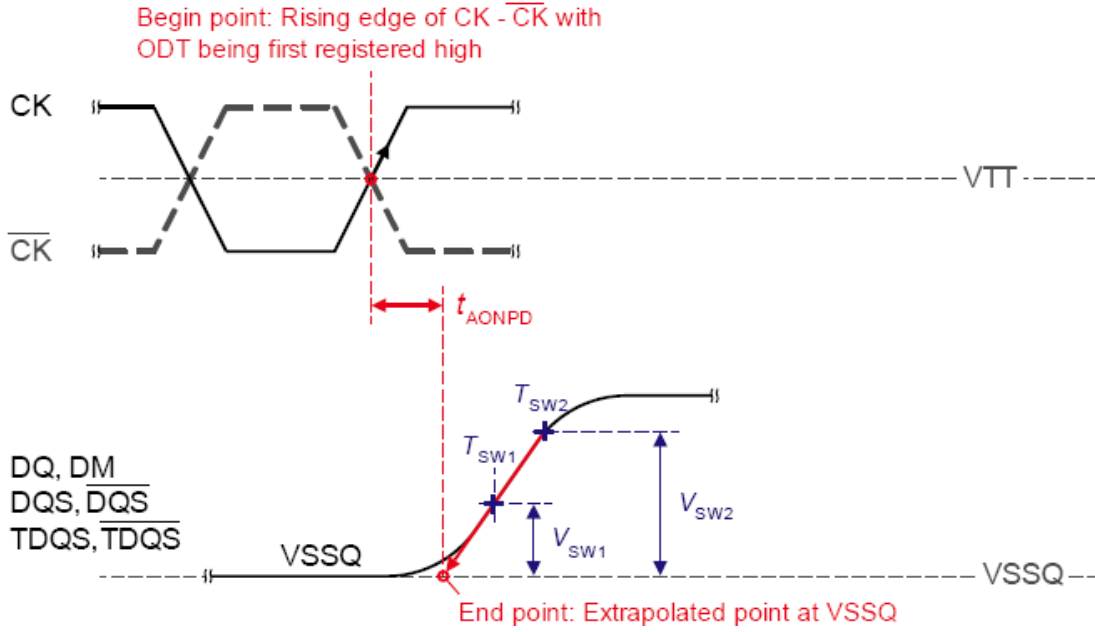


图 6.13 tAONPD 的定义

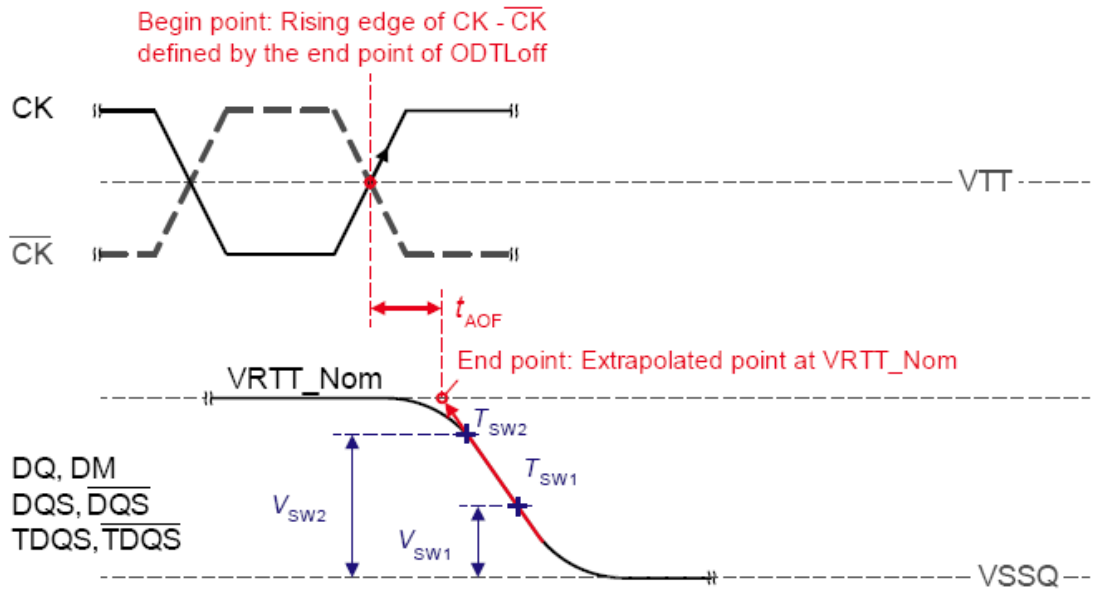


图 6.14 tAOF 的定义

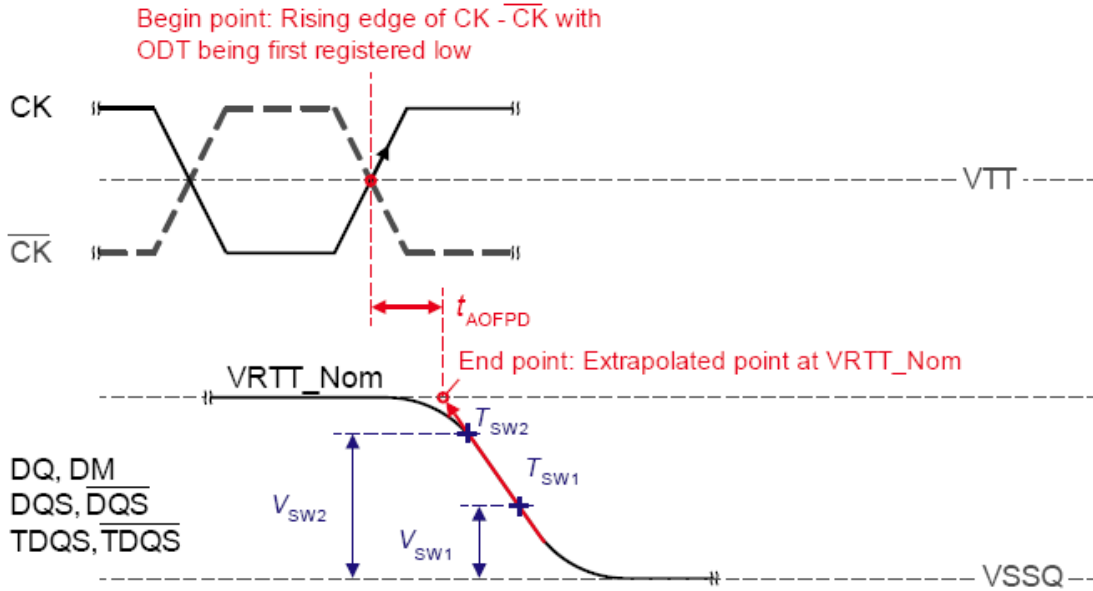


图 6.15 tAOFPD 的定义

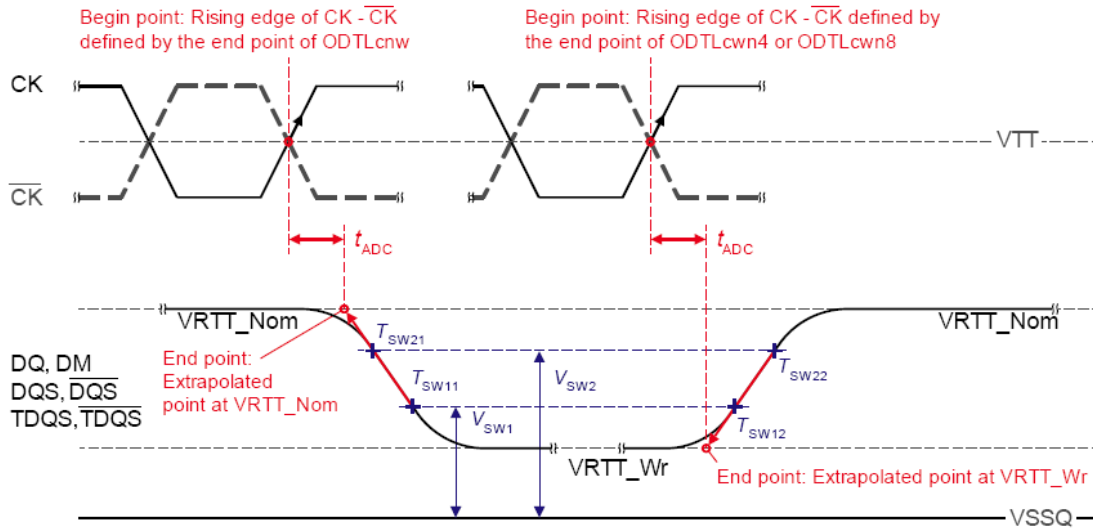


图 6.16 tADC 的定义

### 6.3.4. IDD 和 IDDQ 规范的参数和测试条件

表 6.20 IDD 和 IDDQ 测量循环模式的时序

Symbol	DDR3-800		DDR3-1066				DDR3-1333				DDR3-1600				Unit
	5-5-5	6-6-6	6-6-6	7-7-7	8-8-8	7-7-7	8-8-8	9-9-9	10-10-10	8-8-8	9-9-9	10-10-10	11-11-11		
tCK	2.5		1.875				1.5				1.25				ns
CL	5	6	6	7	8	7	8	9	10	8	9	10	11	nCK	
nRCD	5	6	6	7	8	7	8	9	10	8	9	10	11	nCK	
nRC	20	21	26	27	28	31	32	33	34	36	37	38	39	nCK	
nRAS	15		20				24				28				nCK
nRP	5	6	6	7	8	7	8	9	10	8	9	10	11	nCK	

nFAW	1KBpagesize	16	20	20	24	nCK
	2KB page size	20	27	30	32	nCK
nRRD	1KB page size	4	4	4	5	nCK
	2KB page size	4	6	5	6	nCK
nRFC 512 Mb		36	48	60	72	nCK
nRFC 1 Gb		44	59	74	88	nCK
nRFC 2 Gb		64	86	107	128	nCK
nRFC 4 Gb		120	160	200	240	nCK
nRFC 8 Gb		140	187	234	280	nCK

### 6.3.5. 输入/输出电容

表 6.21 输入/输出电容

Parameter	Symbol	DDR3-800		DDR3-1066		DDR3-1333		DDR3-1600		Units
		Min	Max	Min	Max	Min	Max	Min	Max	
Input/output capacitance (DQ, DM, DQS, DQS#, TDQS, TDQS#)	C <sub>IO</sub>	1.5	3.0	1.5	2.7	1.5	2.5	1.5	2.3	pF
Input capacitance, CK and CK#	C <sub>CK</sub>	0.8	1.6	0.8	1.6	0.8	1.4	0.8	1.4	pF
Input capacitance delta, CK and CK#	C <sub>DCK</sub>	0	0.15	0	0.15	0	0.15	0	0.15	pF
Input/output capacitance delta DQS and DQS#	C <sub>DDQS</sub>	0	0.2	0	0.2	0	0.15	0	0.15	pF
Input capacitance, (CTRL, ADD, CMD input-only pins)	C <sub>I</sub>	0.75	1.4	0.75	1.35	0.75	1.3	0.75	1.3	pF
Input capacitance delta, (All CTRL input-only pins)	C <sub>DI_CTRL</sub>	-0.5	0.3	-0.5	0.3	-0.4	0.2	-0.4	0.2	pF
Input capacitance delta, (All ADD/ CMD input-only pins)	C <sub>DI_ADD_CMD</sub>	-0.5	0.5	-0.5	0.5	-0.4	0.4	-0.4	0.4	pF
Input/output capacitance delta, DQ, DM, DQS, DQS#, TDQS, TDQS#	C <sub>DIO</sub>	-0.5	0.3	-0.5	0.3	-0.5	0.3	-0.5	0.3	pF
Input/output capacitance of ZQ pin	C <sub>ZQ</sub>	-	3	-	3	-	3	-	3	pF

### 6.3.6. 不同器件密度下的刷新参数

表 6.22 不同器件密度下的刷新参数

Parameter	Symbol	512Mb	1Gb	2Gb	4Gb	8Gb	Unit
REF command to ACT or REF command time	t <sub>RFC</sub>	90	110	160	300	350	ns
Average periodic refresh interval	t <sub>REFI</sub>	0≤TCASE≤85	7.8	7.8	7.8	7.8	us
		85<TCASE≤95	3.9	3.9	3.9	3.9	us

### 6.3.7. 标准的速度分级

表 6.23 DDR3-800 Speed Bins and Operating Conditions

Speed Bin			DDR3-800D		DDR3-800E		Unit
CL - nRCD - nRP			5-5-5		6-6-6		
Parameter	Symbol		Min.	Max.	Min.	Max.	
Internal read command to first data	tAA		12.5	20	15	20	ns
ACT to internal read or write delay time	tRCD		12.5	—	15	—	ns
PRE command period	tRP		12.5	—	15	—	ns
ACT to ACT or REF command period	tRC		50	—	52.5	—	ns
ACT to PRE command period	tRAS		37.5	9 * tREFI	37.5	9 * tREFI	ns
CL = 5	CWL = 5	tCK(AVG)	2.5	3.3	3.0	3.3	ns
CL = 6	CWL = 5	tCK(AVG)	2.5	3.3	2.5	3.3	ns
Supported CL Settings			5, 6		5, 6		nCK
Supported CWL Settings			5		5		nCK

表 6.24 DDR3-1066 Speed Bins and Operating Conditions

Speed Bin			DDR3-1066E		DDR3-1066F		DDR3-1066G		Unit
CL - nRCD - nRP			6-6-6		7-7-7		8-8-8		
Parameter	Symbol		Min.	Max.	Min.	Max.	Min.	Max.	
Internal read command to first data	tAA		11.25	20	13.125	20	15	20	ns
ACT to internal read or write delay time	tRCD		11.25	—	13.125	—	15	—	ns
PRE command period	tRP		11.25	—	13.125	—	15	—	ns
ACT to ACT or REF command period	tRC		48.75	—	50.625	—	52.5	—	ns
ACT to PRE command period	tRAS		37.5	9 * tREFI	37.5	9 * tREFI	37.5	9 * tREFI	ns
CL = 5	CWL = 5	tCK(AVG)	2.5	3.3	3.0	3.3	3.0	3.3	ns
	CWL = 6	tCK(AVG)	Reserved		Reserved		Reserved		ns
CL = 6	CWL = 5	tCK(AVG)	2.5	3.3	2.5	3.3	2.5	3.3	ns
	CWL = 6	tCK(AVG)	1.875	<2.5	Reserved		Reserved		ns
CL = 7	CWL = 5	tCK(AVG)	Reserved		Reserved		Reserved		ns
	CWL = 6	tCK(AVG)	1.875	<2.5	1.875	<2.5	Reserved		ns
CL = 8	CWL = 5	tCK(AVG)	Reserved		Reserved		Reserved		ns
	CWL = 6	tCK(AVG)	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
Supported CL Settings			5,6,7,8		5,6,7,8		5,6,8		nCK
Supported CWL Settings			5,6		5,6		5,6		nCK

表 6.25 DDR3-1333 Speed Bins and Operating Conditions

SpeedBin		DDR3-1333F (optional)		DDR3-1333G		DDR3-1333H		DDR3-1333J (optional)		Unit
CL-nRCD-nRP		7-7-7				9-9-9		10-10-10		
Parameter	Symbol	min	max	min	max	min	max	min	max	
Internal read command to first data	tAA	10.5	20	12	20	13.5(13.125) <sub>1</sub>	20	15	20	ns
ACT to internal read or write delay time	tRCD	10.5	—	12	—	13.5(13.125) <sub>1</sub>	—	15	—	ns

PRE command period		$t_{RP}$	10.5	—	12	—	13.5(13.125) <sup>5,1</sup>	—	15	—	ns
ACT to ACT or REF command period		$t_{RC}$	46.5	—	48	—	49.5(49.125) <sup>5,1</sup>	—	51	—	ns
ACT to PRE command period		$t_{RAS}$	36	9*tREFI	36	9*tREFI	36	9*tREFI	36	9*tREFI	ns
CL=5	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	3.0	3.3	3.0	3.3	ns
	CWL=6,7	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
CL=6	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	2.5	3.3	2.5	3.3	ns
	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	Reserved		Reserved		Reserved		ns
	CWL=7	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
CL=7	CWL=5	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	Reserved		ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	Reserved		Reserved		Reserved		ns
CL=8	CWL=5	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875	Reserved		Reserved		ns
CL=9	CWL=5,6	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875	1.5	<1.875	Reserved		ns
CL=10	CWL=5,6	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875	1.5	<1.875	1.5	<1.875	ns
			(Optional)		(Optional)		(Optional)				ns
Supported CL Settings			5,6,7,8,9,(10)		5,6,7,8,9,(10)		5,6,8,(7),9,(10)		5,6,8,10		nCK
Supported CWL Settings			5, 6, 7		5, 6, 7		5, 6, 7		5, 6, 7		nCK

表 6.26 DDR3-1600 Speed Bins and Operating Conditions

SpeedBin		DDR3-1600G (optional)		DDR3-1600H		DDR3-1600J		DDR3-1600K		Unit	
CL-nRCD-nRP		8-8-8		9-9-9		10-10-10		11-11-11			
Parameter	Symbol	min	max	min	max	min	max	min	max		
Internal read command to first data	$t_{AA}$	10	20	11.25	20	12.5	20	13.75(13.125) <sup>5,11</sup>	20	ns	
ACT to internal read or write delay time	$t_{RCD}$	10	—	11.25	—	12.5	—	13.75(13.125) <sup>5,11</sup>	—	ns	
PRE command period	$t_{RP}$	10	—	11.25	—	12.5	—	13.75(13.125) <sup>5,11</sup>	—	ns	
ACT to ACT or REF command period	$t_{RC}$	45	—	46.25	—	47.5	—	48.75(48.125) <sup>5,11</sup>	—	ns	
ACT to PRE command period	$t_{RAS}$	35	9*tREFI	35	9*tREFI	35	9*tREFI	35	9 * tREFI	ns	
CL = 5	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	2.5	3.3	3.0	3.3	ns
	CWL=6,7,8	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
CL = 6	CWL=5	$t_{CK(AVG)}$	2.5	3.3	2.5	3.3	2.5	3.3	2.5	3.3	ns
	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	Reserved	Reserved	ns	1,2,3,4,8	
	CWL=7,8	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
CL = 7	CWL=5	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
								(Optional) <sup>5,11</sup>			



	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	Reserved		Reserved		Reserved		ns
	CWL=8	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
CL = 8	CWL=5	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=6	$t_{CK(AVG)}$	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875	Reserved	Reserved	ns	1,2,3,4,8	
	CWL=8	$t_{CK(AVG)}$	1.25	<1.5	Reserved		Reserved		Reserved		ns
CL = 9	CWL=5,6	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875	1.5	<1.875	1.5	<1.875	ns
	CWL=8	$t_{CK(AVG)}$	1.25	<1.5	1.25	<1.5	Reserved		Reserved		ns
CL = 10	CWL=5,6	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=7	$t_{CK(AVG)}$	1.5	<1.875	1.5	<1.875	1.5	<1.875	1.5	<1.875	ns
	CWL=8	$t_{CK(AVG)}$	1.25	<1.5	1.25	<1.5	1.25	<1.5	Reserved		ns
CL = 11	CWL=5,6,7	$t_{CK(AVG)}$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=8	$t_{CK(AVG)}$	1.25	<1.5	1.25	<1.5	1.25	<1.5	1.25	<1.5	ns
			(Optional)		(Optional)		(Optional)		1.25	<1.5	ns
Supported CL Settings			5,6,7,8,9,10,(11)		5,6,7,8,9,10,(11)		5,6,7,8,9,10,		5,6,7,8,9,10,(11)		nCK
Supported CWL Settings			5,6,7,8		5,6,7,8		5,6,7,8		5,6,7,8		nCK

### 6.3.8. DDR3 的时序参数

表 6.27 Timing Parameters by Speed Bin

Parameter	Symbol	DDR3-800		DDR3-1066		DDR3-1333		DDR3-1600		Units
		Min	Max	Min	Max	Min	Max	Min	Max	
<b>Clock Timing</b>										
Minimum Clock Cycle Time (DLL off mode)	tCK(DLL_OFF)	8	-	8	-	8	-	8	-	ns
Average Clock Period	tCK(avg)									ps
Average high pulse width	tCH(avg)	0.47	0.53	0.47	0.53	0.47	0.53	0.47	0.53	tCK(avg)
Average low pulse width	tCL(avg)	0.47	0.53	0.47	0.53	0.47	0.53	0.47	0.53	tCK(avg)
Absolute Clock Period	tCK(abs)	tCK(avg)min + tJIT(per)min	tCK(avg)max + tJIT(per)max	tCK(avg)min + tJIT(per)min	tCK(avg)max + tJIT(per)max	tCK(avg)min + tJIT(per)min	tCK(avg)max + tJIT(per)max	tCK(avg)min + tJIT(per)min	tCK(avg)max + tJIT(per)max	ps
Absolute clock HIGH pulse width	tCH(abs)	0.43	-	0.43	-	0.43	-	0.43	-	tCK(avg)
Absolute clock LOW pulse width	tCL(abs)	0.43	-	0.43	-	0.43	-	0.43	-	tCK(avg)
Clock Period Jitter	JIT(per)	-100	100	-90	90	-80	80	-70	70	ps
Clock Period Jitter during DLL locking period	tJIT(per,lck)	-90	90	-80	80	-70	70	-60	60	ps
Cycle to Cycle Period Jitter	tJIT(cc)	200		180		160		140		ps
Cycle to Cycle Period Jitter during DLL locking period	tJIT(cc,lck)	180		160		140		120		ps
Duty Cycle Jitter	tJIT(duty)	-	-	-	-	-	-	-	-	ps

Cumulative error across 2 cycles	tERR(2per)	-147	147	-132	132	-118	118	-103	103	ps
Cumulative error across 3 cycles	tERR(3per)	-175	175	-157	157	-140	140	-122	122	ps
Cumulative error across 4 cycles	tERR(4per)	-194	194	-175	175	-155	155	-136	136	ps
Cumulative error across 5 cycles	tERR(5per)	-209	209	-188	188	-168	168	-147	147	ps
Cumulative error across 6 cycles	tERR(6per)	-222	222	-200	200	-177	177	-155	155	ps
Cumulative error across 7 cycles	tERR(7per)	-232	232	-209	209	-186	186	-163	163	ps
Cumulative error across 8 cycles	tERR(8per)	-241	241	-217	217	-193	193	-169	169	ps
Cumulative error across 9 cycles	tERR(9per)	-249	249	-224	224	-200	200	-175	175	ps
Cumulative error across 10 cycles	tERR(10per)	-257	257	-231	231	-205	205	-180	180	ps
Cumulative error across 11 cycles	tERR(11per)	-263	263	-237	237	-210	210	-184	184	ps
Cumulative error across 12 cycles	tERR(12per)	-269	269	-242	242	-215	215	-188	188	ps
Cumulative error across n = 13, 14 . . . 49, 50 cycles	tERR(nper)	$tERR(nper)_{min} = (1 + 0.68\ln(n)) * tJIT(per)_{min}$ $tERR(nper)_{max} = (1 + 0.68\ln(n)) * tJIT(per)_{max}$	ps	24						
<b>Data Timing</b>										

DQS, DQS# to DQ skew, per group, per access	tDQSQ	-	200	-	150	-	125	-	100	ps
DQ output hold time from DQS, DQS#	tQH	0.38	-	0.38	-	0.38	-	0.38	-	tCK(avg)
DQ low-impedance time from CK, CK#	tLZ(DQ)	-800	400	-600	300	-500	250	-450	225	ps
DQ high impedance time from CK, CK#	tHZ(DQ)	-	400	-	300	-	250	-	225	ps
Data setup time to DQS, DQS# referenced to Vih(ac) / Vil(ac) levels	tDS(base)AC175	75		25		-		-		ps
Data setup time to DQS, DQS# referenced to Vih(ac) / Vil(ac) levels	tDS(base)AC150	125		75		30		10		ps
Data hold time from DQS, DQS# referenced to Vih(dc) / Vil(dc) levels	tDH(base)DC100	150		100		65		45		ps
DQ and DM Input pulse width for each input	tDIPW	600	-	490	-	400	-	360	-	ps
<b>Data Strobe Timing</b>										
DQS, DQS# differential READ Preamble	tRPRE	0.9	Note19	0.9	Note19	0.9	Note19	0.9	Note19	tCK(avg)
DQS, DQS# differential READ Postamble	tRPST	0.3	Note11	0.3	Note11	0.3	Note11	0.3	Note11	tCK(avg)
DQS, DQS# differential output high time	tQSH	0.38	-	0.38	-	0.40	-	0.40	-	tCK(avg)
DQS, DQS# differential output low time	tQSL	0.38	-	0.38	-	0.40	-	0.40	-	tCK(avg)
DQS, DQS# differential WRITE Preamble	tWPRE	0.9	-	0.9	-	0.9	-	0.9	-	tCK(avg)
DQS, DQS# differential WRITE Postamble	tWPST	0.3	-	0.3	-	0.3	-	0.3	-	tCK(avg)
DQS, DQS# rising edge output access time from rising CK, CK#	tDQCK	-400	400	-300	300	-255	255	-225	225	ps

DQS and DQS# low-impedance time (Referenced from RL - 1)	tLZ(DQS)	-800	400	-600	300	-500	250	-450	225	ps
DQS and DQS# high-impedance time (Referenced from RL + BL/2)	tHZ(DQS)	-	400	-	300	-	250	-	225	ps
DQS, DQS# differential input low pulse width	tDQSL	0.45	0.55	0.45	0.55	0.45	0.55	0.45	0.55	tCK(avg)
DQS, DQS# differential input high pulse width	tDQSH	0.45	0.55	0.45	0.55	0.45	0.55	0.45	0.55	tCK(avg)
DQS, DQS# rising edge to CK, CK# rising edge	tDQSS	-0.25	0.25	-0.25	0.25	-0.25	0.25	-0.27	0.27	tCK(avg)
DQS, DQS# falling edge setup time to CK, CK# rising edge	tDSS	0.2	-	0.2	-	0.2	-	0.18	-	tCK(avg)
DQS, DQS# falling edge hold time from CK, CK# rising edge	tDSH	0.2	-	0.2	-	0.2	-	0.18	-	tCK(avg)
<b>Command and Address Timing</b>										
DLL locking time	tDLLK	512	-	512	-	512	-	512	-	nCK
Internal READ Command to PRECHARGE Command delay	tRTP	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	
Delay from start of internal write transaction to internal read command	tWTR	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	
WRITE recovery time	tWR	15	-	15	-	15	-	15	-	ns
Mode Register Set command cycle time	tMRD	4	-	4	-	4	-	4	-	nCK
Mode Register Set command update delay	tMOD	max(12nCK, 15ns)	-	max(12nCK, 15ns)	-	max(12nCK, 15ns)	-	max(12nCK, 15ns)	-	
ACT to internal read or write delay time	tRCD	-	-	-	-					
PRE command period	tRP	-	-	-	-					
ACT to ACT or REF command period	tRC	-	-	-	-					

CAS# to CAS# command delay	tCCD	4	-	4	-	4	-	4	-	nCK
Auto precharge write recovery + precharge time	tDAL(min)	WR + roundup( $t_{RP} / t_{CK(ave)}$ )	nCK							
Multi-Purpose Register Recovery Time	tMPRR	1	-	1	-	1	-	1	-	nCK
ACTIVE to PRECHARGE command period	tRAS	-	-	-	-					
ACTIVE to ACTIVE command period for 1KB page size	tRRD	max(4nCK,10ns)	-	max(4nCK,7.5ns)	-	max(4nCK,6ns)	-	max(4nCK,6ns)	-	
ACTIVE to ACTIVE command period for 2KB page size	tRRD	max(4nCK,10ns)	-	max(4nCK,10ns)	-	max(4nCK,7.5ns)	-	max(4nCK,7.5ns)	-	
Four activate window for 1KB page size	tFAW	40	-	37.5	-	30	-	30	-	ns
Four activate window for 2KB page size	tFAW	50	-	50	-	45	-	40	-	ns
Command and Address setup time to CK, CK# referenced to Vih(ac) / Vil(ac) levels	tIS(base)AC175	200		125		65		45		ps
Command and Address setup time to CK, CK# referenced to Vih(ac) / Vil(ac) levels	tIS(base)AC150	350		275		190		170		ps
Command and Address hold time from CK, CK# referenced to Vih(dc) / Vil(dc) levels	tIH(base)DC100	275		200		140		120		ps
Control and Address Input pulse width for each input	tIPW	900	-	780	-	620	-	560	-	ps
<b>Calibration Timing</b>										
Power-up and RESET calibration time	tZQinit	max(512nCK,640ns)	-	max(512nCK,640ns)	-	max(512nCK,640ns)	-	max(512nCK,640ns)	-	
Normal operation Full calibration time	tZQoper	max(256nCK,320ns)	-	max(256nCK,320ns)	-	max(256nCK,320ns)	-	max(256nCK,320ns)	-	

Normal operation Short calibration time	tZQCS	max(64nCK,80ns)	-	max(64nCK,80ns)	-	max(64nCK,80ns)	-	max(64nCK,80ns)	-	
<b>Reset Timing</b>										
Exit Reset from CKE HIGH to a valid command	tXPR	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	
<b>Self Refresh Timings</b>										
Exit Self Refresh to commands not requiring a locked DLL	tXS	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	
Exit Self Refresh to commands requiring a locked DLL	tXSDLL	tDLLK(min)	-	tDLLK(min)	-	tDLLK(min)	-	tDLLK(min)	-	nCK
Minimum CKE low width for Self Refresh entry to exit timing	tCKESR	tCKE(min)+1 nCK	-	tCKE(min)+1 nCK	-	tCKE(min)+1 nCK	-	tCKE(min)+1 nCK	-	
Valid Clock Requirement after Self Refresh Entry (SRE) or Power-Down Entry (PDE)	tCKSRE	max(5nCK,10ns)	-	max(5nCK,10ns)	-	max(5nCK,10ns)	-	max(5nCK,10ns)	-	
Valid Clock Requirement before Self Refresh Exit (SRX) or Power-Down Exit (PDX) or Reset Exit	tCKSRX	max(5nCK,10ns)	-	max(5nCK,10ns)	-	max(5nCK,10ns)	-	max(5nCK,10ns)	-	
<b>Power Down Timings</b>										
Exit Power Down with DLL on to any valid command; Exit Precharge Power Down with DLL frozen to commands not requiring a locked DLL	tXP	max(3nCK,7.5ns)	-	max(3nCK,7.5ns)	-	max(3nCK,6ns)	-	max(3nCK,6ns)	-	
Exit Precharge Power Down with DLL frozen to commands requiring a locked DLL	tXPDLL	max(10nCK,24ns)	-	max(10nCK,24ns)	-	max(10nCK,24ns)	-	max(10nCK,24ns)	-	
CKE minimum pulse width	tCKE	max(3nCK,7.5ns)	-	max(3nCK,5.625ns)	-	max(3nCK,5.625ns)	-	max(3nCK,5ns)	-	

Command pass disable delay	tCPDED	1	-	1	-	1	-	1	-	nCK
Power Down Entry to Exit Timing	tPD	tCKE(min)	9*tREFI	tCKE(min)	9*tREFI	tCKE(min)	9*tREFI	tCKE(min)	9*tREFI	
Timing of ACT command to Power Down entry	tACTPDEN	1	-	1	-	1	-	1	-	nCK
Timing of PRE or PREA command to Power Down entry	tPRPDEN	1	-	1	-	1	-	1	-	nCK
Timing of RD/RDA command to Power Down entry	tRDPDEN	RL+4+1	-	RL+4+1	-	RL+4+1	-	RL+4+1	-	nCK
Timing of WR command to Power Down entry (BL8OTF, BL8MRS, BC4OTF)	tWRPDEN	WL+4+(tWR/tCK(avg))	-	WL+4+(tWR/tCK(avg))	-	WL+4+(tWR/tCK(avg))	-	WL+4+(tWR/tCK(avg))	-	nCK
Timing of WRA command to Power Down entry (BL8OTF, BL8MRS, BC4OTF)	tWRAPDEN	WL+4+WR+1	-	WL+4+WR+1	-	WL+4+WR+1	-	WL+4+WR+1	-	nCK
Timing of WR command to Power Down entry (BC4MRS)	tWRPDEN	WL+2+(tWR/tCK(avg))	-	WL+2+(tWR/tCK(avg))	-	WL+2+(tWR/tCK(avg))	-	WL+2+(tWR/tCK(avg))	-	nCK
Timing of WRA command to Power Down entry (BC4MRS)	tWRAPDEN	WL+2+WR+1	-	WL+2+WR+1	-	WL+2+WR+1	-	WL+2+WR+1	-	nCK
Timing of REF command to Power Down entry	tREFPDEN	1	-	1	-	1	-	1	-	nCK
Timing of MRS command to Power Down entry	tMRSPDEN	tMOD(min)	-	tMOD(min)	-	tMOD(min)	-	tMOD(min)	-	
<b>ODT Timings</b>										
ODT turn on Latency	ODTLon	WL-2=CWL+AL-2								nCK
ODT turn off Latency	ODTloff	WL-2=CWL+AL-2								nCK
ODT high time without write command or with write command and BC4	ODTH4	4	-	4	-	4	-	4	-	nCK
ODT high time with Write command and BL8	ODTH8	6	-	6	-	6	-	6	-	nCK



Asynchronous RTT turn-on delay (Power-Down with DLL frozen)	tAONPD	2	8.5	2	8.5	2	8.5	2	8.5	ns
Asynchronous RTT turn-off delay (Power-Down with DLL frozen)	tAOFPD	2	8.5	2	8.5	2	8.5	2	8.5	ns
RTT turn-on	tAON	-400	400	-300	300	-250	250	-225	225	ps
RTT_Nom and RTT_WR turn-off time from ODTLoff reference	tAOF	0.3	0.7	0.3	0.7	0.3	0.7	0.3	0.7	tCK(avg)
RTT dynamic change skew	tADC	0.3	0.7	0.3	0.7	0.3	0.7	0.3	0.7	tCK(avg)
<b>Write Leveling Timings</b>										
First DQS/DQS# rising edge after write leveling mode is programmed	tWLMRD	40	-	40	-	40	-	40	-	nCK
DQS/DQS# delay after write leveling mode is programmed	tWLDQSEN	25	-	25	-	25	-	25	-	nCK
Write leveling setup time from rising CK, CK# crossing to rising DQS, DQS# crossing	tWLS	325	-	245	-	195	-	165	-	ps
Write leveling hold time from rising DQS, DQS# crossing to rising CK, CK# crossing	tWLH	325	-	245	-	195	-	165	-	ps
Write leveling output delay	tWLO	0	9	0	9	0	9	0	7.5	ns
Write leveling output error	tWLOE	0	2	0	2	0	2	0	2	ns

## 6. 4. LPC 总线和其它引脚

### 6. 4. 1. LPC 总线

LPC总线规范的直流和交流特性与PCI V2.3 的规范类似，其信号推荐的上拉电阻见下表：

表 6.28 推荐的上拉电阻值

Signal Name	Pull-Up
LAD[3:0]	15k -100k ohm

### 6. 4. 2. EJTAG

表 6.29 EJTAG 的交流时序特性

Parameter		Symbol	Min.	Max.	Unit
EJTAG external clock frequency of operation		fJTG	0	33.3	MHz
EJTAG external clock cycle time		TJTG	30	-	ns
EJTAG external clock pulse width measured at 1.4 V		tJTKHKL	15	-	ns
EJTAG external clock rise and fall	times	tJTGR& tJTGF	0	2	ns
TRST assert time		tTRST	25	-	ns
Input setup times	Boundary-scan data TMS, TDI	tJTDVKH	4	-	ns
		tJTIVKH	0	-	
Input hold times	Boundary-scan data TMS, TDI	tJTDXKH	20	-	ns
		tJTIXKH	25	-	
Valid times	Boundary-scan data TDO	tJTKLDV	4	20	ns
		tJTKLOV	4	25	
Output hold times	Boundary-scan data TDO	tJTKLDX	-	-	ns
		tJTKLOX	-	-	
EJTAG external clock to output high	impedance: Boundary-scan data TDO	tJTKLDZ	3	19	ns
		tJTKLOZ	3	9	

## 6. 5. 参考时钟

### 6. 5. 1. HyperTransport 的时钟

表 6.30 发送端时钟的不确定性

Symbol	Description	400 Mb/s	600 Mb/s	800 Mb/s	1000 Mb/s	1200 Mb/s	1600 Mb/s	Unit

TPLLdc	2% duty cycle variation between opposing edges over 1 bit time	100	67	50	40	33	25	ps
TPLLjtr	Uncertainty in subsequent internal transmit clocks due to PLL variation between any 2 edges including that contributed by reference clock SSC techniques.	150	67	50	20	17	13	ps
TPLLerror	edges due PLL accumulated phase error ( $\leq 20$ ps/ns over 1 bit time) in the internal transmit clock Uncertainty in subsequent CADOUT	50	33	25	20	17	13	ps
TPLLsup	Uncertainty in subsequent internal transmit clocks due to temporal PLL power supply modulation (50 ps/ns)	125	83	63	50	42	31	ps
Tclkskew	Uncertainty in the CLKOUT relative to CADOUT caused by load variations between the 90 degree phase shifted clock relative to the 0 degree clock	20	20	20	10	10	10	ps

## 6.5.2. DDR3 内存的时钟

表 6.31 输入时钟抖动参数

Parameter	Symbol	DDR3		Units
		Min.	Max.	
Clock period jitter	tJIT(per)	-100	100	ps
Clock period jitter during DLL locking period	tJIT(per,lck)	-80	80	ps
Cycle to cycle clock period jitter	tJIT(cc)	-200	200	ps
Cycle to cycle clock period jitter during DLL locking period	tJIT(cc,lck)	-160	160	ps
Cumulative error across 2 cycles	tERR(2per)	-150	150	ps
Cumulative error across 3 cycles	tERR(3per)	-175	175	ps
Cumulative error across 4 cycles	tERR(4per)	-200	200	ps
Cumulative error across 5 cycles	tERR(5per)	-200	200	ps
Cumulative error across n cycles, n = 6 ... 10, inclusive	tERR(6-10per)	-300	300	ps
Cumulative error across n cycles, n = 11 ... 50, inclusive	tERR(11-50per)	-450	450	ps
Duty cycle jitter	tJIT(duty)	-100	100	ps

### 6.5.3. PCI 时钟

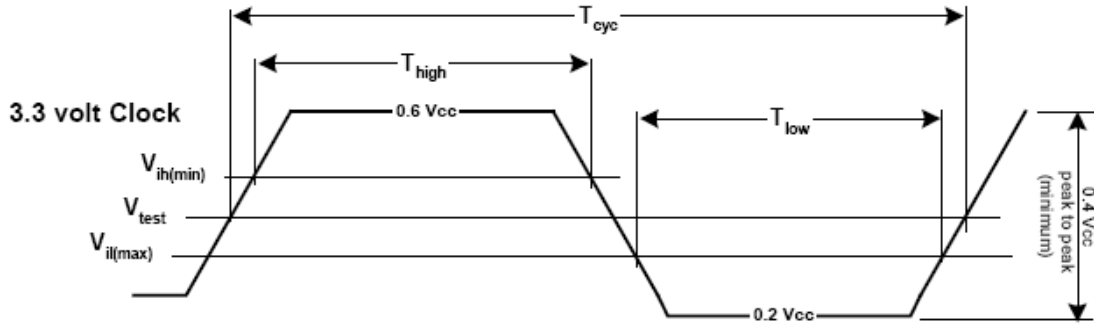


图 6.17 3.3V PCI-X 时钟波形

表 6.32 PCI-X 时钟参数

Sym	Parameter	PCI-X 133		PCI-X 66		Conv. PCI 66 (ref)		Conv. PCI 33 (ref)		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
Tcyc	CLK Cycle Time	7.5	20	15	20	15	30	30	$\infty$	ns
Thigh	CLK High Time	3		6		6		11		ns
Tlow	CLK Low Time	3		6		6		11		ns
-	CLK Slew Rate	1.5	4	1.5	4	1.5	4	1	4	V/ns
Spread Spectrum Requirements										
fmod	Modulation frequency	30	33	30	33	30	33			kHz
fspectrum	frequency spread	-1	0	-1	0	-1	0			%

## 6.6. 电源

### 6.6.1. 电源工作条件

表 6.33 推荐的工作电源电压

Parameter	Description	Power Voltage			Max Current
		Min.	Typ.	Max.	
VDD*	Chip core voltage	1.0V	1.25V	1.30V	-
VDDE3V3	Chip IO voltage	3.135V	3.3V	3.465V	0.1 A
MEM_VDD_0/1*	DDR3 ch0/1 core voltage	1.0V	1.25V	1.30V	2 A
MEM_VDDE_0/1	DDR3 ch0/1 IO voltage	1.4V	1.5V	1.6V	3 A
MEM_VREF_0/1	DDR3 ch0/1 reference voltage	0.7V	0.75V	0.8V	0.5 A
HT_VDD*	HT core voltage	1.0V	1.25V	1.30V	3 A
HT_VDDE	HT IO voltage	1.7V	1.8V	1.9V	2 A
VDDESB	HT Side band voltage	1.7V	1.8V	1.9V	0.1A
		3.135V	3.3V	3.465V	

CORE_PLL_AVDD	-	1.7V	1.8V	1.9V	
CORE_PLL_DVDD	Core PLL digital voltage	1.1V	1.2V	1.3V	0.05A
DDR_PLL_AVDD	-	1.7V	1.8V	1.9V	
DDR_PLL_DVDD	DDR PLL digital voltage	1.1V	1.2V	1.3V	0.05A
HT0/1_PLL_AVDD	-	1.7V	1.8V	1.9V	
HT0/1_PLL_DVDD	HT0/1 PLL digital voltage	1.1V	1.2V	1.3V	0.05A

\*龙芯 3A3000/3B3000 的电压工作范围差别较大，针对不同的质量等级，其工作电压各有不同。无论何种工作电压，都需要将不同工作负载时的电源波动抑制在 $\pm 25\text{mV}$ 之内。针对不同的芯片具体如下表所示。

\*针对不同质量等级芯片，对应的MEM\_VDD\_0/1、HT\_VDD可以调整为VDD相同的值以方便主板设计。

芯片标识	质量等级	典型电压	电源噪声	典型功耗#	偏压设置*	最高壳温	说明
LS3A3000	商业级	1.25V	$\pm 25\text{mV}$	20 - 40W	P4N8	65°C	商业级版本 工作频率 1.2 - 1.5GHz
LS3B3000	商业级	1.25V	$\pm 25\text{mV}$	40W	P4N8	65°C	服务器版本 工作频率 1.45GHz
LS3A3000-i	普通工业级	1.15V	$\pm 25\text{mV}$	20W	P0N0	85°C	工作频率 1.2GHz
LS3A3000-I	专用工业级	1.15V	$\pm 25\text{mV}$	17W	P0N0	85°C	工作频率 1.2GHz
		1.00V	$\pm 25\text{mV}$	10W	P0N0	85°C	工作频率 1.0GHz

\*偏压由软件在BIOS启动时设置。

#功耗仅包含处理器核心功耗，为运行SPEC CPU测试时在最高壳温下测得的最大功耗。实际的功耗温度曲线请参考第7章。。

## 7. 热特性

### 7.1. 热参数

表 7.1 龙芯 3A3000/3B3000 的热特性参数和推荐的最大值

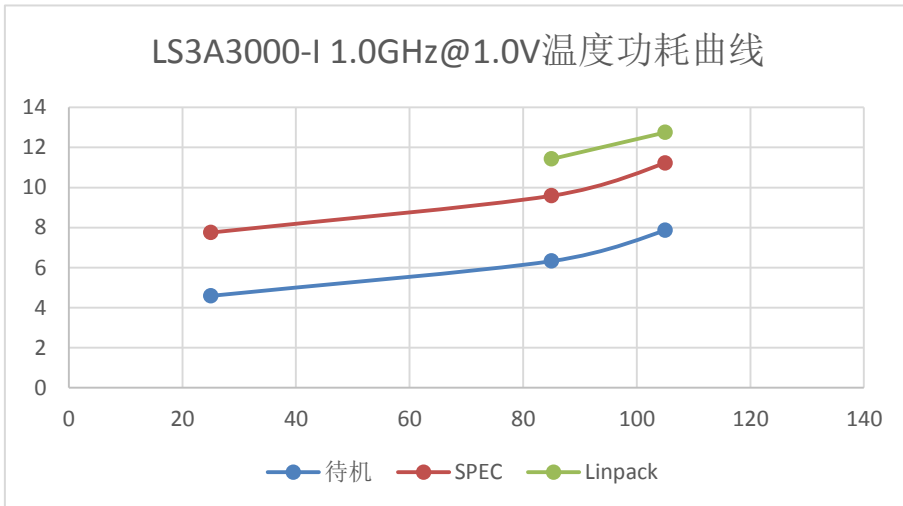
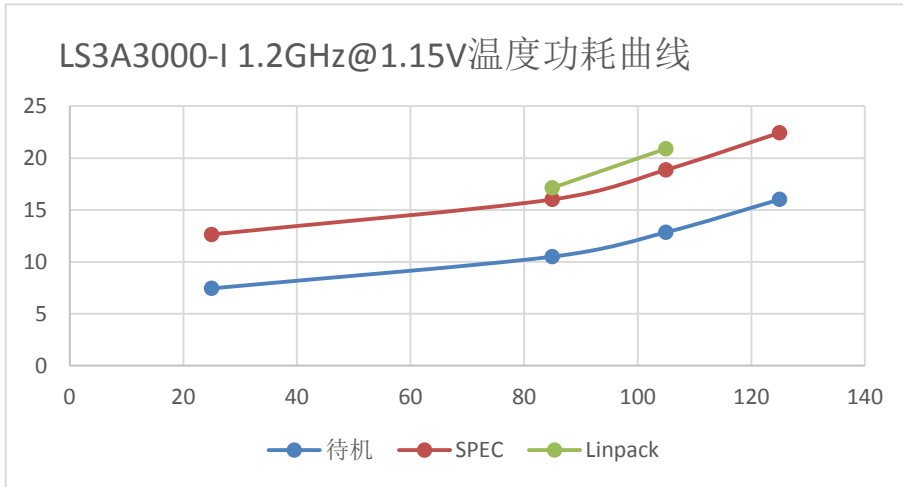
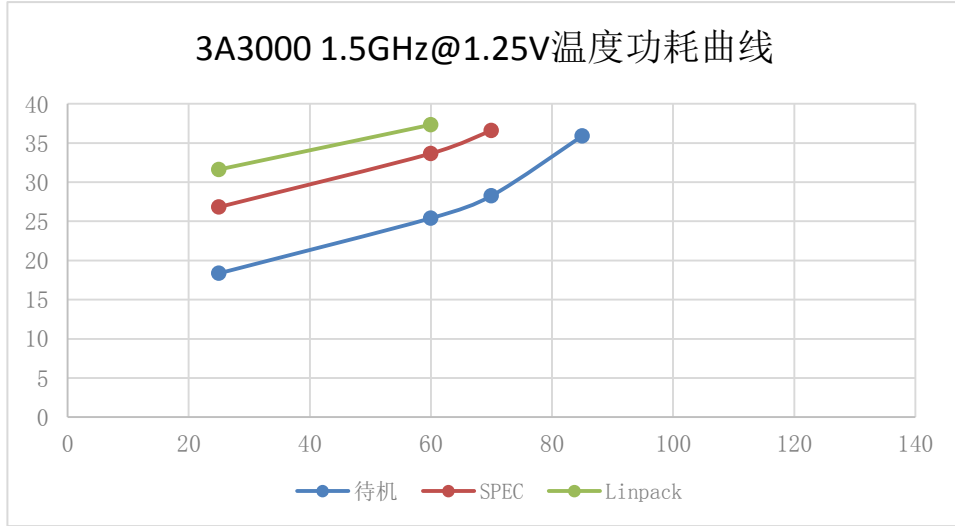
Parameter	Value
TDP Max Power (LS3A3000)	40 Watts
TDP Max Power (LS3B3000)	40 Watts
TDP Max Power (LS3A3000-i)	20 Watts
TDP Max Power (LS3A3000-I)	17 Watts
$T_A$	45 °C
$T_J$ (LS3A3000)	85 °C
$T_J$ (LS3B3000)	85 °C
$T_J$ (LS3A3000-i)	105 °C
$T_J$ (LS3A3000-I)	105 °C

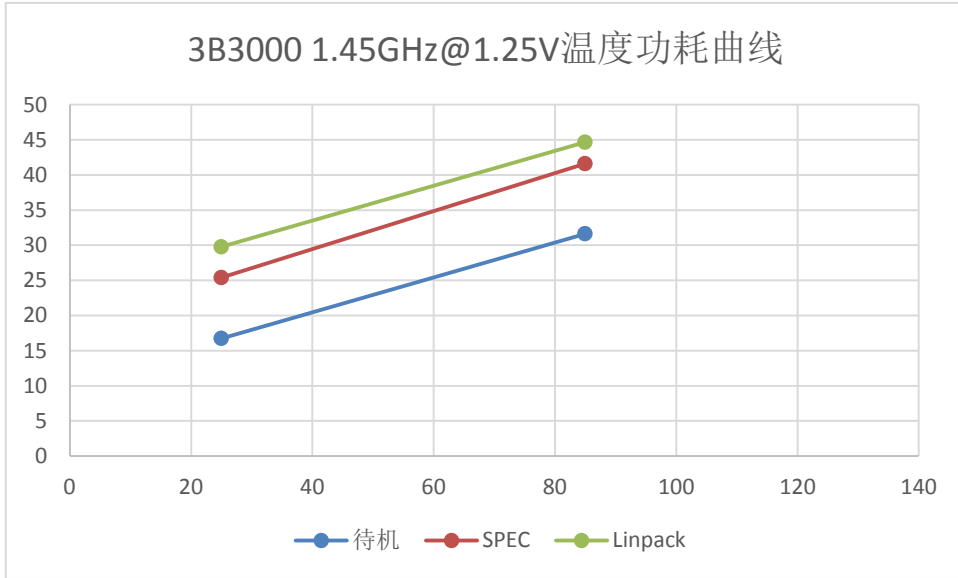
表 7.2 龙芯 3A3000/3B3000 的热阻参数

Heat sink	$V_{air}$ (m/s)	$\theta_{JA}$ (°C/W)	$\psi_{JT}$ (°C/W)	$\theta_{JC}$ (°C/W)
w/o	0	8.1	0.18	0.4
	1	6.2	0.18	-
	2	5.3	0.18	-
w/	0	3.5	0.24	-
	1	1.9	0.26	-
	2	1.4	0.27-	-

不同芯片的温度功耗曲线如下图所示。图中横坐标为芯片壳温，纵坐标为芯片核心功耗。

可以看到，随着温度的上升，功耗将快速上升。对于芯片的功耗控制来说，最重要的是做好散热设计，控制好芯片的表面温度。





## 7.2. 焊接温度

表 7.3 无铅工艺的封装回流最大温度表

Package Thickness	Volume mm <sup>3</sup> < 350	Volume mm <sup>3</sup> 350 - 2000	Volume mm <sup>3</sup> > 2000
< 1.6 mm	260 °C *	260 °C *	260 °C *
1.6 mm - 2.5 mm	260 °C *	250 °C *	245 °C *
> 2.5 mm	250 °C *	245 °C *	245 °C *

\* Tolerance: The device manufacturer/supplier shall assure process compatibility up to and including the stated classification temperature at the rated MSL level

表 7.4 回流焊接温度分类表

Profile Feature		Pb-Free Assembly
Average ramp-up rate (T <sub>smax</sub> to T <sub>p</sub> )		3 °C/second max.
Preheat	Temperature Min (T <sub>smin</sub> )	150 °C
	Temperature Max (T <sub>smax</sub> )	200 °C
	Time (T <sub>smin</sub> to T <sub>smax</sub> ) (ts)	60-180 seconds
Time maintained above	Temperature (T <sub>L</sub> )	217 °C
	Time (t <sub>L</sub> )	60-150 seconds
Peak Temperature (T <sub>p</sub> )		245 °C
Time within 5 °C of actual Peak Temperature (tp) <sup>2</sup>		20-40 seconds
Ramp-down Rate		6 °C/second max.
Time 25 °C to Peak Temperature		8 minutes max.



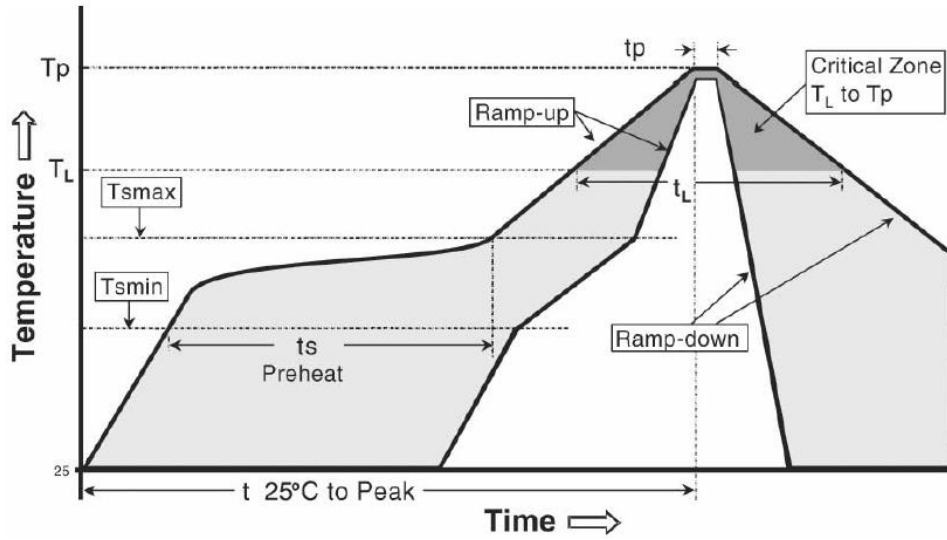


图 7.1 焊接回流曲线

### 7.3. 扣合力

扣合力: 5KG

## 8. 引脚排列和封装

### 8.1. 按引脚排列的封装引脚

表 8.1 按引脚排列的封装引脚表

Net/Pwr	Pin Number	Net Name	X Coord(um)	Y Coord(um)
n	V04	CLKSEL00	-16000.00	2000.00
n	V02	CLKSEL01	-18000.00	2000.00
n	V01	CLKSEL02	-19000.00	2000.00
n	V05	CLKSEL03	-15000.00	2000.00
n	V03	CLKSEL04	-17000.00	2000.00
n	U04	CLKSEL05	-16000.00	3000.00
n	U02	CLKSEL06	-18000.00	3000.00
n	U01	CLKSEL07	-19000.00	3000.00
n	T02	CLKSEL08	-18000.00	4000.00
n	U03	CLKSEL09	-17000.00	3000.00
n	T04	CLKSEL10	-16000.00	4000.00
n	T01	CLKSEL11	-19000.00	4000.00
n	U05	CLKSEL12	-15000.00	3000.00
n	T05	CLKSEL13	-15000.00	4000.00
n	T03	CLKSEL14	-17000.00	4000.00
n	R03	CLKSEL15	-17000.00	5000.00
n	M38	DOTEST	18000.00	8000.00
n	P36	EJTAG_TCK	16000.00	6000.00
n	P38	EJTAG_TDI	18000.00	6000.00
n	P34	EJTAG_TDO	14000.00	6000.00
n	P37	EJTAG_TMS	17000.00	6000.00
n	P39	EJTAG_TRST	19000.00	6000.00
n	U38	GPIO00	18000.00	3000.00
n	U39	GPIO01	19000.00	3000.00
n	U35	GPIO02	15000.00	3000.00
n	U36	GPIO03	16000.00	3000.00
n	U37	GPIO04	17000.00	3000.00
n	T38	GPIO05	18000.00	4000.00
n	T39	GPIO06	19000.00	4000.00
n	T35	GPIO07	15000.00	4000.00
n	T37	GPIO08	17000.00	4000.00
n	T36	GPIO09	16000.00	4000.00
n	R38	GPIO10	18000.00	5000.00
n	R39	GPIO11	19000.00	5000.00
n	R35	GPIO12	15000.00	5000.00

n	R37	GPIO13	17000.00	5000.00
n	R36	GPIO14	16000.00	5000.00
n	R34	GPIO15	14000.00	5000.00
n	C22	HT0_8x2	2000.00	17000.00
n	F22	HT0_HI_HOSTMODE	2000.00	14000.00
n	E22	HT0_HI_LDT_REQn	2000.00	15000.00
n	E21	HT0_HI_LDT_STOPn	1000.00	15000.00
n	D21	HT0_HI_POWEROK	1000.00	16000.00
n	D22	HT0_HI_RSTn	2000.00	16000.00
n	F21	HT0_LO_HOSTMODE	1000.00	14000.00
n	B21	HT0_LO_LDT_REQn	1000.00	18000.00
n	B22	HT0_LO_LDT_STOPn	2000.00	18000.00
n	A21	HT0_LO_POWEROK	1000.00	19000.00
n	A22	HT0_LO_RSTn	2000.00	19000.00
n	B23	HT0_RX_CADn00	3000.00	18000.00
n	A24	HT0_RX_CADn01	4000.00	19000.00
n	B25	HT0_RX_CADn02	5000.00	18000.00
n	A26	HT0_RX_CADn03	6000.00	19000.00
n	A28	HT0_RX_CADn04	8000.00	19000.00
n	B29	HT0_RX_CADn05	9000.00	18000.00
n	A30	HT0_RX_CADn06	10000.00	19000.00
n	B31	HT0_RX_CADn07	11000.00	18000.00
n	F24	HT0_RX_CADn08	4000.00	14000.00
n	E24	HT0_RX_CADn09	4000.00	15000.00
n	F26	HT0_RX_CADn10	6000.00	14000.00
n	E26	HT0_RX_CADn11	6000.00	15000.00
n	E28	HT0_RX_CADn12	8000.00	15000.00
n	F30	HT0_RX_CADn13	10000.00	14000.00
n	E30	HT0_RX_CADn14	10000.00	15000.00
n	F32	HT0_RX_CADn15	12000.00	14000.00
n	C23	HT0_RX_CADp00	3000.00	17000.00
n	A23	HT0_RX_CADp01	3000.00	19000.00
n	C25	HT0_RX_CADp02	5000.00	17000.00
n	A25	HT0_RX_CADp03	5000.00	19000.00
n	A27	HT0_RX_CADp04	7000.00	19000.00
n	C29	HT0_RX_CADp05	9000.00	17000.00
n	A29	HT0_RX_CADp06	9000.00	19000.00
n	C31	HT0_RX_CADp07	11000.00	17000.00
n	F23	HT0_RX_CADp08	3000.00	14000.00
n	D24	HT0_RX_CADp09	4000.00	16000.00
n	F25	HT0_RX_CADp10	5000.00	14000.00
n	D26	HT0_RX_CADp11	6000.00	16000.00
n	D28	HT0_RX_CADp12	8000.00	16000.00

n	F29	HT0_RX_CADp13	9000.00	14000.00
n	D30	HT0_RX_CADp14	10000.00	16000.00
n	F31	HT0_RX_CADp15	11000.00	14000.00
n	B27	HT0_RX_CLKn0	7000.00	18000.00
n	F27	HT0_RX_CLKn1	7000.00	14000.00
n	C27	HT0_RX_CLKp0	7000.00	17000.00
n	F28	HT0_RX_CLKp1	8000.00	14000.00
n	A32	HT0_RX_CTLn0	12000.00	19000.00
n	E32	HT0_RX_CTLn1	12000.00	15000.00
n	A31	HT0_RX_CTLp0	11000.00	19000.00
n	D32	HT0_RX_CTLp1	12000.00	16000.00
n	J39	HT0_TX_CADn00	19000.00	11000.00
n	J37	HT0_TX_CADn01	17000.00	11000.00
n	G39	HT0_TX_CADn02	19000.00	13000.00
n	G37	HT0_TX_CADn03	17000.00	13000.00
n	E37	HT0_TX_CADn04	17000.00	15000.00
n	C39	HT0_TX_CADn05	19000.00	17000.00
n	C37	HT0_TX_CADn06	17000.00	17000.00
n	A39	HT0_TX_CADn07	19000.00	19000.00
n	K36	HT0_TX_CADn08	16000.00	10000.00
n	J34	HT0_TX_CADn09	14000.00	11000.00
n	H36	HT0_TX_CADn10	16000.00	12000.00
n	G34	HT0_TX_CADn11	14000.00	13000.00
n	E34	HT0_TX_CADn12	14000.00	15000.00
n	D36	HT0_TX_CADn13	16000.00	16000.00
n	C34	HT0_TX_CADn14	14000.00	17000.00
n	B36	HT0_TX_CADn15	16000.00	18000.00
n	K39	HT0_TX_CADp00	19000.00	10000.00
n	J38	HT0_TX_CADp01	18000.00	11000.00
n	H39	HT0_TX_CADp02	19000.00	12000.00
n	G38	HT0_TX_CADp03	18000.00	13000.00
n	E38	HT0_TX_CADp04	18000.00	15000.00
n	D39	HT0_TX_CADp05	19000.00	16000.00
n	C38	HT0_TX_CADp06	18000.00	17000.00
n	B39	HT0_TX_CADp07	19000.00	18000.00
n	K35	HT0_TX_CADp08	15000.00	10000.00
n	K34	HT0_TX_CADp09	14000.00	10000.00
n	H35	HT0_TX_CADp10	15000.00	12000.00
n	H34	HT0_TX_CADp11	14000.00	12000.00
n	F34	HT0_TX_CADp12	14000.00	14000.00
n	D35	HT0_TX_CADp13	15000.00	16000.00
n	D34	HT0_TX_CADp14	14000.00	16000.00
n	B35	HT0_TX_CADp15	15000.00	18000.00

n	E39	HT0_TX_CLKn0	19000.00	15000.00
n	F36	HT0_TX_CLKn1	16000.00	14000.00
n	F39	HT0_TX_CLKp0	19000.00	14000.00
n	F35	HT0_TX_CLKp1	15000.00	14000.00
n	A37	HT0_TX_CTLn0	17000.00	19000.00
n	B34	HT0_TX_CTLn1	14000.00	18000.00
n	A38	HT0_TX_CTLp0	18000.00	19000.00
n	A34	HT0_TX_CTLp1	14000.00	19000.00
n	B33	HT0CLKn	13000.00	18000.00
n	A33	HT0CLKp	13000.00	19000.00
n	C18	HT1_8x2	-2000.00	17000.00
n	F18	HT1_HI_HOSTMODE	-2000.00	14000.00
n	E18	HT1_HI_LDT_REQn	-2000.00	15000.00
n	E19	HT1_HI_LDT_STOPn	-1000.00	15000.00
n	D19	HT1_HI_POWEROK	-1000.00	16000.00
n	D18	HT1_HI_RSTn	-2000.00	16000.00
n	F19	HT1_LO_HOSTMODE	-1000.00	14000.00
n	B19	HT1_LO_LDT_REQn	-1000.00	18000.00
n	B18	HT1_LO_LDT_STOPn	-2000.00	18000.00
n	A19	HT1_LO_POWEROK	-1000.00	19000.00
n	A18	HT1_LO_RSTn	-2000.00	19000.00
n	B17	HT1_RX_CADn00	-3000.00	18000.00
n	A16	HT1_RX_CADn01	-4000.00	19000.00
n	B15	HT1_RX_CADn02	-5000.00	18000.00
n	A14	HT1_RX_CADn03	-6000.00	19000.00
n	A12	HT1_RX_CADn04	-8000.00	19000.00
n	B11	HT1_RX_CADn05	-9000.00	18000.00
n	A10	HT1_RX_CADn06	-10000.00	19000.00
n	B09	HT1_RX_CADn07	-11000.00	18000.00
n	F16	HT1_RX_CADn08	-4000.00	14000.00
n	E16	HT1_RX_CADn09	-4000.00	15000.00
n	F14	HT1_RX_CADn10	-6000.00	14000.00
n	E14	HT1_RX_CADn11	-6000.00	15000.00
n	E12	HT1_RX_CADn12	-8000.00	15000.00
n	F10	HT1_RX_CADn13	-10000.00	14000.00
n	E10	HT1_RX_CADn14	-10000.00	15000.00
n	F08	HT1_RX_CADn15	-12000.00	14000.00
n	C17	HT1_RX_CADp00	-3000.00	17000.00
n	A17	HT1_RX_CADp01	-3000.00	19000.00
n	C15	HT1_RX_CADp02	-5000.00	17000.00
n	A15	HT1_RX_CADp03	-5000.00	19000.00
n	A13	HT1_RX_CADp04	-7000.00	19000.00
n	C11	HT1_RX_CADp05	-9000.00	17000.00

n	A11	HT1_RX_CADp06	-9000.00	19000.00
n	C09	HT1_RX_CADp07	-11000.00	17000.00
n	F17	HT1_RX_CADp08	-3000.00	14000.00
n	D16	HT1_RX_CADp09	-4000.00	16000.00
n	F15	HT1_RX_CADp10	-5000.00	14000.00
n	D14	HT1_RX_CADp11	-6000.00	16000.00
n	D12	HT1_RX_CADp12	-8000.00	16000.00
n	F11	HT1_RX_CADp13	-9000.00	14000.00
n	D10	HT1_RX_CADp14	-10000.00	16000.00
n	F09	HT1_RX_CADp15	-11000.00	14000.00
n	B13	HT1_RX_CLKn0	-7000.00	18000.00
n	F13	HT1_RX_CLKn1	-7000.00	14000.00
n	C13	HT1_RX_CLKp0	-7000.00	17000.00
n	F12	HT1_RX_CLKp1	-8000.00	14000.00
n	A08	HT1_RX_CTLn0	-12000.00	19000.00
n	E08	HT1_RX_CTLn1	-12000.00	15000.00
n	A09	HT1_RX_CTLp0	-11000.00	19000.00
n	D08	HT1_RX_CTLp1	-12000.00	16000.00
n	J01	HT1_TX_CADn00	-19000.00	11000.00
n	J03	HT1_TX_CADn01	-17000.00	11000.00
n	G01	HT1_TX_CADn02	-19000.00	13000.00
n	G03	HT1_TX_CADn03	-17000.00	13000.00
n	E03	HT1_TX_CADn04	-17000.00	15000.00
n	C01	HT1_TX_CADn05	-19000.00	17000.00
n	C03	HT1_TX_CADn06	-17000.00	17000.00
n	A01	HT1_TX_CADn07	-19000.00	19000.00
n	K04	HT1_TX_CADn08	-16000.00	10000.00
n	J06	HT1_TX_CADn09	-14000.00	11000.00
n	H04	HT1_TX_CADn10	-16000.00	12000.00
n	G06	HT1_TX_CADn11	-14000.00	13000.00
n	E06	HT1_TX_CADn12	-14000.00	15000.00
n	D04	HT1_TX_CADn13	-16000.00	16000.00
n	C06	HT1_TX_CADn14	-14000.00	17000.00
n	B04	HT1_TX_CADn15	-16000.00	18000.00
n	K01	HT1_TX_CADp00	-19000.00	10000.00
n	J02	HT1_TX_CADp01	-18000.00	11000.00
n	H01	HT1_TX_CADp02	-19000.00	12000.00
n	G02	HT1_TX_CADp03	-18000.00	13000.00
n	E02	HT1_TX_CADp04	-18000.00	15000.00
n	D01	HT1_TX_CADp05	-19000.00	16000.00
n	C02	HT1_TX_CADp06	-18000.00	17000.00
n	B01	HT1_TX_CADp07	-19000.00	18000.00
n	K05	HT1_TX_CADp08	-15000.00	10000.00

n	K06	HT1_TX_CADp09	-14000.00	10000.00
n	H05	HT1_TX_CADp10	-15000.00	12000.00
n	H06	HT1_TX_CADp11	-14000.00	12000.00
n	F06	HT1_TX_CADp12	-14000.00	14000.00
n	D05	HT1_TX_CADp13	-15000.00	16000.00
n	D06	HT1_TX_CADp14	-14000.00	16000.00
n	B05	HT1_TX_CADp15	-15000.00	18000.00
n	E01	HT1_TX_CLKn0	-19000.00	15000.00
n	F04	HT1_TX_CLKn1	-16000.00	14000.00
n	F01	HT1_TX_CLKp0	-19000.00	14000.00
n	F05	HT1_TX_CLKp1	-15000.00	14000.00
n	A03	HT1_TX_CTLn0	-17000.00	19000.00
n	B06	HT1_TX_CTLn1	-14000.00	18000.00
n	A02	HT1_TX_CTLp0	-18000.00	19000.00
n	A06	HT1_TX_CTLp1	-14000.00	19000.00
n	B07	HT1CLKn	-13000.00	18000.00
n	A07	HT1CLKp	-13000.00	19000.00
n	L39	HTCLK	19000.00	9000.00
n	R04	ICCC_EN	-16000.00	5000.00
n	L37	INTn0	17000.00	9000.00
n	L35	INTn1	15000.00	9000.00
n	M36	INTn2	16000.00	8000.00
n	M35	INTn3	15000.00	8000.00
n	V38	LPC_LAD0	18000.00	2000.00
n	V35	LPC_LAD1	15000.00	2000.00
n	V37	LPC_LAD2	17000.00	2000.00
n	V36	LPC_LAD3	16000.00	2000.00
n	W39	LPC_LFRAMEn	19000.00	1000.00
n	W37	LPC_ROM8MBITS	17000.00	1000.00
n	W38	LPC_ROMINTEL	18000.00	1000.00
n	V39	LPC_SERIRQ	19000.00	2000.00
n	AP39	MC0_DDR_A00	19000.00	-14000.00
n	AP36	MC0_DDR_A01	16000.00	-14000.00
n	AP35	MC0_DDR_A02	15000.00	-14000.00
n	AP34	MC0_DDR_A03	14000.00	-14000.00
n	AN39	MC0_DDR_A04	19000.00	-13000.00
n	AN37	MC0_DDR_A05	17000.00	-13000.00
n	AN38	MC0_DDR_A06	18000.00	-13000.00
n	AN35	MC0_DDR_A07	15000.00	-13000.00
n	AN34	MC0_DDR_A08	14000.00	-13000.00
n	AM39	MC0_DDR_A09	19000.00	-12000.00
n	AR34	MC0_DDR_A10	14000.00	-15000.00
n	AM38	MC0_DDR_A11	18000.00	-12000.00

n	AM36	MC0_DDR_A12	16000.00	-12000.00
n	AU36	MC0_DDR_A13	16000.00	-17000.00
n	AM35	MC0_DDR_A14	15000.00	-12000.00
n	AM33	MC0_DDR_A15	13000.00	-12000.00
n	AR36	MC0_DDR_BA0	16000.00	-15000.00
n	AR35	MC0_DDR_BA1	15000.00	-15000.00
n	AL38	MC0_DDR_BA2	18000.00	-11000.00
n	AT36	MC0_DDR_CASn	16000.00	-16000.00
n	AJ37	MC0_DDR_CB0	17000.00	-9000.00
n	AJ38	MC0_DDR_CB1	18000.00	-9000.00
n	AK36	MC0_DDR_CB2	16000.00	-10000.00
n	AK37	MC0_DDR_CB3	17000.00	-10000.00
n	AJ34	MC0_DDR_CB4	14000.00	-9000.00
n	AJ36	MC0_DDR_CB5	16000.00	-9000.00
n	AK33	MC0_DDR_CB6	13000.00	-10000.00
n	AK35	MC0_DDR_CB7	15000.00	-10000.00
n	AL37	MC0_DDR_CKE0	17000.00	-11000.00
n	AL35	MC0_DDR_CKE1	15000.00	-11000.00
n	AL39	MC0_DDR_CKE2	19000.00	-11000.00
n	AL34	MC0_DDR_CKE3	14000.00	-11000.00
n	AD38	MC0_DDR_CLKn0	18000.00	-4000.00
n	AC35	MC0_DDR_CLKn1	15000.00	-3000.00
n	AR39	MC0_DDR_CLKn2	19000.00	-15000.00
n	AP38	MC0_DDR_CLKn3	18000.00	-14000.00
n	AV31	MC0_DDR_CLKn4	11000.00	-18000.00
n	AW30	MC0_DDR_CLKn5	10000.00	-19000.00
n	AD39	MC0_DDR_CLKp0	19000.00	-4000.00
n	AC36	MC0_DDR_CLKp1	16000.00	-3000.00
n	AR38	MC0_DDR_CLKp2	18000.00	-15000.00
n	AP37	MC0_DDR_CLKp3	17000.00	-14000.00
n	AW31	MC0_DDR_CLKp4	11000.00	-19000.00
n	AV30	MC0_DDR_CLKp5	10000.00	-18000.00
n	Y38	MC0_DDR_DQ00	18000.00	0.00
n	Y39	MC0_DDR_DQ01	19000.00	0.00
n	AA33	MC0_DDR_DQ02	13000.00	-1000.00
n	AA36	MC0_DDR_DQ03	16000.00	-1000.00
n	Y34	MC0_DDR_DQ04	14000.00	0.00
n	Y35	MC0_DDR_DQ05	15000.00	0.00
n	AA37	MC0_DDR_DQ06	17000.00	-1000.00
n	AA34	MC0_DDR_DQ07	14000.00	-1000.00
n	AB35	MC0_DDR_DQ08	15000.00	-2000.00
n	AB37	MC0_DDR_DQ09	17000.00	-2000.00
n	AC33	MC0_DDR_DQ10	13000.00	-3000.00



n	AD35	MC0_DDR_DQ11	15000.00	-4000.00
n	AB34	MC0_DDR_DQ12	14000.00	-2000.00
n	AB38	MC0_DDR_DQ13	18000.00	-2000.00
n	AC34	MC0_DDR_DQ14	14000.00	-3000.00
n	AD36	MC0_DDR_DQ15	16000.00	-4000.00
n	AE33	MC0_DDR_DQ16	13000.00	-5000.00
n	AE35	MC0_DDR_DQ17	15000.00	-5000.00
n	AF36	MC0_DDR_DQ18	16000.00	-6000.00
n	AF38	MC0_DDR_DQ19	18000.00	-6000.00
n	AD34	MC0_DDR_DQ20	14000.00	-4000.00
n	AE34	MC0_DDR_DQ21	14000.00	-5000.00
n	AF34	MC0_DDR_DQ22	14000.00	-6000.00
n	AF39	MC0_DDR_DQ23	19000.00	-6000.00
n	AG34	MC0_DDR_DQ24	14000.00	-7000.00
n	AG37	MC0_DDR_DQ25	17000.00	-7000.00
n	AH35	MC0_DDR_DQ26	15000.00	-8000.00
n	AH39	MC0_DDR_DQ27	19000.00	-8000.00
n	AF37	MC0_DDR_DQ28	17000.00	-6000.00
n	AG35	MC0_DDR_DQ29	15000.00	-7000.00
n	AH34	MC0_DDR_DQ30	14000.00	-8000.00
n	AH38	MC0_DDR_DQ31	18000.00	-8000.00
n	AV35	MC0_DDR_DQ32	15000.00	-18000.00
n	AV39	MC0_DDR_DQ33	19000.00	-18000.00
n	AW35	MC0_DDR_DQ34	15000.00	-19000.00
n	AW34	MC0_DDR_DQ35	14000.00	-19000.00
n	AV34	MC0_DDR_DQ36	14000.00	-18000.00
n	AV37	MC0_DDR_DQ37	17000.00	-18000.00
n	AW37	MC0_DDR_DQ38	17000.00	-19000.00
n	AW36	MC0_DDR_DQ39	16000.00	-19000.00
n	AT33	MC0_DDR_DQ40	13000.00	-16000.00
n	AV33	MC0_DDR_DQ41	13000.00	-18000.00
n	AP32	MC0_DDR_DQ42	12000.00	-14000.00
n	AW32	MC0_DDR_DQ43	12000.00	-19000.00
n	AR33	MC0_DDR_DQ44	13000.00	-15000.00
n	AU33	MC0_DDR_DQ45	13000.00	-17000.00
n	AN32	MC0_DDR_DQ46	12000.00	-13000.00
n	AR32	MC0_DDR_DQ47	12000.00	-15000.00
n	AP31	MC0_DDR_DQ48	11000.00	-14000.00
n	AT31	MC0_DDR_DQ49	11000.00	-16000.00
n	AR29	MC0_DDR_DQ50	9000.00	-15000.00
n	AV29	MC0_DDR_DQ51	9000.00	-18000.00
n	AN31	MC0_DDR_DQ52	11000.00	-13000.00
n	AR31	MC0_DDR_DQ53	11000.00	-15000.00

n	AP29	MC0_DDR_DQ54	9000.00	-14000.00
n	AT29	MC0_DDR_DQ55	9000.00	-16000.00
n	AR28	MC0_DDR_DQ56	8000.00	-15000.00
n	AV28	MC0_DDR_DQ57	8000.00	-18000.00
n	AP28	MC0_DDR_DQ58	8000.00	-14000.00
n	AR27	MC0_DDR_DQ59	7000.00	-15000.00
n	AW29	MC0_DDR_DQ60	9000.00	-19000.00
n	AU28	MC0_DDR_DQ61	8000.00	-17000.00
n	AW27	MC0_DDR_DQ62	7000.00	-19000.00
n	AP27	MC0_DDR_DQ63	7000.00	-14000.00
n	Y37	MC0_DDR_DQM0	17000.00	0.00
n	AB39	MC0_DDR_DQM1	19000.00	-2000.00
n	AE37	MC0_DDR_DQM2	17000.00	-5000.00
n	AH36	MC0_DDR_DQM3	16000.00	-8000.00
n	AV38	MC0_DDR_DQM4	18000.00	-18000.00
n	AW33	MC0_DDR_DQM5	13000.00	-19000.00
n	AP30	MC0_DDR_DQM6	10000.00	-14000.00
n	AW28	MC0_DDR_DQM7	8000.00	-19000.00
n	AJ39	MC0_DDR_DQM8	19000.00	-9000.00
n	AA38	MC0_DDR_DQSn0	18000.00	-1000.00
n	AC39	MC0_DDR_DQSn1	19000.00	-3000.00
n	AE39	MC0_DDR_DQSn2	19000.00	-5000.00
n	AG39	MC0_DDR_DQSn3	19000.00	-7000.00
n	AW39	MC0_DDR_DQSn4	19000.00	-19000.00
n	AU32	MC0_DDR_DQSn5	12000.00	-17000.00
n	AT30	MC0_DDR_DQSn6	10000.00	-16000.00
n	AU27	MC0_DDR_DQSn7	7000.00	-17000.00
n	AK39	MC0_DDR_DQSn8	19000.00	-10000.00
n	AA39	MC0_DDR_DQSp0	19000.00	-1000.00
n	AC38	MC0_DDR_DQSp1	18000.00	-3000.00
n	AE38	MC0_DDR_DQSp2	18000.00	-5000.00
n	AG38	MC0_DDR_DQSp3	18000.00	-7000.00
n	AW38	MC0_DDR_DQSp4	18000.00	-19000.00
n	AV32	MC0_DDR_DQSp5	12000.00	-18000.00
n	AU30	MC0_DDR_DQSp6	10000.00	-17000.00
n	AV27	MC0_DDR_DQSp7	7000.00	-18000.00
n	AK38	MC0_DDR_DQSp8	18000.00	-10000.00
n	AT35	MC0_DDR_ODT0	15000.00	-16000.00
n	AU35	MC0_DDR_ODT1	15000.00	-17000.00
n	AT34	MC0_DDR_ODT2	14000.00	-16000.00
n	AU34	MC0_DDR_ODT3	14000.00	-17000.00
n	AR37	MC0_DDR_RASn	17000.00	-15000.00
n	AM34	MC0_DDR_RESETrn	14000.00	-12000.00

n	AT39	MC0_DDR_SCSn0	19000.00	-16000.00
n	AU38	MC0_DDR_SCSn1	18000.00	-17000.00
n	AT37	MC0_DDR_SCSn2	17000.00	-16000.00
n	AU39	MC0_DDR_SCSn3	19000.00	-17000.00
n	AT38	MC0_DDR_WEn	18000.00	-16000.00
n	AP01	MC1_DDR_A00	-19000.00	-14000.00
n	AP04	MC1_DDR_A01	-16000.00	-14000.00
n	AP05	MC1_DDR_A02	-15000.00	-14000.00
n	AP06	MC1_DDR_A03	-14000.00	-14000.00
n	AN01	MC1_DDR_A04	-19000.00	-13000.00
n	AN03	MC1_DDR_A05	-17000.00	-13000.00
n	AN02	MC1_DDR_A06	-18000.00	-13000.00
n	AN05	MC1_DDR_A07	-15000.00	-13000.00
n	AN06	MC1_DDR_A08	-14000.00	-13000.00
n	AM01	MC1_DDR_A09	-19000.00	-12000.00
n	AR06	MC1_DDR_A10	-14000.00	-15000.00
n	AM02	MC1_DDR_A11	-18000.00	-12000.00
n	AM04	MC1_DDR_A12	-16000.00	-12000.00
n	AU04	MC1_DDR_A13	-16000.00	-17000.00
n	AM05	MC1_DDR_A14	-15000.00	-12000.00
n	AM07	MC1_DDR_A15	-13000.00	-12000.00
n	AR04	MC1_DDR_BA0	-16000.00	-15000.00
n	AR05	MC1_DDR_BA1	-15000.00	-15000.00
n	AL02	MC1_DDR_BA2	-18000.00	-11000.00
n	AT04	MC1_DDR_CASn	-16000.00	-16000.00
n	AJ03	MC1_DDR_CB0	-17000.00	-9000.00
n	AJ02	MC1_DDR_CB1	-18000.00	-9000.00
n	AK04	MC1_DDR_CB2	-16000.00	-10000.00
n	AK03	MC1_DDR_CB3	-17000.00	-10000.00
n	AJ06	MC1_DDR_CB4	-14000.00	-9000.00
n	AJ04	MC1_DDR_CB5	-16000.00	-9000.00
n	AK07	MC1_DDR_CB6	-13000.00	-10000.00
n	AK05	MC1_DDR_CB7	-15000.00	-10000.00
n	AL03	MC1_DDR_CKE0	-17000.00	-11000.00
n	AL05	MC1_DDR_CKE1	-15000.00	-11000.00
n	AL01	MC1_DDR_CKE2	-19000.00	-11000.00
n	AL06	MC1_DDR_CKE3	-14000.00	-11000.00
n	AD02	MC1_DDR_CLKn0	-18000.00	-4000.00
n	AC05	MC1_DDR_CLKn1	-15000.00	-3000.00
n	AR01	MC1_DDR_CLKn2	-19000.00	-15000.00
n	AP02	MC1_DDR_CLKn3	-18000.00	-14000.00
n	AV09	MC1_DDR_CLKn4	-11000.00	-18000.00
n	AW10	MC1_DDR_CLKn5	-10000.00	-19000.00

n	AD01	MC1_DDR_CLKp0	-19000.00	-4000.00
n	AC04	MC1_DDR_CLKp1	-16000.00	-3000.00
n	AR02	MC1_DDR_CLKp2	-18000.00	-15000.00
n	AP03	MC1_DDR_CLKp3	-17000.00	-14000.00
n	AW09	MC1_DDR_CLKp4	-11000.00	-19000.00
n	AV10	MC1_DDR_CLKp5	-10000.00	-18000.00
n	Y02	MC1_DDR_DQ00	-18000.00	0.00
n	Y01	MC1_DDR_DQ01	-19000.00	0.00
n	AA07	MC1_DDR_DQ02	-13000.00	-1000.00
n	AA04	MC1_DDR_DQ03	-16000.00	-1000.00
n	Y06	MC1_DDR_DQ04	-14000.00	0.00
n	Y05	MC1_DDR_DQ05	-15000.00	0.00
n	AA03	MC1_DDR_DQ06	-17000.00	-1000.00
n	AA06	MC1_DDR_DQ07	-14000.00	-1000.00
n	AB05	MC1_DDR_DQ08	-15000.00	-2000.00
n	AB03	MC1_DDR_DQ09	-17000.00	-2000.00
n	AC07	MC1_DDR_DQ10	-13000.00	-3000.00
n	AD05	MC1_DDR_DQ11	-15000.00	-4000.00
n	AB06	MC1_DDR_DQ12	-14000.00	-2000.00
n	AB02	MC1_DDR_DQ13	-18000.00	-2000.00
n	AC06	MC1_DDR_DQ14	-14000.00	-3000.00
n	AD04	MC1_DDR_DQ15	-16000.00	-4000.00
n	AE07	MC1_DDR_DQ16	-13000.00	-5000.00
n	AE05	MC1_DDR_DQ17	-15000.00	-5000.00
n	AF04	MC1_DDR_DQ18	-16000.00	-6000.00
n	AF02	MC1_DDR_DQ19	-18000.00	-6000.00
n	AD06	MC1_DDR_DQ20	-14000.00	-4000.00
n	AE06	MC1_DDR_DQ21	-14000.00	-5000.00
n	AF06	MC1_DDR_DQ22	-14000.00	-6000.00
n	AF01	MC1_DDR_DQ23	-19000.00	-6000.00
n	AG06	MC1_DDR_DQ24	-14000.00	-7000.00
n	AG03	MC1_DDR_DQ25	-17000.00	-7000.00
n	AH05	MC1_DDR_DQ26	-15000.00	-8000.00
n	AH01	MC1_DDR_DQ27	-19000.00	-8000.00
n	AF03	MC1_DDR_DQ28	-17000.00	-6000.00
n	AG05	MC1_DDR_DQ29	-15000.00	-7000.00
n	AH06	MC1_DDR_DQ30	-14000.00	-8000.00
n	AH02	MC1_DDR_DQ31	-18000.00	-8000.00
n	AV05	MC1_DDR_DQ32	-15000.00	-18000.00
n	AV01	MC1_DDR_DQ33	-19000.00	-18000.00
n	AW05	MC1_DDR_DQ34	-15000.00	-19000.00
n	AW06	MC1_DDR_DQ35	-14000.00	-19000.00
n	AV06	MC1_DDR_DQ36	-14000.00	-18000.00

n	AV03	MC1_DDR_DQ37	-17000.00	-18000.00
n	AW03	MC1_DDR_DQ38	-17000.00	-19000.00
n	AW04	MC1_DDR_DQ39	-16000.00	-19000.00
n	AT07	MC1_DDR_DQ40	-13000.00	-16000.00
n	AV07	MC1_DDR_DQ41	-13000.00	-18000.00
n	AP08	MC1_DDR_DQ42	-12000.00	-14000.00
n	AW08	MC1_DDR_DQ43	-12000.00	-19000.00
n	AR07	MC1_DDR_DQ44	-13000.00	-15000.00
n	AU07	MC1_DDR_DQ45	-13000.00	-17000.00
n	AN08	MC1_DDR_DQ46	-12000.00	-13000.00
n	AR08	MC1_DDR_DQ47	-12000.00	-15000.00
n	AP09	MC1_DDR_DQ48	-11000.00	-14000.00
n	AT09	MC1_DDR_DQ49	-11000.00	-16000.00
n	AR11	MC1_DDR_DQ50	-9000.00	-15000.00
n	AV11	MC1_DDR_DQ51	-9000.00	-18000.00
n	AN09	MC1_DDR_DQ52	-11000.00	-13000.00
n	AR09	MC1_DDR_DQ53	-11000.00	-15000.00
n	AP11	MC1_DDR_DQ54	-9000.00	-14000.00
n	AT11	MC1_DDR_DQ55	-9000.00	-16000.00
n	AR12	MC1_DDR_DQ56	-8000.00	-15000.00
n	AV12	MC1_DDR_DQ57	-8000.00	-18000.00
n	AP12	MC1_DDR_DQ58	-8000.00	-14000.00
n	AR13	MC1_DDR_DQ59	-7000.00	-15000.00
n	AW11	MC1_DDR_DQ60	-9000.00	-19000.00
n	AU12	MC1_DDR_DQ61	-8000.00	-17000.00
n	AW13	MC1_DDR_DQ62	-7000.00	-19000.00
n	AP13	MC1_DDR_DQ63	-7000.00	-14000.00
n	Y03	MC1_DDR_DQM0	-17000.00	0.00
n	AB01	MC1_DDR_DQM1	-19000.00	-2000.00
n	AE03	MC1_DDR_DQM2	-17000.00	-5000.00
n	AH04	MC1_DDR_DQM3	-16000.00	-8000.00
n	AV02	MC1_DDR_DQM4	-18000.00	-18000.00
n	AW07	MC1_DDR_DQM5	-13000.00	-19000.00
n	AP10	MC1_DDR_DQM6	-10000.00	-14000.00
n	AW12	MC1_DDR_DQM7	-8000.00	-19000.00
n	AJ01	MC1_DDR_DQM8	-19000.00	-9000.00
n	AA02	MC1_DDR_DQSn0	-18000.00	-1000.00
n	AC01	MC1_DDR_DQSn1	-19000.00	-3000.00
n	AE01	MC1_DDR_DQSn2	-19000.00	-5000.00
n	AG01	MC1_DDR_DQSn3	-19000.00	-7000.00
n	AW01	MC1_DDR_DQSn4	-19000.00	-19000.00
n	AU08	MC1_DDR_DQSn5	-12000.00	-17000.00
n	AT10	MC1_DDR_DQSn6	-10000.00	-16000.00

n	AU13	MC1_DDR_DQSn7	-7000.00	-17000.00
n	AK01	MC1_DDR_DQSn8	-19000.00	-10000.00
n	AA01	MC1_DDR_DQSp0	-19000.00	-1000.00
n	AC02	MC1_DDR_DQSp1	-18000.00	-3000.00
n	AE02	MC1_DDR_DQSp2	-18000.00	-5000.00
n	AG02	MC1_DDR_DQSp3	-18000.00	-7000.00
n	AW02	MC1_DDR_DQSp4	-18000.00	-19000.00
n	AV08	MC1_DDR_DQSp5	-12000.00	-18000.00
n	AU10	MC1_DDR_DQSp6	-10000.00	-17000.00
n	AV13	MC1_DDR_DQSp7	-7000.00	-18000.00
n	AK02	MC1_DDR_DQSp8	-18000.00	-10000.00
n	AT05	MC1_DDR_ODT0	-15000.00	-16000.00
n	AU05	MC1_DDR_ODT1	-15000.00	-17000.00
n	AT06	MC1_DDR_ODT2	-14000.00	-16000.00
n	AU06	MC1_DDR_ODT3	-14000.00	-17000.00
n	AR03	MC1_DDR_RASn	-17000.00	-15000.00
n	AM06	MC1_DDR_RESETh	-14000.00	-12000.00
n	AT01	MC1_DDR_SCSn0	-19000.00	-16000.00
n	AU02	MC1_DDR_SCSn1	-18000.00	-17000.00
n	AT03	MC1_DDR_SCSn2	-17000.00	-16000.00
n	AU01	MC1_DDR_SCSn3	-19000.00	-17000.00
n	AT02	MC1_DDR_WEn	-18000.00	-16000.00
n	AW24	MEMCLK	4000.00	-19000.00
n	L36	NMIh	16000.00	9000.00
n	R01	NODE_ID0	-19000.00	5000.00
n	T06	NODE_ID1	-14000.00	4000.00
n	AU26	PCI_AD00	6000.00	-17000.00
n	AW26	PCI_AD01	6000.00	-19000.00
n	AV26	PCI_AD02	6000.00	-18000.00
n	AR26	PCI_AD03	6000.00	-15000.00
n	AT25	PCI_AD04	5000.00	-16000.00
n	AR25	PCI_AD05	5000.00	-15000.00
n	AU25	PCI_AD06	5000.00	-17000.00
n	AR24	PCI_AD07	4000.00	-15000.00
n	AT23	PCI_AD08	3000.00	-16000.00
n	AR23	PCI_AD09	3000.00	-15000.00
n	AW23	PCI_AD10	3000.00	-19000.00
n	AU23	PCI_AD11	3000.00	-17000.00
n	AV23	PCI_AD12	3000.00	-18000.00
n	AR22	PCI_AD13	2000.00	-15000.00
n	AP22	PCI_AD14	2000.00	-14000.00
n	AV22	PCI_AD15	2000.00	-18000.00
n	AV20	PCI_AD16	0.00	-18000.00

n	AU20	PCI_AD17	0.00	-17000.00
n	AT19	PCI_AD18	-1000.00	-16000.00
n	AR19	PCI_AD19	-1000.00	-15000.00
n	AW19	PCI_AD20	-1000.00	-19000.00
n	AV19	PCI_AD21	-1000.00	-18000.00
n	AU19	PCI_AD22	-1000.00	-17000.00
n	AR18	PCI_AD23	-2000.00	-15000.00
n	AW18	PCI_AD24	-2000.00	-19000.00
n	AV18	PCI_AD25	-2000.00	-18000.00
n	AU18	PCI_AD26	-2000.00	-17000.00
n	AT17	PCI_AD27	-3000.00	-16000.00
n	AR17	PCI_AD28	-3000.00	-15000.00
n	AW17	PCI_AD29	-3000.00	-19000.00
n	AU17	PCI_AD30	-3000.00	-17000.00
n	AV17	PCI_AD31	-3000.00	-18000.00
n	AP24	PCI_CBEn0	4000.00	-14000.00
n	AW22	PCI_CBEn1	2000.00	-19000.00
n	AW20	PCI_CBEn2	0.00	-19000.00
n	AP18	PCI_CBEn3	-2000.00	-14000.00
n	AW14	PCI_CLK	-6000.00	-19000.00
n	M04	PCI_CONFIG0	-16000.00	8000.00
n	N04	PCI_CONFIG1	-16000.00	7000.00
n	N03	PCI_CONFIG2	-17000.00	7000.00
n	M05	PCI_CONFIG3	-15000.00	8000.00
n	N05	PCI_CONFIG4	-15000.00	7000.00
n	L05	PCI_CONFIG5	-15000.00	9000.00
n	L04	PCI_CONFIG6	-16000.00	9000.00
n	L03	PCI_CONFIG7	-17000.00	9000.00
n	AV21	PCI_DEVSELn	1000.00	-18000.00
n	AP20	PCI_FRAMEn	0.00	-14000.00
n	AV15	PCI_GNTn0	-5000.00	-18000.00
n	AT15	PCI_GNTn1	-5000.00	-16000.00
n	AP15	PCI_GNTn2	-5000.00	-14000.00
n	AV16	PCI_GNTn3	-4000.00	-18000.00
n	AR16	PCI_GNTn4	-4000.00	-15000.00
n	AP17	PCI_GNTn5	-3000.00	-14000.00
n	AN24	PCI_GNTn6	4000.00	-13000.00
n	AP26	PCI_IDSEL	6000.00	-14000.00
n	AR20	PCI_IRDYn	0.00	-15000.00
n	AU14	PCI_IRQnA	-6000.00	-17000.00
n	AP14	PCI_IRQnB	-6000.00	-14000.00
n	AV14	PCI_IRQnC	-6000.00	-18000.00
n	AN14	PCI_IRQnD	-6000.00	-13000.00

n	AU22	PCI_PAR	2000.00	-17000.00
n	AR21	PCI_PERR	1000.00	-15000.00
n	AW15	PCI_REQn0	-5000.00	-19000.00
n	AU15	PCI_REQn1	-5000.00	-17000.00
n	AR15	PCI_REQn2	-5000.00	-15000.00
n	AW16	PCI_REQn3	-4000.00	-19000.00
n	AU16	PCI_REQn4	-4000.00	-17000.00
n	AP16	PCI_REQn5	-4000.00	-14000.00
n	AP25	PCI_REQn6	5000.00	-14000.00
n	AR14	PCI_RESETh	-6000.00	-15000.00
n	AT21	PCI_SERR	1000.00	-16000.00
n	AW21	PCI_STOPn	1000.00	-19000.00
n	AU21	PCI_TRDYn	1000.00	-17000.00
n	N35	SPI_SCK	15000.00	7000.00
n	M37	SPI_SDI	17000.00	8000.00
n	L38	SPI_SDO	18000.00	9000.00
n	A20	SYSCLK	0.00	19000.00
n	B20	SYSRESETn	0.00	18000.00
n	P35	TCK	15000.00	6000.00
n	N38	TDI	18000.00	7000.00
n	N36	TDO	16000.00	7000.00
n	N37	TESTCLK	17000.00	7000.00
n	M39	TMS	19000.00	8000.00
n	N39	TRST	19000.00	7000.00
n	N02	UART0_CTS	-18000.00	7000.00
n	P05	UART0_DCD	-15000.00	6000.00
n	P04	UART0_DSR	-16000.00	6000.00
n	M02	UART0_DTR	-18000.00	8000.00
n	L01	UART0_RI	-19000.00	9000.00
n	P03	UART0_RTS	-17000.00	6000.00
n	M03	UART0_RXD	-17000.00	8000.00
n	P06	UART0_TXD	-14000.00	6000.00
n	R06	UART1_CTS	-14000.00	5000.00
n	L02	UART1_DCD	-18000.00	9000.00
n	P02	UART1_DSR	-18000.00	6000.00
n	N01	UART1_DTR	-19000.00	7000.00
n	R02	UART1_RI	-18000.00	5000.00
n	M01	UART1_RTS	-19000.00	8000.00
n	P01	UART1_RXD	-19000.00	6000.00
n	R05	UART1_TXD	-15000.00	5000.00
n_pll	C19	CORE_PLL_AVDD	-1000.00	17000.00
n_pll	C21	CORE_PLL_DVDD	1000.00	17000.00
n_pll	C20	CORE_PLL_GND	0.00	17000.00



n_pll	D20	CORE_PLL_GNDE	0.00	16000.00
n_pll	AW25	DDR_PLL_AVDD	5000.00	-19000.00
n_pll	AV24	DDR_PLL_DVDD	4000.00	-18000.00
n_pll	AU24	DDR_PLL_GND	4000.00	-17000.00
n_pll	AV25	DDR_PLL_GNDE	5000.00	-18000.00
n_pll	D33	HT0_PLL_AGND	13000.00	16000.00
n_pll	C33	HT0_PLL_AVDD	13000.00	17000.00
n_pll	F33	HT0_PLL_DGND	13000.00	14000.00
n_pll	E33	HT0_PLL_DVDD	13000.00	15000.00
n_pll	D07	HT1_PLL_AGND	-13000.00	16000.00
n_pll	C07	HT1_PLL_AVDD	-13000.00	17000.00
n_pll	F07	HT1_PLL_DGND	-13000.00	14000.00
n_pll	E07	HT1_PLL_DVDD	-13000.00	15000.00
nc	A05	NC1_HT1_REXT	-15000.00	19000.00
nc	A35	NC2_HT0_REXT	15000.00	19000.00
nc	AN07	NC3_MC1_REXT	-13000.00	-13000.00
nc	AN33	NC4_MC0_REXT	13000.00	-13000.00
p	AA13	GND	-7000.00	-1000.00
p	AA15	GND	-5000.00	-1000.00
p	AA17	GND	-3000.00	-1000.00
p	AA19	GND	-1000.00	-1000.00
p	AA21	GND	1000.00	-1000.00
p	AA23	GND	3000.00	-1000.00
p	AA25	GND	5000.00	-1000.00
p	AA27	GND	7000.00	-1000.00
p	AB04	GND	-16000.00	-2000.00
p	AB14	GND	-6000.00	-2000.00
p	AB16	GND	-4000.00	-2000.00
p	AB18	GND	-2000.00	-2000.00
p	AB20	GND	0.00	-2000.00
p	AB22	GND	2000.00	-2000.00
p	AB24	GND	4000.00	-2000.00
p	AB26	GND	6000.00	-2000.00
p	AB36	GND	16000.00	-2000.00
p	AC13	GND	-7000.00	-3000.00
p	AC15	GND	-5000.00	-3000.00
p	AC17	GND	-3000.00	-3000.00
p	AC19	GND	-1000.00	-3000.00
p	AC21	GND	1000.00	-3000.00
p	AC23	GND	3000.00	-3000.00
p	AC25	GND	5000.00	-3000.00
p	AC27	GND	7000.00	-3000.00
p	AD03	GND	-17000.00	-4000.00

p	AD07	GND	-13000.00	-4000.00
p	AD14	GND	-6000.00	-4000.00
p	AD16	GND	-4000.00	-4000.00
p	AD18	GND	-2000.00	-4000.00
p	AD20	GND	0.00	-4000.00
p	AD22	GND	2000.00	-4000.00
p	AD24	GND	4000.00	-4000.00
p	AD26	GND	6000.00	-4000.00
p	AD33	GND	13000.00	-4000.00
p	AD37	GND	17000.00	-4000.00
p	AE13	GND	-7000.00	-5000.00
p	AE15	GND	-5000.00	-5000.00
p	AE17	GND	-3000.00	-5000.00
p	AE19	GND	-1000.00	-5000.00
p	AE21	GND	1000.00	-5000.00
p	AE23	GND	3000.00	-5000.00
p	AE25	GND	5000.00	-5000.00
p	AE27	GND	7000.00	-5000.00
p	AF05	GND	-15000.00	-6000.00
p	AF14	GND	-6000.00	-6000.00
p	AF16	GND	-4000.00	-6000.00
p	AF18	GND	-2000.00	-6000.00
p	AF20	GND	0.00	-6000.00
p	AF22	GND	2000.00	-6000.00
p	AF24	GND	4000.00	-6000.00
p	AF26	GND	6000.00	-6000.00
p	AF35	GND	15000.00	-6000.00
p	AG07	GND	-13000.00	-7000.00
p	AG13	GND	-7000.00	-7000.00
p	AG15	GND	-5000.00	-7000.00
p	AG17	GND	-3000.00	-7000.00
p	AG19	GND	-1000.00	-7000.00
p	AG21	GND	1000.00	-7000.00
p	AG23	GND	3000.00	-7000.00
p	AG25	GND	5000.00	-7000.00
p	AG27	GND	7000.00	-7000.00
p	AG33	GND	13000.00	-7000.00
p	AH03	GND	-17000.00	-8000.00
p	AH37	GND	17000.00	-8000.00
p	AJ07	GND	-13000.00	-9000.00
p	AJ33	GND	13000.00	-9000.00
p	AK06	GND	-14000.00	-10000.00
p	AK34	GND	14000.00	-10000.00

p	AM03	GND	-17000.00	-12000.00
p	AM37	GND	17000.00	-12000.00
p	AN11	GND	-9000.00	-13000.00
p	AN15	GND	-5000.00	-13000.00
p	AN16	GND	-4000.00	-13000.00
p	AN17	GND	-3000.00	-13000.00
p	AN18	GND	-2000.00	-13000.00
p	AN19	GND	-1000.00	-13000.00
p	AN20	GND	0.00	-13000.00
p	AN21	GND	1000.00	-13000.00
p	AN22	GND	2000.00	-13000.00
p	AN23	GND	3000.00	-13000.00
p	AN25	GND	5000.00	-13000.00
p	AN26	GND	6000.00	-13000.00
p	AN29	GND	9000.00	-13000.00
p	AP07	GND	-13000.00	-14000.00
p	AP33	GND	13000.00	-14000.00
p	AT13	GND	-7000.00	-16000.00
p	AT27	GND	7000.00	-16000.00
p	AU03	GND	-17000.00	-17000.00
p	AU09	GND	-11000.00	-17000.00
p	AU11	GND	-9000.00	-17000.00
p	AU29	GND	9000.00	-17000.00
p	AU31	GND	11000.00	-17000.00
p	AU37	GND	17000.00	-17000.00
p	C04	GND	-16000.00	17000.00
p	C05	GND	-15000.00	17000.00
p	C35	GND	15000.00	17000.00
p	C36	GND	16000.00	17000.00
p	D02	GND	-18000.00	16000.00
p	D03	GND	-17000.00	16000.00
p	D09	GND	-11000.00	16000.00
p	D11	GND	-9000.00	16000.00
p	D13	GND	-7000.00	16000.00
p	D15	GND	-5000.00	16000.00
p	D17	GND	-3000.00	16000.00
p	D23	GND	3000.00	16000.00
p	D25	GND	5000.00	16000.00
p	D27	GND	7000.00	16000.00
p	D29	GND	9000.00	16000.00
p	D31	GND	11000.00	16000.00
p	D37	GND	17000.00	16000.00
p	D38	GND	18000.00	16000.00

p	E09	GND	-11000.00	15000.00
p	E11	GND	-9000.00	15000.00
p	E13	GND	-7000.00	15000.00
p	E15	GND	-5000.00	15000.00
p	E17	GND	-3000.00	15000.00
p	E23	GND	3000.00	15000.00
p	E25	GND	5000.00	15000.00
p	E27	GND	7000.00	15000.00
p	E29	GND	9000.00	15000.00
p	E31	GND	11000.00	15000.00
p	F20	GND	0.00	14000.00
p	G04	GND	-16000.00	13000.00
p	G05	GND	-15000.00	13000.00
p	G07	GND	-13000.00	13000.00
p	G10	GND	-10000.00	13000.00
p	G11	GND	-9000.00	13000.00
p	G14	GND	-6000.00	13000.00
p	G15	GND	-5000.00	13000.00
p	G17	GND	-3000.00	13000.00
p	G19	GND	-1000.00	13000.00
p	G21	GND	1000.00	13000.00
p	G23	GND	3000.00	13000.00
p	G25	GND	5000.00	13000.00
p	G26	GND	6000.00	13000.00
p	G29	GND	9000.00	13000.00
p	G30	GND	10000.00	13000.00
p	G33	GND	13000.00	13000.00
p	G35	GND	15000.00	13000.00
p	G36	GND	16000.00	13000.00
p	H02	GND	-18000.00	12000.00
p	H03	GND	-17000.00	12000.00
p	H07	GND	-13000.00	12000.00
p	H33	GND	13000.00	12000.00
p	H37	GND	17000.00	12000.00
p	H38	GND	18000.00	12000.00
p	L07	GND	-13000.00	9000.00
p	L33	GND	13000.00	9000.00
p	M06	GND	-14000.00	8000.00
p	M34	GND	14000.00	8000.00
p	N07	GND	-13000.00	7000.00
p	N13	GND	-7000.00	7000.00
p	N15	GND	-5000.00	7000.00
p	N17	GND	-3000.00	7000.00

p	N19	GND	-1000.00	7000.00
p	N21	GND	1000.00	7000.00
p	N23	GND	3000.00	7000.00
p	N25	GND	5000.00	7000.00
p	N27	GND	7000.00	7000.00
p	N33	GND	13000.00	7000.00
p	P14	GND	-6000.00	6000.00
p	P16	GND	-4000.00	6000.00
p	P18	GND	-2000.00	6000.00
p	P20	GND	0.00	6000.00
p	P22	GND	2000.00	6000.00
p	P24	GND	4000.00	6000.00
p	P26	GND	6000.00	6000.00
p	R07	GND	-13000.00	5000.00
p	R13	GND	-7000.00	5000.00
p	R15	GND	-5000.00	5000.00
p	R17	GND	-3000.00	5000.00
p	R19	GND	-1000.00	5000.00
p	R21	GND	1000.00	5000.00
p	R23	GND	3000.00	5000.00
p	R25	GND	5000.00	5000.00
p	R27	GND	7000.00	5000.00
p	R33	GND	13000.00	5000.00
p	T07	GND	-13000.00	4000.00
p	T14	GND	-6000.00	4000.00
p	T16	GND	-4000.00	4000.00
p	T18	GND	-2000.00	4000.00
p	T20	GND	0.00	4000.00
p	T22	GND	2000.00	4000.00
p	T24	GND	4000.00	4000.00
p	T26	GND	6000.00	4000.00
p	T34	GND	14000.00	4000.00
p	U13	GND	-7000.00	3000.00
p	U15	GND	-5000.00	3000.00
p	U17	GND	-3000.00	3000.00
p	U19	GND	-1000.00	3000.00
p	U21	GND	1000.00	3000.00
p	U23	GND	3000.00	3000.00
p	U25	GND	5000.00	3000.00
p	U27	GND	7000.00	3000.00
p	U33	GND	13000.00	3000.00
p	V06	GND	-14000.00	2000.00
p	V07	GND	-13000.00	2000.00

p	V14	GND	-6000.00	2000.00
p	V16	GND	-4000.00	2000.00
p	V18	GND	-2000.00	2000.00
p	V20	GND	0.00	2000.00
p	V22	GND	2000.00	2000.00
p	V24	GND	4000.00	2000.00
p	V26	GND	6000.00	2000.00
p	V34	GND	14000.00	2000.00
p	W01	GND	-19000.00	1000.00
p	W03	GND	-17000.00	1000.00
p	W05	GND	-15000.00	1000.00
p	W13	GND	-7000.00	1000.00
p	W15	GND	-5000.00	1000.00
p	W17	GND	-3000.00	1000.00
p	W19	GND	-1000.00	1000.00
p	W21	GND	1000.00	1000.00
p	W23	GND	3000.00	1000.00
p	W25	GND	5000.00	1000.00
p	W27	GND	7000.00	1000.00
p	W33	GND	13000.00	1000.00
p	W35	GND	15000.00	1000.00
p	W36	GND	16000.00	1000.00
p	Y04	GND	-16000.00	0.00
p	Y07	GND	-13000.00	0.00
p	Y14	GND	-6000.00	0.00
p	Y16	GND	-4000.00	0.00
p	Y18	GND	-2000.00	0.00
p	Y20	GND	0.00	0.00
p	Y22	GND	2000.00	0.00
p	Y24	GND	4000.00	0.00
p	Y26	GND	6000.00	0.00
p	Y33	GND	13000.00	0.00
p	Y36	GND	16000.00	0.00
p	AA14	VDD	-6000.00	-1000.00
p	AA26	VDD	6000.00	-1000.00
p	AB13	VDD	-7000.00	-2000.00
p	AB15	VDD	-5000.00	-2000.00
p	AB25	VDD	5000.00	-2000.00
p	AB27	VDD	7000.00	-2000.00
p	AC14	VDD	-6000.00	-3000.00
p	AC26	VDD	6000.00	-3000.00
p	AD13	VDD	-7000.00	-4000.00
p	AD15	VDD	-5000.00	-4000.00

p	AD25	VDD	5000.00	-4000.00
p	AD27	VDD	7000.00	-4000.00
p	AE14	VDD	-6000.00	-5000.00
p	AE26	VDD	6000.00	-5000.00
p	AF13	VDD	-7000.00	-6000.00
p	AF15	VDD	-5000.00	-6000.00
p	AF17	VDD	-3000.00	-6000.00
p	AF19	VDD	-1000.00	-6000.00
p	AF21	VDD	1000.00	-6000.00
p	AF23	VDD	3000.00	-6000.00
p	AF25	VDD	5000.00	-6000.00
p	AF27	VDD	7000.00	-6000.00
p	AG14	VDD	-6000.00	-7000.00
p	AG16	VDD	-4000.00	-7000.00
p	AG18	VDD	-2000.00	-7000.00
p	AG20	VDD	0.00	-7000.00
p	AG22	VDD	2000.00	-7000.00
p	AG24	VDD	4000.00	-7000.00
p	AG26	VDD	6000.00	-7000.00
p	N14	VDD	-6000.00	7000.00
p	N16	VDD	-4000.00	7000.00
p	N18	VDD	-2000.00	7000.00
p	N20	VDD	0.00	7000.00
p	N22	VDD	2000.00	7000.00
p	N24	VDD	4000.00	7000.00
p	N26	VDD	6000.00	7000.00
p	P13	VDD	-7000.00	6000.00
p	P15	VDD	-5000.00	6000.00
p	P17	VDD	-3000.00	6000.00
p	P19	VDD	-1000.00	6000.00
p	P21	VDD	1000.00	6000.00
p	P23	VDD	3000.00	6000.00
p	P25	VDD	5000.00	6000.00
p	P27	VDD	7000.00	6000.00
p	R14	VDD	-6000.00	5000.00
p	R26	VDD	6000.00	5000.00
p	T13	VDD	-7000.00	4000.00
p	T15	VDD	-5000.00	4000.00
p	T25	VDD	5000.00	4000.00
p	T27	VDD	7000.00	4000.00
p	U06	VDD	-14000.00	3000.00
p	U07	VDD	-13000.00	3000.00
p	U14	VDD	-6000.00	3000.00

p	U26	VDD	6000.00	3000.00
p	V13	VDD	-7000.00	2000.00
p	V15	VDD	-5000.00	2000.00
p	V25	VDD	5000.00	2000.00
p	V27	VDD	7000.00	2000.00
p	W02	VDD	-18000.00	1000.00
p	W04	VDD	-16000.00	1000.00
p	W06	VDD	-14000.00	1000.00
p	W07	VDD	-13000.00	1000.00
p	W14	VDD	-6000.00	1000.00
p	W26	VDD	6000.00	1000.00
p	Y13	VDD	-7000.00	0.00
p	Y15	VDD	-5000.00	0.00
p	Y17	VDD	-3000.00	0.00
p	Y23	VDD	3000.00	0.00
p	Y25	VDD	5000.00	0.00
p	Y27	VDD	7000.00	0.00
p	AA16	VDD	-4000.00	-1000.00
p	AA18	VDD	-2000.00	-1000.00
p	AA20	VDD	0.00	-1000.00
p	AA22	VDD	2000.00	-1000.00
p	AA24	VDD	4000.00	-1000.00
p	AB17	VDD	-3000.00	-2000.00
p	AB19	VDD	-1000.00	-2000.00
p	AB21	VDD	1000.00	-2000.00
p	AB23	VDD	3000.00	-2000.00
p	AC16	VDD	-4000.00	-3000.00
p	AC18	VDD	-2000.00	-3000.00
p	AC20	VDD	0.00	-3000.00
p	AC22	VDD	2000.00	-3000.00
p	AC24	VDD	4000.00	-3000.00
p	AD17	VDD	-3000.00	-4000.00
p	AD19	VDD	-1000.00	-4000.00
p	AD21	VDD	1000.00	-4000.00
p	AD23	VDD	3000.00	-4000.00
p	AE16	VDD	-4000.00	-5000.00
p	AE18	VDD	-2000.00	-5000.00
p	AE20	VDD	0.00	-5000.00
p	AE22	VDD	2000.00	-5000.00
p	AE24	VDD	4000.00	-5000.00
p	R16	VDD	-4000.00	5000.00
p	R18	VDD	-2000.00	5000.00
p	R20	VDD	0.00	5000.00



p	R22	VDD	2000.00	5000.00
p	R24	VDD	4000.00	5000.00
p	T17	VDD	-3000.00	4000.00
p	T19	VDD	-1000.00	4000.00
p	T21	VDD	1000.00	4000.00
p	T23	VDD	3000.00	4000.00
p	U16	VDD	-4000.00	3000.00
p	U18	VDD	-2000.00	3000.00
p	U20	VDD	0.00	3000.00
p	U22	VDD	2000.00	3000.00
p	U24	VDD	4000.00	3000.00
p	V17	VDD	-3000.00	2000.00
p	V19	VDD	-1000.00	2000.00
p	V21	VDD	1000.00	2000.00
p	V23	VDD	3000.00	2000.00
p	W16	VDD	-4000.00	1000.00
p	W18	VDD	-2000.00	1000.00
p	W20	VDD	0.00	1000.00
p	W22	VDD	2000.00	1000.00
p	W24	VDD	4000.00	1000.00
p	Y19	VDD	-1000.00	0.00
p	Y21	VDD	1000.00	0.00
p	AB07	VDD_MEM	-13000.00	-2000.00
p	AB33	VDD_MEM	13000.00	-2000.00
p	AF07	VDD_MEM	-13000.00	-6000.00
p	AF33	VDD_MEM	13000.00	-6000.00
p	AH07	VDD_MEM	-13000.00	-8000.00
p	AH33	VDD_MEM	13000.00	-8000.00
p	AL07	VDD_MEM	-13000.00	-11000.00
p	AL33	VDD_MEM	13000.00	-11000.00
p	AN10	VDD_MEM	-10000.00	-13000.00
p	AN30	VDD_MEM	10000.00	-13000.00
p	G08	VDDE_1V2	-12000.00	13000.00
p	G09	VDDE_1V2	-11000.00	13000.00
p	G12	VDDE_1V2	-8000.00	13000.00
p	G13	VDDE_1V2	-7000.00	13000.00
p	G16	VDDE_1V2	-4000.00	13000.00
p	G24	VDDE_1V2	4000.00	13000.00
p	G27	VDDE_1V2	7000.00	13000.00
p	G28	VDDE_1V2	8000.00	13000.00
p	G31	VDDE_1V2	11000.00	13000.00
p	G32	VDDE_1V2	12000.00	13000.00
p	J07	VDDE_1V2	-13000.00	11000.00

p	J33	VDDE_1V2	13000.00	11000.00
p	K07	VDDE_1V2	-13000.00	10000.00
p	K33	VDDE_1V2	13000.00	10000.00
p	A04	VDDE_1V8	-16000.00	19000.00
p	A36	VDDE_1V8	16000.00	19000.00
p	B02	VDDE_1V8	-18000.00	18000.00
p	B03	VDDE_1V8	-17000.00	18000.00
p	B08	VDDE_1V8	-12000.00	18000.00
p	B10	VDDE_1V8	-10000.00	18000.00
p	B12	VDDE_1V8	-8000.00	18000.00
p	B14	VDDE_1V8	-6000.00	18000.00
p	B16	VDDE_1V8	-4000.00	18000.00
p	B24	VDDE_1V8	4000.00	18000.00
p	B26	VDDE_1V8	6000.00	18000.00
p	B28	VDDE_1V8	8000.00	18000.00
p	B30	VDDE_1V8	10000.00	18000.00
p	B32	VDDE_1V8	12000.00	18000.00
p	B37	VDDE_1V8	17000.00	18000.00
p	B38	VDDE_1V8	18000.00	18000.00
p	C08	VDDE_1V8	-12000.00	17000.00
p	C10	VDDE_1V8	-10000.00	17000.00
p	C12	VDDE_1V8	-8000.00	17000.00
p	C14	VDDE_1V8	-6000.00	17000.00
p	C16	VDDE_1V8	-4000.00	17000.00
p	C24	VDDE_1V8	4000.00	17000.00
p	C26	VDDE_1V8	6000.00	17000.00
p	C28	VDDE_1V8	8000.00	17000.00
p	C30	VDDE_1V8	10000.00	17000.00
p	C32	VDDE_1V8	12000.00	17000.00
p	E04	VDDE_1V8	-16000.00	15000.00
p	E05	VDDE_1V8	-15000.00	15000.00
p	E35	VDDE_1V8	15000.00	15000.00
p	E36	VDDE_1V8	16000.00	15000.00
p	F02	VDDE_1V8	-18000.00	14000.00
p	F03	VDDE_1V8	-17000.00	14000.00
p	F37	VDDE_1V8	17000.00	14000.00
p	F38	VDDE_1V8	18000.00	14000.00
p	J04	VDDE_1V8	-16000.00	11000.00
p	J05	VDDE_1V8	-15000.00	11000.00
p	J35	VDDE_1V8	15000.00	11000.00
p	J36	VDDE_1V8	16000.00	11000.00
p	K02	VDDE_1V8	-18000.00	10000.00
p	K03	VDDE_1V8	-17000.00	10000.00

p	K37	VDDE_1V8	17000.00	10000.00
p	K38	VDDE_1V8	18000.00	10000.00
p	AP19	VDDE_3V3	-1000.00	-14000.00
p	AP21	VDDE_3V3	1000.00	-14000.00
p	AP23	VDDE_3V3	3000.00	-14000.00
p	AT14	VDDE_3V3	-6000.00	-16000.00
p	AT16	VDDE_3V3	-4000.00	-16000.00
p	AT18	VDDE_3V3	-2000.00	-16000.00
p	AT20	VDDE_3V3	0.00	-16000.00
p	AT22	VDDE_3V3	2000.00	-16000.00
p	AT24	VDDE_3V3	4000.00	-16000.00
p	AT26	VDDE_3V3	6000.00	-16000.00
p	L06	VDDE_3V3	-14000.00	9000.00
p	L34	VDDE_3V3	14000.00	9000.00
p	M07	VDDE_3V3	-13000.00	8000.00
p	M33	VDDE_3V3	13000.00	8000.00
p	N06	VDDE_3V3	-14000.00	7000.00
p	N34	VDDE_3V3	14000.00	7000.00
p	P07	VDDE_3V3	-13000.00	6000.00
p	P33	VDDE_3V3	13000.00	6000.00
p	T33	VDDE_3V3	13000.00	4000.00
p	U34	VDDE_3V3	14000.00	3000.00
p	V33	VDDE_3V3	13000.00	2000.00
p	W34	VDDE_3V3	14000.00	1000.00
p	AA05	VDDE_DDR	-15000.00	-1000.00
p	AA35	VDDE_DDR	15000.00	-1000.00
p	AC03	VDDE_DDR	-17000.00	-3000.00
p	AC37	VDDE_DDR	17000.00	-3000.00
p	AE04	VDDE_DDR	-16000.00	-5000.00
p	AE36	VDDE_DDR	16000.00	-5000.00
p	AG04	VDDE_DDR	-16000.00	-7000.00
p	AG36	VDDE_DDR	16000.00	-7000.00
p	AJ05	VDDE_DDR	-15000.00	-9000.00
p	AJ35	VDDE_DDR	15000.00	-9000.00
p	AL04	VDDE_DDR	-16000.00	-11000.00
p	AL36	VDDE_DDR	16000.00	-11000.00
p	AN04	VDDE_DDR	-16000.00	-13000.00
p	AN36	VDDE_DDR	16000.00	-13000.00
p	AR10	VDDE_DDR	-10000.00	-15000.00
p	AR30	VDDE_DDR	10000.00	-15000.00
p	AT08	VDDE_DDR	-12000.00	-16000.00
p	AT12	VDDE_DDR	-8000.00	-16000.00
p	AT28	VDDE_DDR	8000.00	-16000.00

p	AT32	VDDE_DDR	12000.00	-16000.00
p	AV04	VDDE_DDR	-16000.00	-18000.00
p	AV36	VDDE_DDR	16000.00	-18000.00
p	AN12	VDDE_VREF	-8000.00	-13000.00
p	AN13	VDDE_VREF	-7000.00	-13000.00
p	AN27	VDDE_VREF	7000.00	-13000.00
p	AN28	VDDE_VREF	8000.00	-13000.00
p	E20	VDDESB	0.00	15000.00
p	G18	VDDESB	-2000.00	13000.00
p	G20	VDDESB	0.00	13000.00
p	G22	VDDESB	2000.00	13000.00

## 8.2. FCBGA 引脚顶层排列

	1	2	3	4	5	6
A	HT1_TX_CADn07	HT1_TX_CTLp0	HT1_TX_CTLn0	VDDE_1V8	NC1_HT1_REXT	HT1_TX_CTLp1
B	HT1_TX_CADp07	VDDE_1V8	VDDE_1V8	HT1_TX_CADn15	HT1_TX_CADp15	HT1_TX_CTLn1
C	HT1_TX_CADn05	HT1_TX_CADp06	HT1_TX_CADn06	GND	GND	HT1_TX_CADn14
D	HT1_TX_CADp05	GND	GND	HT1_TX_CADn13	HT1_TX_CADp13	HT1_TX_CADp14
E	HT1_TX_CLKn0	HT1_TX_CADp04	HT1_TX_CADn04	VDDE_1V8	VDDE_1V8	HT1_TX_CADn12
F	HT1_TX_CLKp0	VDDE_1V8	VDDE_1V8	HT1_TX_CLKn1	HT1_TX_CLKp1	HT1_TX_CADp12
G	HT1_TX_CADn02	HT1_TX_CADp03	HT1_TX_CADn03	GND	GND	HT1_TX_CADn11
H	HT1_TX_CADp02	GND	GND	HT1_TX_CADn10	HT1_TX_CADp10	HT1_TX_CADp11
J	HT1_TX_CADn00	HT1_TX_CADp01	HT1_TX_CADn01	VDDE_1V8	VDDE_1V8	HT1_TX_CADn09
K	HT1_TX_CADp00	VDDE_1V8	VDDE_1V8	HT1_TX_CADn08	HT1_TX_CADp08	HT1_TX_CADp09
L	UART0_RI	UART1_DCD	PCI_CONFIG7	PCI_CONFIG6	PCI_CONFIG5	VDDE_3V3
M	UART1_RTS	UART0_DTR	UART0_RXD	PCI_CONFIG0	PCI_CONFIG3	GND
N	UART1_DTR	UART0_CTS	PCI_CONFIG2	PCI_CONFIG1	PCI_CONFIG4	VDDE_3V3
P	UART1_RXD	UART1_DSR	UART0_RTS	UART0_DSR	UART0_DCD	UART0_TXD
R	NODE_ID0	UART1_RI	CLKSEL15	ICCC_EN	UART1_TXD	UART1_CTS
T	CLKSEL11	CLKSEL08	CLKSEL14	CLKSEL10	CLKSEL13	NODE_ID1
U	CLKSEL07	CLKSEL06	CLKSEL09	CLKSEL05	CLKSEL12	VDD
V	CLKSEL02	CLKSEL01	CLKSEL04	CLKSEL00	CLKSEL03	GND
W	GND	VDD	GND	VDD	GND	VDD
Y	MC1_DDR_DQ01	MC1_DDR_DQ00	MC1_DDR_DQ0	GND	MC1_DDR_DQ05	MC1_DDR_DQ04
AA	MC1_DDR_DQSp0	MC1_DDR_DQSn0	MC1_DDR_DQ06	MC1_DDR_DQ03	VDDE_DDR	MC1_DDR_DQ07
AB	MC1_DDR_DQM1	MC1_DDR_DQ13	MC1_DDR_DQ09	GND	MC1_DDR_DQ08	MC1_DDR_DQ12
AC	MC1_DDR_DQSn1	MC1_DDR_DQSp1	VDDE_DDR	MC1_DDR_CLKp1	MC1_DDR_CLKn1	MC1_DDR_DQ14
AD	MC1_DDR_CLKp0	MC1_DDR_CLKn0	GND	MC1_DDR_DQ15	MC1_DDR_DQ11	MC1_DDR_DQ20
AE	MC1_DDR_DQSn2	MC1_DDR_DQSp2	MC1_DDR_DQM2	VDDE_DDR	MC1_DDR_DQ17	MC1_DDR_DQ21
AF	MC1_DDR_DQ23	MC1_DDR_DQ19	MC1_DDR_DQ28	MC1_DDR_DQ18	GND	MC1_DDR_DQ22
AG	MC1_DDR_DQSn3	MC1_DDR_DQSp3	MC1_DDR_DQ25	VDDE_DDR	MC1_DDR_DQ29	MC1_DDR_DQ24
AH	MC1_DDR_DQ27	MC1_DDR_DQ31	GND	MC1_DDR_DQM3	MC1_DDR_DQ26	MC1_DDR_DQ30
AJ	MC1_DDR_DQM8	MC1_DDR_CB1	MC1_DDR_CB0	MC1_DDR_CB5	VDDE_DDR	MC1_DDR_CB4
AK	MC1_DDR_DQSn8	MC1_DDR_DQSp8	MC1_DDR_CB3	MC1_DDR_CB2	MC1_DDR_CB7	GND
AL	MC1_DDR_CKE2	MC1_DDR_BA2	MC1_DDR_CKE0	VDDE_DDR	MC1_DDR_CKE1	MC1_DDR_CKE3
AM	MC1_DDR_A09	MC1_DDR_A11	GND	MC1_DDR_A12	MC1_DDR_A14	MC1_DDR_RESETh
AN	MC1_DDR_A04	MC1_DDR_A06	MC1_DDR_A05	VDDE_DDR	MC1_DDR_A07	MC1_DDR_A08
AP	MC1_DDR_A00	MC1_DDR_CLKn3	MC1_DDR_CLKp3	MC1_DDR_A01	MC1_DDR_A02	MC1_DDR_A03
AR	MC1_DDR_CLKn2	MC1_DDR_CLKp2	MC1_DDR_RASn	MC1_DDR_BA0	MC1_DDR_BA1	MC1_DDR_A10
AT	MC1_DDR_SCSn0	MC1_DDR_WEn	MC1_DDR_SCSn2	MC1_DDR_CASn	MC1_DDR_ODT0	MC1_DDR_ODT2
AU	MC1_DDR_SCSn3	MC1_DDR_SCSn1	GND	MC1_DDR_A13	MC1_DDR_ODT1	MC1_DDR_ODT3
AV	MC1_DDR_DQ33	MC1_DDR_DQM4	MC1_DDR_DQ37	VDDE_DDR	MC1_DDR_DQ32	MC1_DDR_DQ36
AW	MC1_DDR_DQSn4	MC1_DDR_DQSp4	MC1_DDR_DQ38	MC1_DDR_DQ39	MC1_DDR_DQ34	MC1_DDR_DQ35

	7	8	9	10	11	12
A	HT1CLKp	HT1_RX_CTLn0	HT1_RX_CTLp0	HT1_RX_CADn06	HT1_RX_CADp06	HT1_RX_CADn04
B	HT1CLKn	VDDE_1V8	HT1_RX_CADn07	VDDE_1V8	HT1_RX_CADn05	VDDE_1V8
C	HT1_PLL_AVDD	VDDE_1V8	HT1_RX_CADp07	VDDE_1V8	HT1_RX_CADp05	VDDE_1V8
D	HT1_PLL_AGND	HT1_RX_CTLp1	GND	HT1_RX_CADp14	GND	HT1_RX_CADp12
E	HT1_PLL_DVDD	HT1_RX_CTLn1	GND	HT1_RX_CADn14	GND	HT1_RX_CADn12
F	HT1_PLL_DGND	HT1_RX_CADn15	HT1_RX_CADp15	HT1_RX_CADn13	HT1_RX_CADp13	HT1_RX_CLKp1
G	GND	VDDE_1V2	VDDE_1V2	GND	GND	VDDE_1V2
H	GND					
J	VDDE_1V2					
K	VDDE_1V2					
L	GND					
M	VDDE_3V3					
N	GND					
P	VDDE_3V3					
R	GND					
T	GND					
U	VDD					
V	GND					
W	VDD					
Y	GND					
AA	MC1_DDR_DQ02					
AB	VDD_MEM					
AC	MC1_DDR_DQ10					
AD	GND					
AE	MC1_DDR_DQ16					
AF	VDD_MEM					
AG	GND					
AH	VDD_MEM					
AJ	GND					
AK	MC1_DDR_CB6					
AL	VDD_MEM					
AM	MC1_DDR_A15					
AN	NC3_MC1_REXT	MC1_DDR_DQ46	MC1_DDR_DQ52	VDD_MEM	GND	VDDE_VREF
AP	GND	MC1_DDR_DQ42	MC1_DDR_DQ48	MC1_DDR_DQM6	MC1_DDR_DQ54	MC1_DDR_DQ58
AR	MC1_DDR_DQ44	MC1_DDR_DQ47	MC1_DDR_DQ53	VDDE_DDR	MC1_DDR_DQ50	MC1_DDR_DQ56
AT	MC1_DDR_DQ40	VDDE_DDR	MC1_DDR_DQ49	MC1_DDR_DQSn6	MC1_DDR_DQ55	VDDE_DDR
AU	MC1_DDR_DQ45	MC1_DDR_DQSn5	GND	MC1_DDR_DQSp6	GND	MC1_DDR_DQ61
AV	MC1_DDR_DQ41	MC1_DDR_DQSp5	MC1_DDR_CLKn4	MC1_DDR_CLKp5	MC1_DDR_DQ51	MC1_DDR_DQ57
AW	MC1_DDR_DQM5	MC1_DDR_DQ43	MC1_DDR_CLKp4	MC1_DDR_CLKn5	MC1_DDR_DQ60	MC1_DDR_DQM7

	13	14	15	16	17	18
A	HT1_RX_CADp04	HT1_RX_CADn03	HT1_RX_CADp03	HT1_RX_CADn01	HT1_RX_CADp01	HT1_LO_RSTn
B	HT1_RX_CLKn0	VDDE_1V8	HT1_RX_CADn02	VDDE_1V8	HT1_RX_CADn00	HT1_LO_LDT_STOPn
C	HT1_RX_CLKp0	VDDE_1V8	HT1_RX_CADp02	VDDE_1V8	HT1_RX_CADp00	HT1_8x2
D	GND	HT1_RX_CADp11	GND	HT1_RX_CADp09	GND	HT1_HI_RSTn
E	GND	HT1_RX_CADn11	GND	HT1_RX_CADn09	GND	HT1_HI_LDT_REQn
F	HT1_RX_CLKn1	HT1_RX_CADn10	HT1_RX_CADp10	HT1_RX_CADn08	HT1_RX_CADp08	HT1_HI_HOSTMODE
G	VDDE_1V2	GND	GND	VDDE_1V2	GND	VDDESB
H						
J						
K						
L						
M	13	14	15	16	17	18
N	GND	VDD	GND	VDD	GND	VDD
P	VDD	GND	VDD	GND	VDD	GND
R	GND	VDD	GND	VDD	GND	VDD
T	VDD	GND	VDD	GND	VDD	GND
U	GND	VDD	GND	VDD	GND	VDD
V	VDD	GND	VDD	GND	VDD	GND
W	GND	VDD	GND	VDD	GND	VDD
Y	VDD	GND	VDD	GND	VDD	GND
AA	GND	VDD	GND	VDD	GND	VDD
AB	VDD	GND	VDD	GND	VDD	GND
AC	GND	VDD	GND	VDD	GND	VDD
AD	VDD	GND	VDD	GND	VDD	GND
AE	GND	VDD	GND	VDD	GND	VDD
AF	VDD	GND	VDD	GND	VDD	GND
AG	GND	VDD	GND	VDD	GND	VDD
AH	13	14	15	16	17	18
AJ						
AK						
AL						
AM						
AN	VDDE_VREF	PCI_IRQnD	GND	GND	GND	GND
AP	MC1_DDR_DQ63	PCI_IRQnB	PCI_GNTn2	PCI_REQn5	PCI_GNTn5	PCI_CBEn3
AR	MC1_DDR_DQ59	PCI_RESEn	PCI_REQn2	PCI_GNTn4	PCI_AD28	PCI_AD23
AT	GND	VDDE_3V3	PCI_GNTn1	VDDE_3V3	PCI_AD27	VDDE_3V3
AU	MC1_DDR_DQS7	PCI_IRQnA	PCI_REQn1	PCI_REQn4	PCI_AD30	PCI_AD26
AV	MC1_DDR_DQSp7	PCI_IRQnC	PCI_GNTn0	PCI_GNTn3	PCI_AD31	PCI_AD25
AW	MC1_DDR_DQ62	PCI_CLK	PCI_REQn0	PCI_REQn3	PCI_AD29	PCI_AD24

	19	20	21	22	23	24
A	HT1_LO_POWEROK	SYSCLK	HTO_LO_POWEROK	HTO_LO_RSTn	HTO_RX_CADp01	HTO_RX_CADn01
B	HT1_LO_LDT_REQn	SYSRESETn	HTO_LO_LDT_REQn	HTO_LO_LDT_STOPn	HTO_RX_CADn00	VDDE_1V8
C	CORE_PLL_AVDD	CORE_PLL_GND	CORE_PLL_DVDD	HTO_8x2	HTO_RX_CADp00	VDDE_1V8
D	HT1_HI_POWEROK	CORE_PLL_GNDE	HTO_HI_POWEROK	HTO_HI_RSTn	GND	HTO_RX_CADp09
E	HT1_HI_LDT_STOPn	VVDESB	HTO_HI_LDT_STOPn	HTO_HI_LDT_REQn	GND	HTO_RX_CADn09
F	HT1_LO_HOSTMODE	GND	HTO_LO_HOSTMODE	HTO_HI_HOSTMODE	HTO_RX_CADp08	HTO_RX_CADn08
G	GND	VVDESB	GND	VVDESB	GND	VDDE_1V2
H						
J						
K						
L						
M	19	20	21	22	23	24
N	GND	VDD	GND	VDD	GND	VDD
P	VDD	GND	VDD	GND	VDD	GND
R	GND	VDD	GND	VDD	GND	VDD
T	VDD	GND	VDD	GND	VDD	GND
U	GND	VDD	GND	VDD	GND	VDD
V	VDD	GND	VDD	GND	VDD	GND
W	GND	VDD	GND	VDD	GND	VDD
Y	VDD	GND	VDD	GND	VDD	GND
AA	GND	VDD	GND	VDD	GND	VDD
AB	VDD	GND	VDD	GND	VDD	GND
AC	GND	VDD	GND	VDD	GND	VDD
AD	VDD	GND	VDD	GND	VDD	GND
AE	GND	VDD	GND	VDD	GND	VDD
AF	VDD	GND	VDD	GND	VDD	GND
AG	GND	VDD	GND	VDD	GND	VDD
AH	19	20	21	22	23	24
AJ						
AK						
AL						
AM						
AN	GND	GND	GND	GND	GND	PCI_GNTn6
AP	VDDE_3V3	PCI_FRAMEn	VDDE_3V3	PCI_AD14	VDDE_3V3	PCI_CBEh0
AR	PCI_AD19	PCI_IRDYn	PCI_PERR	PCI_AD13	PCI_AD09	PCI_AD07
AT	PCI_AD18	VDDE_3V3	PCI_SERR	VDDE_3V3	PCI_AD08	VDDE_3V3
AU	PCI_AD22	PCI_AD17	PCI_TRDYn	PCI_PAR	PCI_AD11	DDR_PLL_GND
AV	PCI_AD21	PCI_AD16	PCI_DEVSELn	PCI_AD15	PCI_AD12	DDR_PLL_DVDD
AW	PCI_AD20	PCI_CBEh2	PCI_STOPn	PCI_CBEh1	PCI_AD10	MEMCLK



	25	26	27	28	29	30
A	HTO_RX_CADp03	HTO_RX_CADn03	HTO_RX_CADp04	HTO_RX_CADn04	HTO_RX_CADp06	HTO_RX_CADn06
B	HTO_RX_CADn02	VDDE_1V8	HTO_RX_CLKn0	VDDE_1V8	HTO_RX_CADn05	VDDE_1V8
C	HTO_RX_CADp02	VDDE_1V8	HTO_RX_CLKp0	VDDE_1V8	HTO_RX_CADp05	VDDE_1V8
D	GND	HTO_RX_CADp11	GND	HTO_RX_CADp12	GND	HTO_RX_CADp14
E	GND	HTO_RX_CADn11	GND	HTO_RX_CADn12	GND	HTO_RX_CADn14
F	HTO_RX_CADp10	HTO_RX_CADn10	HTO_RX_CLKn1	HTO_RX_CLKp1	HTO_RX_CADp13	HTO_RX_CADn13
G	GND	GND	VDDE_1V2	VDDE_1V2	GND	GND
H						
J						
K						
L						
M	25	26	27			
N	GND	VDD	GND	N		
P	VDD	GND	VDD	P		
R	GND	VDD	GND	R		
T	VDD	GND	VDD	T		
U	GND	VDD	GND	U		
V	VDD	GND	VDD	V		
W	GND	VDD	GND	W		
Y	VDD	GND	VDD	Y		
AA	GND	VDD	GND	AA		
AB	VDD	GND	VDD	AB		
AC	GND	VDD	GND	AC		
AD	VDD	GND	VDD	AD		
AE	GND	VDD	GND	AE		
AF	VDD	GND	VDD	AF		
AG	GND	VDD	GND	AG		
AH	25	26	27			
AJ						
AK						
AL						
AM						
AN	GND	GND	VDDE_VREF	VDDE_VREF	GND	VDD_MEM
AP	PCI_REQn6	PCI_IDSEL	MCO_DDR_DQ63	MCO_DDR_DQ58	MCO_DDR_DQ54	MCO_DDR_DQM6
AR	PCI_AD05	PCI_AD03	MCO_DDR_DQ59	MCO_DDR_DQ56	MCO_DDR_DQ50	VDDE_DDR
AT	PCI_AD04	VDDE_3V3	GND	VDDE_DDR	MCO_DDR_DQ55	MCO_DDR_DQSn6
AU	PCI_AD06	PCI_AD00	MCO_DDR_DQS7	MCO_DDR_DQ61	GND	MCO_DDR_DQSp6
AV	DDR_PLL_GNDE	PCI_AD02	MCO_DDR_DQSp7	MCO_DDR_DQ57	MCO_DDR_DQ51	MCO_DDR_CLKp5
AW	DDR_PLL_AVDD	PCI_AD01	MCO_DDR_DQ62	MCO_DDR_DQM7	MCO_DDR_DQ60	MCO_DDR_CLKn5

	31	32	33	34	35	36
A	HTO_RX_CTLp0	HTO_RX_CTLn0	HTOCLKp	HTO_TX_CTLp1	NC2_HTO_REXT	VDDE_1V8
B	HTO_RX_CADn07	VDDE_1V8	HTOCLKn	HTO_TX_CTLn1	HTO_TX_CADp15	HTO_TX_CADn15
C	HTO_RX_CADp07	VDDE_1V8	HTO_PLL_AVDD	HTO_TX_CADn14	GND	GND
D	GND	HTO_RX_CTLp1	HTO_PLL_AGND	HTO_TX_CADp14	HTO_TX_CADp13	HTO_TX_CADn13
E	GND	HTO_RX_CTLn1	HTO_PLL_DVDD	HTO_TX_CADn12	VDDE_1V8	VDDE_1V8
F	HTO_RX_CADp15	HTO_RX_CADn15	HTO_PLL_DGND	HTO_TX_CADp12	HTO_TX_CLKp1	HTO_TX_CLKn1
G	VDDE_1V2	VDDE_1V2	GND	HTO_TX_CADn11	GND	GND
H			GND	HTO_TX_CADp11	HTO_TX_CADp10	HTO_TX_CADn10
J			VDDE_1V2	HTO_TX_CADn09	VDDE_1V8	VDDE_1V8
K			VDDE_1V2	HTO_TX_CADp09	HTO_TX_CADp08	HTO_TX_CADn08
L			GND	VDDE_3V3	INTn1	NMIIn
M			VDDE_3V3	GND	INTn3	INTn2
N			GND	VDDE_3V3	SPI_SCK	TDO
P			VDDE_3V3	EJTAG_TDO	TCK	EJTAG_TCK
R			GND	GPI015	GPI012	GPI014
T			VDDE_3V3	GND	GPI007	GPI009
U			GND	VDDE_3V3	GPI002	GPI003
V			VDDE_3V3	GND	LPC_LAD1	LPC_LAD3
W			GND	VDDE_3V3	GND	GND
Y			GND	MCO_DDR_DQ04	MCO_DDR_DQ05	GND
AA			MCO_DDR_DQ02	MCO_DDR_DQ07	VDDE_DDR	MCO_DDR_DQ03
AB			VDD_MEM	MCO_DDR_DQ12	MCO_DDR_DQ08	GND
AC			MCO_DDR_DQ10	MCO_DDR_DQ14	MCO_DDR_CLKn1	MCO_DDR_CLKp1
AD			GND	MCO_DDR_DQ20	MCO_DDR_DQ11	MCO_DDR_DQ15
AE			MCO_DDR_DQ16	MCO_DDR_DQ21	MCO_DDR_DQ17	VDDE_DDR
AF			VDD_MEM	MCO_DDR_DQ22	GND	MCO_DDR_DQ18
AG			GND	MCO_DDR_DQ24	MCO_DDR_DQ29	VDDE_DDR
AH			VDD_MEM	MCO_DDR_DQ30	MCO_DDR_DQ26	MCO_DDR_DQM3
AJ			GND	MCO_DDR_CB4	VDDE_DDR	MCO_DDR_CB5
AK			MCO_DDR_CB6	GND	MCO_DDR_CB7	MCO_DDR_CB2
AL			VDD_MEM	MCO_DDR_CKE3	MCO_DDR_CKE1	VDDE_DDR
AM			MCO_DDR_A15	MCO_DDR_RESETr	MCO_DDR_A14	MCO_DDR_A12
AN	MCO_DDR_DQ52	MCO_DDR_DQ46	NC4_MCO_REXT	MCO_DDR_A08	MCO_DDR_A07	VDDE_DDR
AP	MCO_DDR_DQ48	MCO_DDR_DQ42	GND	MCO_DDR_A03	MCO_DDR_A02	MCO_DDR_A01
AR	MCO_DDR_DQ53	MCO_DDR_DQ47	MCO_DDR_DQ44	MCO_DDR_A10	MCO_DDR_BA1	MCO_DDR_BA0
AT	MCO_DDR_DQ49	VDDE_DDR	MCO_DDR_DQ40	MCO_DDR_ODT2	MCO_DDR_ODT0	MCO_DDR_CASn
AU	GND	MCO_DDR_DQSn5	MCO_DDR_DQ45	MCO_DDR_ODT3	MCO_DDR_ODT1	MCO_DDR_A13
AV	MCO_DDR_CLKn4	MCO_DDR_DQSp5	MCO_DDR_DQ41	MCO_DDR_DQ36	MCO_DDR_DQ32	VDDE_DDR
AW	MCO_DDR_CLKp4	MCO_DDR_DQ43	MCO_DDR_DQM5	MCO_DDR_DQ35	MCO_DDR_DQ34	MCO_DDR_DQ39

	37	38	39
A	HTO_TX_CTLn0	HTO_TX_CTLp0	HTO_TX_CADn07
B	VDDE_1V8	VDDE_1V8	HTO_TX_CADp07
C	HTO_TX_CADn06	HTO_TX_CADp06	HTO_TX_CADn05
D	GND	GND	HTO_TX_CADp05
E	HTO_TX_CADn04	HTO_TX_CADp04	HTO_TX_CLKn0
F	VDDE_1V8	VDDE_1V8	HTO_TX_CLKp0
G	HTO_TX_CADn03	HTO_TX_CADp03	HTO_TX_CADn02
H	GND	GND	HTO_TX_CADp02
J	HTO_TX_CADn01	HTO_TX_CADp01	HTO_TX_CADn00
K	VDDE_1V8	VDDE_1V8	HTO_TX_CADp00
L	INTn0	SPI_SDO	HTCLK
M	SPI_SDI	DOTEST	TMS
N	TESTCLK	TDI	TRST
P	EJTAG_TMS	EJTAG_TDI	EJTAG_TRST
R	GPI013	GPI010	GPI011
T	GPI008	GPI005	GPI006
U	GPI004	GPI000	GPI001
V	LPC_LAD2	LPC_LAD0	LPC_SERIRQ
W	LPC_ROM8MBITS	LPC_ROMINTEL	LPC_LFRAMEn
Y	MCO_DDR_DQM0	MCO_DDR_DQ00	MCO_DDR_DQ01
AA	MCO_DDR_DQ06	MCO_DDR_DQSn0	MCO_DDR_DQSp0
AB	MCO_DDR_DQ09	MCO_DDR_DQ13	MCO_DDR_DQM1
AC	VDDE_DDR	MCO_DDR_DQSp1	MCO_DDR_DQSn1
AD	GND	MCO_DDR_CLKn0	MCO_DDR_CLKp0
AE	MCO_DDR_DQM2	MCO_DDR_DQSp2	MCO_DDR_DQSn2
AF	MCO_DDR_DQ28	MCO_DDR_DQ19	MCO_DDR_DQ23
AG	MCO_DDR_DQ25	MCO_DDR_DQSp3	MCO_DDR_DQSn3
AH	GND	MCO_DDR_DQ31	MCO_DDR_DQ27
AJ	MCO_DDR_CB0	MCO_DDR_CB1	MCO_DDR_DQM8
AK	MCO_DDR_CB3	MCO_DDR_DQSp8	MCO_DDR_DQSn8
AL	MCO_DDR_CKE0	MCO_DDR_BA2	MCO_DDR_CKE2
AM	GND	MCO_DDR_A11	MCO_DDR_A09
AN	MCO_DDR_A05	MCO_DDR_A06	MCO_DDR_A04
AP	MCO_DDR_CLKp3	MCO_DDR_CLKn3	MCO_DDR_A00
AR	MCO_DDR_RASn	MCO_DDR_CLKp2	MCO_DDR_CLKn2
AT	MCO_DDR_SCSn2	MCO_DDR_WEn	MCO_DDR_SCSn0
AU	GND	MCO_DDR_SCSn1	MCO_DDR_SCSn3
AV	MCO_DDR_DQ37	MCO_DDR_DQM4	MCO_DDR_DQ33
AW	MCO_DDR_DQ38	MCO_DDR_DQSp4	MCO_DDR_DQSn4

## 9. 封装走线长度

Net Name	Overall Total (um)	Net Name	Overall Total (um)	Net Name	Overall Total (um)
BBGEN0_CEXT	6167.09	HT1_TX_CADP05	25086.48	MC1_DDR_CLKP2	20171.48
BBGEN1_CEXT	6167.09	HT1_TX_CADP06	25083.65	MC1_DDR_CLKP3	20215.97
CLKSEL00	10950.91	HT1_TX_CADP07	25074.52	MC1_DDR_CLKP4	20203.44
CLKSEL01	13136.99	HT1_TX_CADP08	25076.77	MC1_DDR_CLKP5	20200.09
CLKSEL02	14276.45	HT1_TX_CADP09	25075.06	MC1_DDR_CLKP6	0
CLKSEL03	10345.63	HT1_TX_CADP10	25088.84	MC1_DDR_CLKP7	0
CLKSEL04	11768.1	HT1_TX_CADP11	25073.61	MC1_DDR_DQ00	14612.42
CLKSEL05	11649.66	HT1_TX_CADP12	25081.4	MC1_DDR_DQ01	14661
CLKSEL06	13533.26	HT1_TX_CADP13	25090.77	MC1_DDR_DQ02	14688.42
CLKSEL07	14747.13	HT1_TX_CADP14	25071.63	MC1_DDR_DQ03	14648.97
CLKSEL08	13811.3	HT1_TX_CADP15	25071.63	MC1_DDR_DQ04	14622.52
CLKSEL09	12561.86	HT1_TX_CLKN0	25087.37	MC1_DDR_DQ05	14617.34
CLKSEL10	11573.61	HT1_TX_CLKN1	25070.8	MC1_DDR_DQ06	14612.17
CLKSEL11	15019.08	HT1_TX_CLKP0	25083.07	MC1_DDR_DQ07	14642.25
CLKSEL12	10327.31	HT1_TX_CLKP1	25074.02	MC1_DDR_DQ08	15419.97
CLKSEL13	10968.69	HT1_TX_CTLN0	25088.62	MC1_DDR_DQ09	15437.38
CLKSEL14	12842.12	HT1_TX_CTLN1	25087.76	MC1_DDR_DQ10	15407.66
CLKSEL15	13416.68	HT1_TX_CTLP0	25090.52	MC1_DDR_DQ11	15458.53
CORE_PLL_AVDD	12442.76	HT1_TX_CTLP1	25087.24	MC1_DDR_DQ12	15439.97
CORE_PLL_DVDD	15588.01	HTCLK	15756.59	MC1_DDR_DQ13	15456.84
CORE_PLL_GND	14863.8	ICCC_EN	12005.21	MC1_DDR_DQ14	15406.58
CORE_PLL_GNDE	23606.79	INTN0	15476.4	MC1_DDR_DQ15	15416.07
DDR_PLL_AVDD	23552.78	INTN1	15409.93	MC1_DDR_DQ16	16226.86
DDR_PLL_DVDD	15520	INTN2	13427.05	MC1_DDR_DQ17	16160.73
DDR_PLL_GND	10717.52	INTN3	13212.09	MC1_DDR_DQ18	16252.78
DDR_PLL_GNDE	6126.68	LPC_LAD0	13016.34	MC1_DDR_DQ19	16212.84
DOTEST	15049.84	LPC_LAD1	10989.66	MC1_DDR_DQ20	16210.48
EJTAG_TCK	11819.59	LPC_LAD2	12139.21	MC1_DDR_DQ21	16199.43
EJTAG_TDI	13657.4	LPC_LAD3	12129.74	MC1_DDR_DQ22	16190.21
EJTAG_TDO	10267.5	LPC_LFRAMEN	14024.56	MC1_DDR_DQ23	16204.84
EJTAG_TMS	12887.62	LPC_ROM8MBITS	12802.97	MC1_DDR_DQ24	16228.59
EJTAG_TRST	14872.39	LPC_ROMINTEL	13827.2	MC1_DDR_DQ25	16226.7
GND	2113793.51	LPC_SERIRQ	14707.16	MC1_DDR_DQ26	16238.04
GPI000	13304.92	MCO_DDR_A00	20110.28	MC1_DDR_DQ27	16264.48
GPI001	14337.24	MCO_DDR_A01	20011.37	MC1_DDR_DQ28	16241.3
GPI002	10872.5	MCO_DDR_A02	20075.48	MC1_DDR_DQ29	16223.66
GPI003	12329.81	MCO_DDR_A03	20037.59	MC1_DDR_DQ30	16307.31
GPI004	12206.88	MCO_DDR_A04	20021.94	MC1_DDR_DQ31	16215.97
GPI005	13947.32	MCO_DDR_A05	20099.37	MC1_DDR_DQ32	23977.38
GPI006	14420.25	MCO_DDR_A06	20173.08	MC1_DDR_DQ33	23997.62
GPI007	11431.33	MCO_DDR_A07	20125.24	MC1_DDR_DQ34	23970.08
GPI008	13274.43	MCO_DDR_A08	20031.36	MC1_DDR_DQ35	23948.16

GPI009	12672.52	MCO_DDR_A09	20313	MC1_DDR_DQ36	23977.58
GPI010	13809.94	MCO_DDR_A10	20301.29	MC1_DDR_DQ37	23981.41
GPI011	14841.65	MCO_DDR_A11	20244.86	MC1_DDR_DQ38	24004.2
GPI012	10915.87	MCO_DDR_A12	20086.92	MC1_DDR_DQ39	24026.07
GPI013	12607.43	MCO_DDR_A13	20169.19	MC1_DDR_DQ40	19593.41
GPI014	11363.18	MCO_DDR_A14	19999.99	MC1_DDR_DQ41	19596.51
GPI015	10457.73	MCO_DDR_A15	20213.01	MC1_DDR_DQ42	19584.53
HTOCLKN	22077.8	MCO_DDR_BA0	20252.52	MC1_DDR_DQ43	19568.38
HTOCLKP	22074.38	MCO_DDR_BA1	20006.8	MC1_DDR_DQ44	19568.38
HTO_8X2	14463.16	MCO_DDR_BA2	20042.25	MC1_DDR_DQ45	19577.29
HTO_HI_HOSTMODE	12268.97	MCO_DDR_CASN	20323.98	MC1_DDR_DQ46	19582.64
HTO_HI_LDT_REQN	13074.97	MCO_DDR_CB0	17462.58	MC1_DDR_DQ47	19587.29
HTO_HI_LDT_STOPN	13205.08	MCO_DDR_CB1	17391.82	MC1_DDR_DQ48	17213.94
HTO_HI_POWEROK	13811.79	MCO_DDR_CB2	17418.43	MC1_DDR_DQ49	17276.33
HTO_HI_RSTN	14269.49	MCO_DDR_CB3	17417.37	MC1_DDR_DQ50	17217.07
HTO_LO_HOSTMODE	11804.15	MCO_DDR_CB4	17387.39	MC1_DDR_DQ51	17304.72
HTO_LO_LDT_REQN	14911.9	MCO_DDR_CB5	17389.15	MC1_DDR_DQ52	17218.31
HTO_LO_LDT_STOPN	16360.07	MCO_DDR_CB6	17381.51	MC1_DDR_DQ53	17222.17
HTO_LO_POWEROK	15833.48	MCO_DDR_CB7	17376.5	MC1_DDR_DQ54	17244.15
HTO_LO_RSTN	17196.62	MCO_DDR_CKE0	20084.01	MC1_DDR_DQ55	17233.41
HTO_PLL_AGND	11349.93	MCO_DDR_CKE1	20044.66	MC1_DDR_DQ56	18195.95
HTO_PLL_AVDD	15347.44	MCO_DDR_CKE2	20027.24	MC1_DDR_DQ57	18224.5
HTO_PLL_DGND	11978.34	MCO_DDR_CKE3	20175.96	MC1_DDR_DQ58	18229.32
HTO_PLL_DVDD	10844.58	MCO_DDR_CLKN0	20088.09	MC1_DDR_DQ59	18245.26
HTO_REXT	9369.79	MCO_DDR_CLKN1	20114.08	MC1_DDR_DQ60	18269.43
HTO_RX_CADN00	23849.6	MCO_DDR_CLKN2	20186.28	MC1_DDR_DQ61	18192.06
HTO_RX_CADN01	23827.28	MCO_DDR_CLKN3	20211.07	MC1_DDR_DQ62	18224.6
HTO_RX_CADN02	23829.02	MCO_DDR_CLKN4	20131.9	MC1_DDR_DQ63	18200.67
HTO_RX_CADN03	23834.59	MCO_DDR_CLKN5	20130.8	MC1_DDR_DQM0	14632.76
HTO_RX_CADN04	23845.75	MCO_DDR_CLKN6	0	MC1_DDR_DQM1	15426.41
HTO_RX_CADN05	23836.72	MCO_DDR_CLKN7	0	MC1_DDR_DQM2	16224.5
HTO_RX_CADN06	23865.07	MCO_DDR_CLKP0	20094.43	MC1_DDR_DQM3	16239.18
HTO_RX_CADN07	23843.49	MCO_DDR_CLKP1	20109.17	MC1_DDR_DQM4	23964.76
HTO_RX_CADN08	23834.07	MCO_DDR_CLKP2	20171.48	MC1_DDR_DQM5	19529.97
HTO_RX_CADN09	23841.8	MCO_DDR_CLKP3	20215.97	MC1_DDR_DQM6	17220.68
HTO_RX_CADN10	23832.9	MCO_DDR_CLKP4	20147.96	MC1_DDR_DQM7	18206.75
HTO_RX_CADN11	23832.77	MCO_DDR_CLKP5	20142.53	MC1_DDR_DQM8	17444.9
HTO_RX_CADN12	23837.75	MCO_DDR_CLKP6	0	MC1_DDR_DQSN0	14647.4
HTO_RX_CADN13	23841.13	MCO_DDR_CLKP7	0	MC1_DDR_DQSN1	15437.18
HTO_RX_CADN14	23835.11	MCO_DDR_DQ00	14612.42	MC1_DDR_DQSN2	16233.97
HTO_RX_CADN15	23840.23	MCO_DDR_DQ01	14661	MC1_DDR_DQSN3	16264.98
HTO_RX_CADP00	23853.23	MCO_DDR_DQ02	14688.42	MC1_DDR_DQSN4	23985.35
HTO_RX_CADP01	23830.44	MCO_DDR_DQ03	14648.97	MC1_DDR_DQSN5	19547.26
HTO_RX_CADP02	23829.55	MCO_DDR_DQ04	14622.52	MC1_DDR_DQSN6	17261.67

HTO_RX_CADP03	23837.93	MCO_DDR_DQ05	14617.34	MC1_DDR_DQSN7	18227.5
HTO_RX_CADP04	23849.67	MCO_DDR_DQ06	14621.27	MC1_DDR_DQSN8	17424.28
HTO_RX_CADP05	23836.4	MCO_DDR_DQ07	14642.25	MC1_DDR_DQSP0	14645.26
HTO_RX_CADP06	23864.49	MCO_DDR_DQ08	15419.97	MC1_DDR_DQSP1	15450.61
HTO_RX_CADP07	23839.39	MCO_DDR_DQ09	15437.38	MC1_DDR_DQSP2	16215.73
HTO_RX_CADP08	23835.2	MCO_DDR_DQ10	15407.66	MC1_DDR_DQSP3	16257.43
HTO_RX_CADP09	23841.41	MCO_DDR_DQ11	15458.53	MC1_DDR_DQSP4	23965.47
HTO_RX_CADP10	23834.35	MCO_DDR_DQ12	15439.97	MC1_DDR_DQSP5	19537.34
HTO_RX_CADP11	23837.1	MCO_DDR_DQ13	15456.84	MC1_DDR_DQSP6	17245.82
HTO_RX_CADP12	23840.01	MCO_DDR_DQ14	15404.54	MC1_DDR_DQSP7	18228.59
HTO_RX_CADP13	23839.26	MCO_DDR_DQ15	15416.07	MC1_DDR_DQSP8	17436.05
HTO_RX_CADP14	23834.71	MCO_DDR_DQ16	16226.86	MC1_DDR_ODT0	20020.85
HTO_RX_CADP15	23842.18	MCO_DDR_DQ17	16187.92	MC1_DDR_ODT1	20171.21
HTO_RX_CLKN0	23846.37	MCO_DDR_DQ18	16252.78	MC1_DDR_ODT2	20173.11
HTO_RX_CLKN1	23829.16	MCO_DDR_DQ19	16212.84	MC1_DDR_ODT3	20139.12
HTO_RX_CLKP0	23848.65	MCO_DDR_DQ20	16224.58	MC1_DDR_RASN	20193.96
HTO_RX_CLKP1	23828.45	MCO_DDR_DQ21	16187.7	MC1_DDR_RESET N	14060.04
HTO_RX_CTLN0	23839.2	MCO_DDR_DQ22	16189.62	MC1_DDR_SCSN0	20164.45
HTO_RX_CTLN1	23832.69	MCO_DDR_DQ23	16204.84	MC1_DDR_SCSN1	20224.46
HTO_RX_CTLP0	23839.2	MCO_DDR_DQ24	16228.59	MC1_DDR_SCSN2	20193.23
HTO_RX_CTLP1	23830.6	MCO_DDR_DQ25	16232.56	MC1_DDR_SCSN3	20306.29
HTO_TX_CADN00	25090.36	MCO_DDR_DQ26	16238.04	MC1_DDR_WEN	20118.08
HTO_TX_CADN01	25095.23	MCO_DDR_DQ27	16264.48	MC1_REXT	12077.62
HTO_TX_CADN02	25096.83	MCO_DDR_DQ28	16241.3	MEMCLK	18586.52
HTO_TX_CADN03	25079.78	MCO_DDR_DQ29	16250.85	NC1_HT1_REXT	0
HTO_TX_CADN04	25090.79	MCO_DDR_DQ30	16303.8	NC2_HTO_REXT	0
HTO_TX_CADN05	25086.28	MCO_DDR_DQ31	16215.97	NC3_MC1_REXT	0
HTO_TX_CADN06	25081.14	MCO_DDR_DQ32	23983.73	NC4_MCO_REXT	0
HTO_TX_CADN07	25094.66	MCO_DDR_DQ33	23997.62	NMIN	14955.45
HTO_TX_CADN08	25094.53	MCO_DDR_DQ34	23970.08	NODE_ID0	14958.83
HTO_TX_CADN09	25070.65	MCO_DDR_DQ35	23948.16	NODE_ID1	9782.47
HTO_TX_CADN10	25088.25	MCO_DDR_DQ36	23973.95	PCI_AD00	15399.61
HTO_TX_CADN11	25085.26	MCO_DDR_DQ37	23981.41	PCI_AD01	17432.75
HTO_TX_CADN12	25081.07	MCO_DDR_DQ38	24002.09	PCI_AD02	16628.06
HTO_TX_CADN13	25094.6	MCO_DDR_DQ39	24024.04	PCI_AD03	14007.45
HTO_TX_CADN14	25075.59	MCO_DDR_DQ40	19585.17	PCI_AD04	14398.97
HTO_TX_CADN15	25084.95	MCO_DDR_DQ41	19596.51	PCI_AD05	13343.56
HTO_TX_CADP00	25086.54	MCO_DDR_DQ42	19584.53	PCI_AD06	15429.9
HTO_TX_CADP01	25092.08	MCO_DDR_DQ43	19568.38	PCI_AD07	13572.29
HTO_TX_CADP02	25098.54	MCO_DDR_DQ44	19569.43	PCI_AD08	14614.82
HTO_TX_CADP03	25079.4	MCO_DDR_DQ45	19577.29	PCI_AD09	12816.46
HTO_TX_CADP04	25094.93	MCO_DDR_DQ46	19582.64	PCI_AD10	16581.71
HTO_TX_CADP05	25086.48	MCO_DDR_DQ47	19587.29	PCI_AD11	14748.26
HTO_TX_CADP06	25083.65	MCO_DDR_DQ48	17213.94	PCI_AD12	15613.26
HTO_TX_CADP07	25096.79	MCO_DDR_DQ49	17276.33	PCI_AD13	13012.56
HTO_TX_CADP08	25097.79	MCO_DDR_DQ50	17217.07	PCI_AD14	11902.95

HT0_TX_CADP09	25075.06	MCO_DDR_DQ51	17304.72	PCI_AD15	14968.13
HT0_TX_CADP10	25088.84	MCO_DDR_DQ52	17217.56	PCI_AD16	15175.45
HT0_TX_CADP11	25081.9	MCO_DDR_DQ53	17222.17	PCI_AD17	13943.2
HT0_TX_CADP12	25081.4	MCO_DDR_DQ54	17242.67	PCI_AD18	13720.77
HT0_TX_CADP13	25096.04	MCO_DDR_DQ55	17233.41	PCI_AD19	12825.43
HT0_TX_CADP14	25071.63	MCO_DDR_DQ56	18198.29	PCI_AD20	16350.1
HT0_TX_CADP15	25084.31	MCO_DDR_DQ57	18224.5	PCI_AD21	14891.37
HT0_TX_CLKN0	25087.37	MCO_DDR_DQ58	18229.32	PCI_AD22	14689.49
HT0_TX_CLKN1	25070.8	MCO_DDR_DQ59	18245.26	PCI_AD23	12687.3
HT0_TX_CLKP0	25083.07	MCO_DDR_DQ60	18229.94	PCI_AD24	16353.89
HT0_TX_CLKP1	25074.05	MCO_DDR_DQ61	18192.06	PCI_AD25	15635.26
HT0_TX_CTLN0	25088.62	MCO_DDR_DQ62	18224.6	PCI_AD26	14678.92
HT0_TX_CTLN1	25103.96	MCO_DDR_DQ63	18200.67	PCI_AD27	14725.92
HT0_TX_CTLP0	25090.52	MCO_DDR_DQM0	14632.76	PCI_AD28	13286.1
HT0_TX_CTLP1	25103.44	MCO_DDR_DQM1	15422.65	PCI_AD29	16672.96
HT1CLKN	22009.18	MCO_DDR_DQM2	16224.5	PCI_AD30	15718.98
HT1CLKP	22028.89	MCO_DDR_DQM3	16239.18	PCI_AD31	16384.08
HT1_8X2	15433.89	MCO_DDR_DQM4	23964.76	PCI_CBEN0	12263.26
HT1_HI_HOSTMODE	11381.21	MCO_DDR_DQM5	19529.97	PCI_CBEN1	16322.66
HT1_HI_LDT_REQN	13102.77	MCO_DDR_DQM6	17214.05	PCI_CBEN2	15651.42
HT1_HI_LDT_STOPN	12194.57	MCO_DDR_DQM7	18204.25	PCI_CBEN3	12347.68
HT1_HI_POWEROK	13851.12	MCO_DDR_DQM8	17444.9	PCI_CLK	18842.98
HT1_HI_RSTN	13433.06	MCO_DDR_DQSN0	14647.4	PCI_CONFIG0	14235.12
HT1_LO_HOSTMODE	12596.08	MCO_DDR_DQSN1	15437.18	PCI_CONFIG1	12097.23
HT1_LO_LDT_REQN	15306.13	MCO_DDR_DQSN2	16233.97	PCI_CONFIG2	13117.88
HT1_LO_LDT_STOPN	15622.15	MCO_DDR_DQSN3	16264.98	PCI_CONFIG3	11220.17
HT1_LO_POWEROK	16624.44	MCO_DDR_DQSN4	23985.35	PCI_CONFIG4	11441.09
HT1_LO_RSTN	17931.96	MCO_DDR_DQSN5	19547.26	PCI_CONFIG5	13265.71
HT1_PLL_AGND	12040.35	MCO_DDR_DQSN6	17261.67	PCI_CONFIG6	14873.35
HT1_PLL_AVDD	13217.49	MCO_DDR_DQSN7	18218.18	PCI_CONFIG7	14154.6
HT1_PLL_DGND	12258.31	MCO_DDR_DQSN8	17424.28	PCI_DEVSELN	14717.69
HT1_PLL_DVDD	10940.81	MCO_DDR_DQSP0	14645.26	PCI_FRAMEN	11668.2
HT1_REXT	9179.86	MCO_DDR_DQSP1	15450.61	PCI_GNTN0	16161.96
HT1_RX_CADN00	23859.6	MCO_DDR_DQSP2	16215.73	PCI_GNTN1	14609.43
HT1_RX_CADN01	23837.28	MCO_DDR_DQSP3	16257.43	PCI_GNTN2	13499.18
HT1_RX_CADN02	23839.02	MCO_DDR_DQSP4	23965.47	PCI_GNTN3	15865.06
HT1_RX_CADN03	23844.59	MCO_DDR_DQSP5	19537.34	PCI_GNTN4	13441.58
HT1_RX_CADN04	23845.75	MCO_DDR_DQSP6	17245.82	PCI_GNTN5	11631.84
HT1_RX_CADN05	23836.72	MCO_DDR_DQSP7	18228.59	PCI_GNTN6	19633.28
HT1_RX_CADN06	23865.07	MCO_DDR_DQSP8	17436.05	PCI_IDSEL	12788.2
HT1_RX_CADN07	23843.49	MCO_DDR_ODT0	20356.88	PCI_IRDYN	12373.7
HT1_RX_CADN08	23834.07	MCO_DDR_ODT1	20321.64	PCI_IRQNA	15759.03
HT1_RX_CADN09	23841.8	MCO_DDR_ODT2	20134.44	PCI_IRQNB	12792
HT1_RX_CADN10	23832.9	MCO_DDR_ODT3	20071.42	PCI_IRQNC	16650.96

HT1_RX_CADN11	23832.77	MCO_DDR_RASN	20315.31	PCI_IRQND	12062.49
HT1_RX_CADN12	23837.75	MCO_DDR_RESETN	14060.04	PCI_PAR	14138.4
HT1_RX_CADN13	23841.13	MCO_DDR_SCSNO	20009.92	PCI_PERR	12418.06
HT1_RX_CADN14	23835.11	MCO_DDR_SCSN1	20260.87	PCI_REQNO	17903.08
HT1_RX_CADN15	23840.23	MCO_DDR_SCSN2	20329.66	PCI_REQN1	15559
HT1_RX_CADP00	23853.23	MCO_DDR_SCSN3	20317.83	PCI_REQN2	14047.34
HT1_RX_CADP01	23829.02	MCO_DDR_WEN	20104.6	PCI_REQN3	17724.79
HT1_RX_CADP02	23829.55	MCO_REXT	12073.52	PCI_REQN4	14933.79
HT1_RX_CADP03	23837.93	MC1_DDR_A00	20110.28	PCI_REQN5	12120.33
HT1_RX_CADP04	23849.67	MC1_DDR_A01	20144.57	PCI_REQN6	20472.29
HT1_RX_CADP05	23836.4	MC1_DDR_A02	20165.92	PCI_RESETN	14346.37
HT1_RX_CADP06	23864.49	MC1_DDR_A03	20109.03	PCI_SERR	14133.45
HT1_RX_CADP07	23839.39	MC1_DDR_A04	20112.97	PCI_STOPN	16088.01
HT1_RX_CADP08	23835.2	MC1_DDR_A05	20157.07	PCI_TRDYN	14248.63
HT1_RX_CADP09	23841.41	MC1_DDR_A06	20173.08	SPI_SCK	11443.39
HT1_RX_CADP10	23834.35	MC1_DDR_A07	20125.24	SPI_SDI	14029.91
HT1_RX_CADP11	23837.1	MC1_DDR_A08	20100.13	SPI_SDO	15806.93
HT1_RX_CADP12	23840.01	MC1_DDR_A09	20198.06	SYSCLK	16322.14
HT1_RX_CADP13	23839.26	MC1_DDR_A10	20247.18	SYSRESETN	16171.17
HT1_RX_CADP14	23834.71	MC1_DDR_A11	20167.08	TCK	11204.7
HT1_RX_CADP15	23842.18	MC1_DDR_A12	20138.92	TDI	14594.11
HT1_RX_CLKN0	23846.37	MC1_DDR_A13	20169.19	TDO	13534.16
HT1_RX_CLKN1	23829.16	MC1_DDR_A14	20162.17	TESTCLK	13387.59
HT1_RX_CLKP0	23831.33	MC1_DDR_A15	20213.59	TMS	15690.84
HT1_RX_CLKP1	23828.45	MC1_DDR_BA0	20185.69	TRST	15226.4
HT1_RX_CTLN0	23839.2	MC1_DDR_BA1	20122.58	UART0_CTS	14678.89
HT1_RX_CTLN1	23829.76	MC1_DDR_BA2	20146.33	UART0_DCD	10605.51
HT1_RX_CTLP0	23839.2	MC1_DDR_CASN	20223.55	UART0_DSR	11827.79
HT1_RX_CTLP1	23830.6	MC1_DDR_CB0	17462.58	UART0_DTR	15327.18
HT1_TX_CADN00	25090.36	MC1_DDR_CB1	17391.82	UART0_RI	17450.19
HT1_TX_CADN01	25095.23	MC1_DDR_CB2	17418.43	UART0_RTS	13040.41
HT1_TX_CADN02	25084.39	MC1_DDR_CB3	17417.37	UART0_RXD	14393.55
HT1_TX_CADN03	25079.78	MC1_DDR_CB4	17387.39	UART0_TXD	10118.26
HT1_TX_CADN04	25068.52	MC1_DDR_CB5	17389.15	UART1_CTS	9870.39
HT1_TX_CADN05	25086.28	MC1_DDR_CB6	17400.92	UART1_DCD	16504.06
HT1_TX_CADN06	25081.14	MC1_DDR_CB7	17376.5	UART1_DSR	14259.73
HT1_TX_CADN07	25082.21	MC1_DDR_CKE0	20158.14	UART1_DTR	16029.69
HT1_TX_CADN08	25094.53	MC1_DDR_CKE1	20110.97	UART1_RI	14212.28
HT1_TX_CADN09	25075.92	MC1_DDR_CKE2	20165.83	UART1_RTS	17219.5
HT1_TX_CADN10	25088.25	MC1_DDR_CKE3	20187.56	UART1_RXD	14961.51
HT1_TX_CADN11	25078.29	MC1_DDR_CLKN0	20088.09	UART1_TXD	10842.85
HT1_TX_CADN12	25081.07	MC1_DDR_CLKN1	20114.08	VDD	1116716.79
HT1_TX_CADN13	25094.6	MC1_DDR_CLKN2	20186.28	VDDESB	15382.69
HT1_TX_CADN14	25075.59	MC1_DDR_CLKN3	20211.07	VDDE_1V2	201470.8
HT1_TX_CADN15	25081.88	MC1_DDR_CLKN4	20210.72	VDDE_1V8	180965.58
HT1_TX_CADP00	25086.54	MC1_DDR_CLKN5	20188.36	VDDE_3V3	109320.71



HT1_TX_CADP01	25092.08	MC1_DDR_CLKN6	0	VDDE_DDR	177472.94
HT1_TX_CADP02	25076.28	MC1_DDR_CLKN7	0	VDDE_VREF	96984.93
HT1_TX_CADP03	25079.4	MC1_DDR_CLKP0	20094.43	VDD_MEM	181347.4
HT1_TX_CADP04	25072.66	MC1_DDR_CLKP1	20109.17		

## 10. 封装机械尺寸

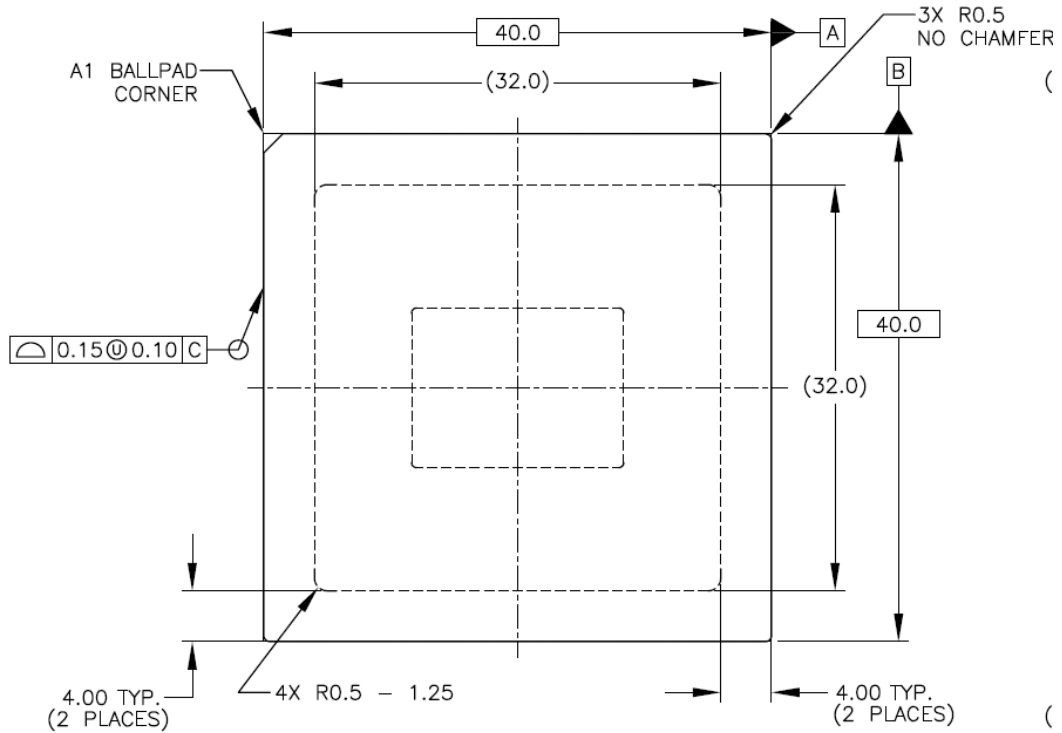


图 10.1 龙芯 3A3000/3B3000 顶视图

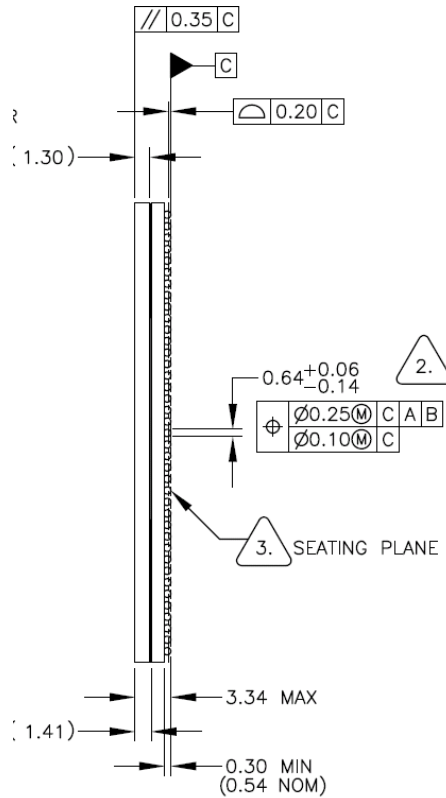


图 10.2 龙芯 3A3000/3B3000 侧视图

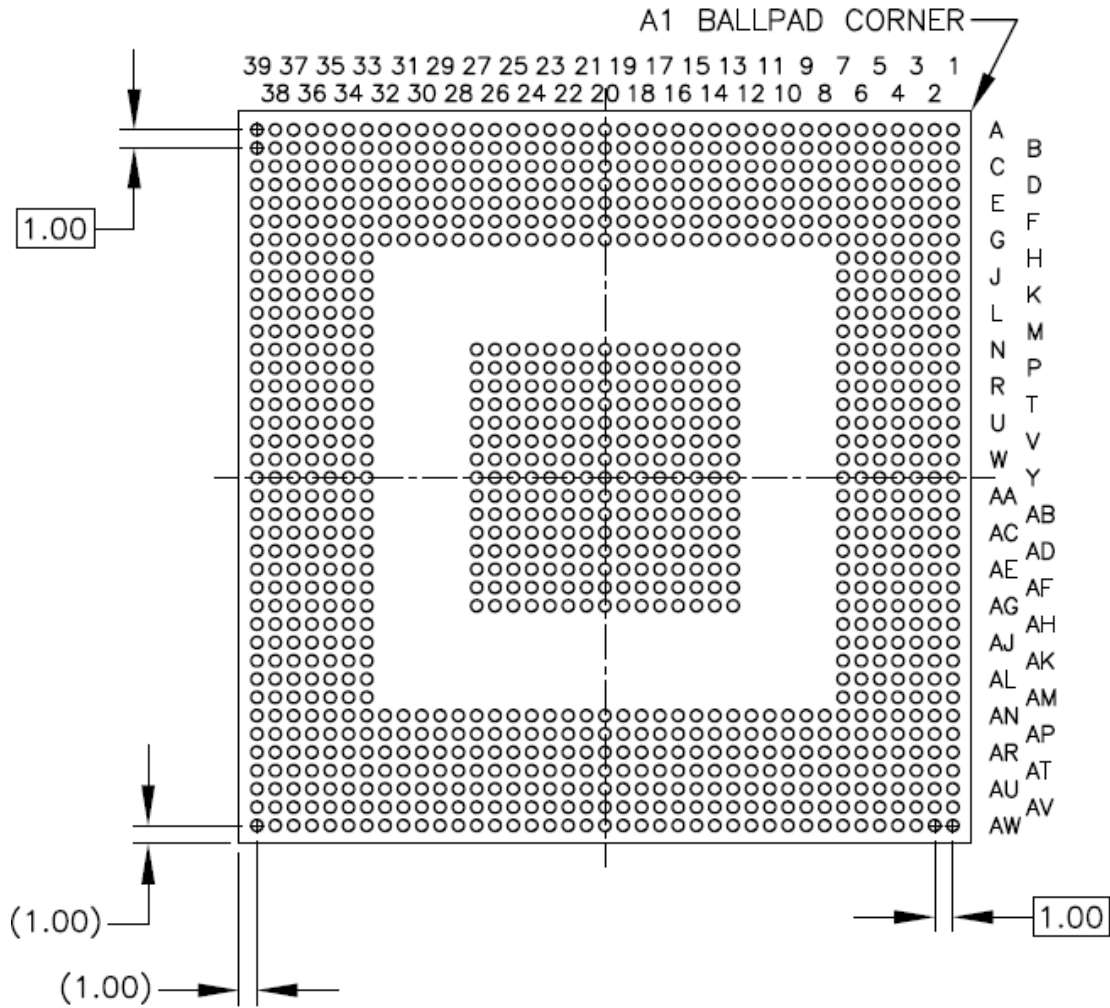
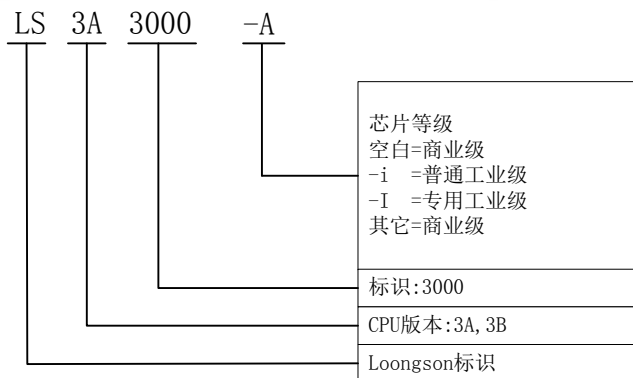


图 10.3 龙芯 3A3000/3B3000 底视图

## 11. 订货信息



A1 = DOT.

- 1) 定位点：●；
- 2) 器件识别号（PIN）：LS3A3000-A。具体标识及含义如上图；
- 3) 特殊标志： B、C、D、E、F 为厂家信息，G 为承制方识别标志；
- 4) H 为序列号（高等级芯片）；
- 5) 日期代码：YWW。

## 12. 不使用引脚处理

无论相关总线使用与否，相关的电源地信号必须正确连接。

### 12.1. 系统配置引脚

系统配置引脚包括 DOTEST、CLKSEL、ICCC\_EN、NODEID、PCI\_CONFIG，不可悬空，必须连接正确输入。

### 12.2. LPC 总线

LPC 总线不使用时可以悬空。

### 12.3. PCI 总线

PCI 总线不使用时可以悬空。

但是 LPC/SPI 等启动总线依赖于 PCI\_CLK，必须给时钟。

### 12.4. SPI/UART/GPIO 总线

SPI、UART 或 GPIO 总线不使用时可以悬空。

### 12.5. DDR 总线

DDR 总线不使用时可以悬空。

### 12.6. HyperTransport 总线

HyperTransport 总线不使用时可以悬空。

## 12.7. JTAG/EJTAG 总线、TESTCLK

JTAG/EJTAG 总线、TESTCLK 不使用时可以悬空。

## 12.8. 系统中断管脚

系统中断管理包括 INTn 与 NMI<sub>n</sub>，不使用时可以悬空。

## 13. 硬件改动说明

龙芯 3A3000/3B3000 处理器除了若干 PLL\_AVDD 引脚的差异之外，基本向下兼容 3A2000/3B2000，为了获得更好的性能，请参考《龙芯 3A3000/3B3000 用户手册 上册》中的“软硬件设计指南”一章。