

LOONGSON

龙芯 3A6000 处理器

数据手册

V1.1

2023 年 12 月

龙芯中科技术股份有限公司

自主决定命运, 创新成就未来



版权声明

本档版权归龙芯中科技术股份有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826

阅读指南

《龙芯 3A6000 处理器数据手册》主要介绍龙芯 3A6000 处理器接口结构，特性，电气规范，以及硬件设计指导。

版本信息

版本信息	文档名	龙芯 3A6000 处理器数据手册
	版本号	V1.1
	创建人	芯片研发部
更新历史		
序号	版本号	更新内容
1	V1.0	发布版本
2	V1.1	9.2 节增加最大电流

手册信息反馈: service@loongson.cn

目 录

图目录.....	III
表目录.....	IV
1. 简介.....	1
1.1 技术指标.....	1
1.2 芯片内部框图.....	2
1.3 芯片封装.....	2
1.4 典型应用.....	2
1.5 订购信息.....	3
1.6 术语.....	3
1.7 设计相关文档、工具、软件.....	4
1.7.1 设计相关文档.....	4
1.7.2 工具软件.....	4
1.7.3 固件及系统支持.....	5
1.8 文档约定.....	5
1.8.1 引脚信号命名.....	5
1.8.2 数值表示.....	5
1.8.3 寄存器域.....	5
2. 接口信号.....	6
2.1 接口信号图.....	6
2.2 信号类型定义.....	8
2.3 接口信号说明.....	8
2.3.1 HyperTransport 信号.....	8
2.3.2 DDR 接口信号.....	10
2.3.3 初始化配置信号.....	18
2.3.4 低速接口信号.....	19
2.3.5 中断信号.....	21
2.3.6 JTAG 接口信号.....	21
2.3.7 时钟及配置信号.....	21
2.3.8 GPIO 信号.....	22
2.3.9 测试控制信号.....	23
2.3.10 电源地引脚.....	24
2.4 引脚复用关系.....	24
3. 功能及接口说明.....	25
3.1 HyperTransport 接口.....	25
3.1.1 接口特性.....	25
3.1.2 系统接口连接.....	25
3.2 DDR 接口.....	26
3.2.1 内存控制器功能概述.....	26
3.2.2 初始化操作.....	26
3.2.3 复位引脚的控制.....	27
4. 芯片启动及初始化.....	31
4.1 引导启动说明.....	31

4.2 上电配置说明.....	31
5. 时钟.....	32
5.1 时钟内部关系.....	32
5.2 时钟需求.....	32
5.2.1 单端时钟输入要求.....	33
5.2.2 差分时钟输入要求.....	33
5.3 频率配置.....	34
6. 电源管理.....	35
6.1 复位操作.....	35
6.2 电源域.....	35
7. 热设计.....	37
7.1 热参数.....	37
7.2 TDP 信息.....	37
7.3 焊接温度及焊接曲线.....	37
8. 仿真模型.....	39
9. 电气特性.....	40
9.1 极限工作条件.....	40
9.2 典型工作条件.....	40
9.3 功耗信息.....	41
9.3.1 外围功耗测试.....	41
9.3.2 高温条件下的核心功耗.....	42
9.3.3 常温条件下的核心功耗.....	42
9.4 电源时序.....	43
9.5 接口电气特性.....	43
9.5.1 HyperTransport 接口.....	43
9.5.2 DDR 接口.....	43
10. 封装信息.....	44
10.1 封装尺寸.....	44
10.2 信号位置分布.....	45
11. 产品标识.....	46
11.1 通用标识.....	46
11.2 3A6000 芯片（示例）.....	46
附录一：芯片引脚排布图.....	47
附录二：芯片引脚内部延迟数据.....	61

图目录

图 1.1 处理器结构示意图.....	2
图 1.2 单处理器系统连接.....	3
图 2.1 处理器接口信号框图.....	7
图 3.1 HT 接口连接.....	25
图 3.2 一般模式复位时序图.....	28
图 3.3 反向模式复位时序图.....	29
图 3.4 禁止复位时序图.....	29
图 7.1 焊接回流曲线.....	38
图 9.1 70 度壳温功耗实测结果.....	42
图 9.2 40 度壳温功耗实测结果.....	43
图 10.1 封装尺寸.....	44
图 10.2 信号位置分布图.....	45

表目录

表 1.1 技术指标.....	1
表 1.2 芯片分级.....	3
表 2.1 信号类型定义.....	8
表 2.2 HT 总线信号.....	8
表 2.3 DDR4 接口信号.....	11
表 2.4 初始化接口信号.....	18
表 2.5 SPI 接口信号.....	20
表 2.6 UART 接口信号.....	20
表 2.7 I2C 接口信号.....	20
表 2.8 AVS 接口信号.....	20
表 2.9 引脚中断信号描述.....	21
表 2.10 JTAG 接口信号.....	21
表 2.11 时钟及配置信号.....	22
表 2.12 HT 时钟控制.....	22
表 2.13 GPIO 信号.....	23
表 2.14 JTAG 接口信号.....	23
表 2.15 电源引脚.....	24
表 4.1 上电配置引脚.....	31
表 5.1 处理器内部时钟说明.....	32
表 5.2 参考时钟输入.....	33
表 7.1 芯片热阻参数.....	37
表 7.2 芯片热特性参数和推荐的最大值.....	37
表 7.3 无铅工艺的封装回流最大温度表.....	37
表 7.4 回流焊接温度分类表.....	37
表 9.1 绝对最大额定值.....	40
表 9.2 芯片温度限额.....	40
表 9.3 推荐的工作电源电压.....	40
表 9.4 芯片分级.....	41
表 9.5 芯片实测功耗.....	42

1. 简介

龙芯处理器主要包括三个系列。龙芯 1 号系列处理器采用 32 位处理器核，集成各种外围接口，形成面向特定应用的单片解决方案，主要应用于物联终端、仪器设备、数据采集等领域。龙芯 2 号系列处理器采用 32 位或 64 位处理器核，集成各种外围接口，形成面向网络设备、行业终端、智能制造等的高性能低功耗 SoC 芯片。龙芯 3 号系列处理器片内集成多个 64 位处理器核以及必要的存储和 I/O 接口，面向高端嵌入式计算机、桌面、服务器等应用。

龙芯 3A6000 处理器共包含 4 个物理核，共 8 逻辑核，封装为 FCBGA-1190，工作主频为 2.0GHz - 2.5GHz，主要面向终端及工控领域。

1.1 技术指标

表 1.1 技术指标

主频	2.0GHz - 2.5GHz
峰值运算速度	240GFlops@2.5GHz
物理核个数	4
逻辑核个数	8
处理器核	64 位超标量处理器核 LA664 支持 LoongArch [®] 指令集 支持 128/256 位向量指令 六发射乱序执行 4 个定点单元、4 个向量单元和 4 个访存单元
高速缓存	每个核包含 64KB 私有二级指令缓存和 64KB 私有二级数据缓存 每个核包含 256KB 私有三级缓存 共 16MB 三级缓存
内存接口	2 个 72 位 DDR4-3200 支持 ECC 校验
高速 I/O	1 个 HyperTransport 3.0 I/O 接口 (HT0)
其它 I/O	1 个 SPI、1 个 UART、2 个 I2C、1 个 AVS、16 个 GPIO 接口
封装方式	FCBGA1190
功耗管理	支持主要模块时钟动态关闭 支持主要时钟域动态变频 支持主电压域动态调压
典型功耗	38W@2.5GHz

1.2 芯片内部框图

龙芯 3A6000 的结构如图 1.1 所示。龙芯 3A6000 的结构设计与 3A5000 相比，采用了全新的 LA664 处理器核，再度大幅提升计算与访存性能；IO 接口进一步简化并取消了对多片互连的支持。

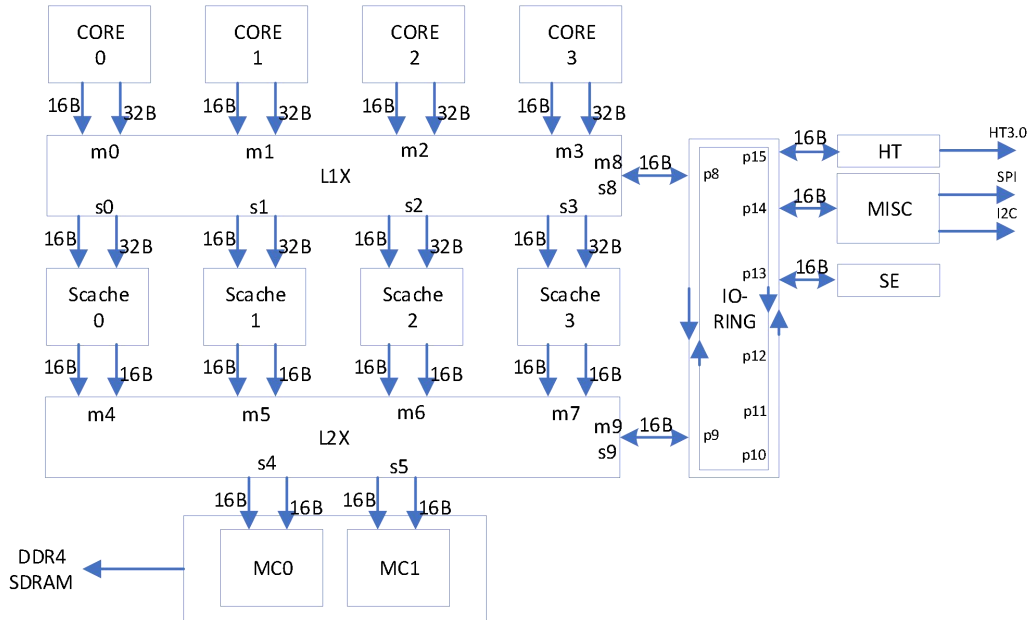


图 1.1 处理器结构示意图

1.3 芯片封装

采用 1190 引脚塑封 FCBGA 封装，芯片尺寸为 35mm*35mm。

1.4 典型应用

- (1) 龙芯 3A6000 单处理器系统。使用 HT 接口用于 IO 桥片连接。一种常见的连接方式如图 1.2 所示：

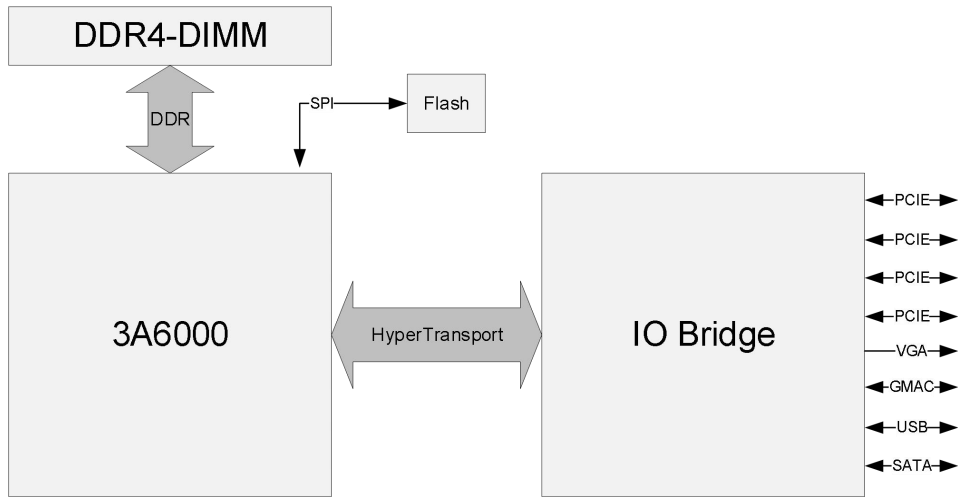


图 1.2 单处理器系统连接

1.5 订购信息

龙芯 3A6000 芯片分为三个商业级版本，不同版本芯片针对的工作环境、工作电压及实际功耗有所不同，不可相互替换。芯片在错误的工作电压下，可能会引起工作异常或使用寿命问题。在选用前必须明确对应的芯片分级。

不同版本的说明如下表：

表 1.2 芯片分级

芯片标识	质量等级	典型电压*	电源要求	典型功耗*	壳温范围	说明
LS3A6000-HV	商业级	1.15V	±25mV	~38W	0 - 70℃	商业级版本 工作频率 2.5GHz
LS3A6000-LL	商业级	1.05V	±25mV	~28W	0 - 70℃	商业级版本 工作频率 2.3GHz
LS3A6000M	商业级	0.95V	±25mV	~20W	0 - 70℃	商业级移动版本 采用超薄封装 工作频率 2.0GHz

*典型电压为 VDDN 的电压设置

*表中数据为常温典型工作条件下 VDDN 电压域测得的典型值（SPEC CPU 2006 RATE 运行时测得的全芯片平均功耗）。芯片运行时功耗受负载的影响，待机或低负载工作功耗会低于典型值。

1.6 术语

表 1-2 术语和缩略语表

术语	描述	备注
PMON	开源固件，在部分龙芯处理器系统中使用	
UEFI	开源固件，在部分龙芯处理器系统中使用	
GMAC	千兆以太网控制器	
GPIO	通用输入输出接口	
SPI	Serial Peripheral Interface	
WDT	Watchdog Timer	
HDA	High Definition Audio	
I2C	Inter Integrated Circuit	
ROM	Read-Only Memory	
ECC	Error Correcting Code	
PCIe	Peripheral Component Interconnect express	
DDR4	第四代双倍速率内存接口	
DIMM	Dual In-line Memory Modules	
UDIMM	Unbuffered Dual In-line Memory Modules	
SODIMM	Small Outline Dual In-line Memory Module	
RDIMM	Registered Dual In-line Memory Modules	
LRDIMM	Load-Reduced Dual In-line Memory Modules	
JTAG	标准测试调试接口	
Loongnix	龙芯开源操作系统	

1.7 设计相关文档、工具、软件

1.7.1 设计相关文档

龙芯 3A6000 参考手册如下述：

《龙芯 3A6000 处理器寄存器使用手册》

《龙芯 3A6000 处理器数据手册》

《龙芯 3A6000 板卡硬件设计指导》

1.7.2 工具软件

龙架构（LoongArch）相关软件。

1.7.3 固件及系统支持

(1) 芯片所支持的固件:

PMON、UEFI

(2) 芯片所支持的操作系统:

Loongnix

其它商业操作系统

1.8 文档约定

1.8.1 引脚信号命名

信号名的选取以方便记忆和明确标识功能为原则。低有效信号以 n 结尾，高有效信号则不带 n。

1.8.2 数值表示

16 进制数表示为 'hxxx'，2 进制数表示为 'bxx'，其它数字为 10 进制。功能相同但标号有别的引脚（如 DDR_DQ0，DDR_DQ1，...）使用方括号加数字范围的形式简写（如 DDR_DQ[31:0]）。类似地，寄存器域也采用这种表示方式。

1.8.3 寄存器域

寄存器域以 [寄存器名].[域名] 的形式加以引用。如 chip_config0. uart_split 指芯片配置寄存器 0 (chip_config0) 的 uart_split 域。

2. 接口信号

龙芯 3A6000 的管脚数为 1190，包含以下类别的信号：

-HyperTransport 总线接口信号
-DDR4 SDRAM 总线接口信号
-初始化信号
-低速 I/O 接口
-芯片引脚中断信号
-JTAG 信号
-测试和控制信号
-时钟信号
-电源引脚
-GPIO 信号
-SE 模块信号

2.1 接口信号图

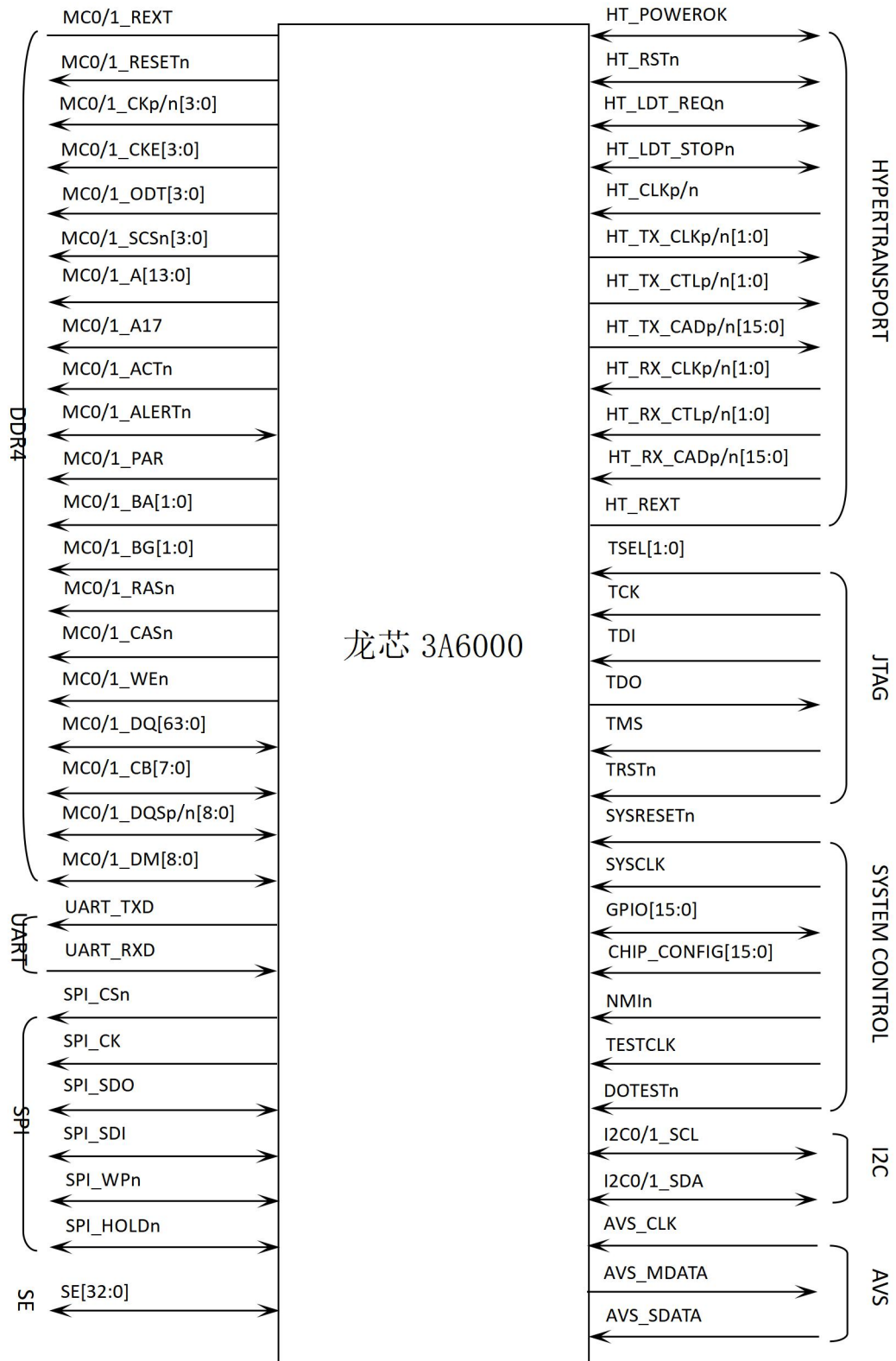


图 2.1 处理器接口信号框图

注：箭头指示信号方向，有输入、输出和双向。

2.2 信号类型定义

本章信号类型定义如下表所示：

表 2.1 信号类型定义

输入输出类型	说明
I	输入
O	输出
I/O	输入输出
A	模拟

2.3 接口信号说明

2.3.1 HyperTransport 信号

龙芯 3A6000 中拥有 1 组用于 IO 连接的 HyperTransport 总线（称为 HT）。

HyperTransport 总线信号包括：

- 16 对差分发送数据命令总线；
- 16 对差分接收数据命令总线；
- 2 对差分发送控制信号；
- 2 对差分接收控制信号；
- 2 对差分发送时钟信号；
- 2 对差分接收时钟信号；
- 4 个总线控制信号；

HyperTransport 总线不使用时可以悬空。需要注意的是对于悬空的 HyperTransport 通道，需要将其对应的 LDT_STOPn 信号下拉处理。

例如，当 HT 没有连接器件，则需要将 HT_LDT_STOPn 下拉。

下表是龙芯 3A6000 处理器的 HyperTransport 总线接口信号定义。上下拉电阻内部约为 50KOhm。

表 2.2 HT 总线信号

HT0 总线信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
HT_PowerOK	A5	I/O	HT 总线 PowerOK 信号	VDDE_IO	上拉
HT_Resetn	A7	I/O	HT 总线 Resetn 信号	VDDE_IO	上拉
HT_Ldt_Stopn	B7	I/O	HT 总线 Ldt_Stopn 信号	VDDE_IO	上拉

HT_Ldt_reqn	A6	I/O	HT 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
HT_Tx_CADp[15:0]	C10 A11 C12 A13 C14 A15 C16 A17 G10 E11 G12 E13 G14 E15 G16 E17	0	HT 总线发送数据命令总线。	VDD_HT	无
HT_Tx_CADn[15:0]	D10 B11 D12 B13 D14 B15 D16 B17 H10 F11 H12 F13 H14 F15 H16 F17	0	HT 总线发送数据命令总线。	VDD_HT	无
HT_Tx_CTLp[1:0]	C8 G8	0	HT 总线发送控制信号。	VDD_HT	无
HT_Tx_CTLn[1:0]	D8 H8	0	HT 总线发送控制信号。	VDD_HT	无
HT_Tx_CLKp[1:0]	A9 E9	0	HT 总线发送时钟总线。	VDD_HT	无
HT_Tx_CLKn[1:0]	B9 F9	0	HT 总线发送时钟总线。	VDD_HT	无
HT_Rx_CADp[15:0]	D20 B21 D22 B23	I	HT 总线接收数据命令总线。	VDD_HT	无

	D24 B25 D26 B27 G20 E21 G22 E23 G24 E25 G26 E27				
HT_Rx_CADn[15:0]	C20 A21 C22 A23 C24 A25 C26 A27 H20 F21 H22 F23 H24 F25 H26 F27	I	HT 总线接收数据命令总线。	VDD_HT	无
HT_Rx_CTLp[1:0]	D18 G18	I	HT 总线接收控制信号。	VDD_HT	无
HT_Rx_CTLn[1:0]	C18 H18	I	HT 总线接收控制信号。	VDD_HT	无
HT_Rx_CLKp[1:0]	B19 E19	I	HT 总线接收时钟总线。	VDD_HT	无
HT_Rx_CLKn[1:0]	A19 F19	I	HT 总线接收时钟总线。	VDD_HT	无
HT_REXT		I	HT 参考电阻，需要接 800 欧姆电阻下拉	VDD_HT	无

2.3.2 DDR 接口信号

龙芯 3A6000 集成了标准的 DDR4 SDRAM 内存控制器，可支持各种非 3DS 采用 x8、x16 颗粒的 DDR4 内存条。该内存控制器接口包括有下列信号：

- 72 位双向数据总线信号（包括 ECC）；
- 9 路双向数据选通差分信号（包括 ECC）；

- 9 路数据掩码；
- 15 位行列地址总线信号；
- 2 位 BANK 地址信号；
- 2 位 BANK GROUP 地址信号；
- 4 位物理片选信号；
- 4 路差分时钟信号；
- 4 位时钟使能信号；
- 4 位命令总线信号；
- 4 位 ODT(On Die Termination)信号；
- 1 位命令奇偶校验信号；
- 1 位内存出错反馈信号；
- 1 位复位控制信号。

DDR 接口不使用时可以悬空。表 2.3 是龙芯 3A6000 每一组内存控制器接口信号，共有两组。

表 2.3 DDR4 接口信号

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
MCO_DQ[63:0]	AB1	I/O	数据总线信号	VDDIO_DDR	无
	AC3				
	AE2				
	AE1				
	AB3				
	AB2				
	AD1				
	AE3				
	AG1				
	AH3				
	AK2				
	AK1				
	AG3				
	AG2				
	AJ1				
	AK3				
	AM1				
	AN3				
	AR1				
	AT2				
AM3					
AM2					
AP1					

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	AR2				
	AU4				
	AR5				
	AT7				
	AU7				
	AR4				
	AT4				
	AU6				
	AR7				
	AR30				
	AR31				
	AU33				
	AT33				
	AT30				
	AU30				
	AR32				
	AR33				
	AR35				
	AT36				
	AN36				
	AN37				
	AU35				
	AT35				
	AP37				
	AN35				
	AL37				
	AK35				
	AH36				
	AH37				
	AL35				
	AL36				
	AJ37				
	AH35				
	AF37				
	AE35				
	AC36				
	AC37				
	AF35				
	AF36				
	AD37				
	AC35				
MCO_CB[7:0]	AR9 AP9	I/O	数据总线 ECC 信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	AR11 AP11 AT9 AU9 AU11 AT11				
MCO_DQSp[8:0]	AD2 AJ2 AP2 AT6 AU32 AP36 AJ36 AD36 AP10	I/O	数据选通（包括 ECC）	VDDIO_DDR	无
MCO_DQSn[8:0]	AD3 AJ3 AP3 AR6 AT32 AP35 AJ35 AD35 AR10	I/O	数据选通（包括 ECC）	VDDIO_DDR	无
MCO_DM[8:0]	AC1 AH1 AN1 AU5 AU31 AR37 AK37 AE37 AU10	0	数据屏蔽 DM0-8	VDDIO_DDR	无
MCO_A[13:0]	AP23 AP18 AT19 AR18 AT18 AN17 AP17 AP16 AT17 AT16	0	地址总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	AR24 AR16 AR15 AT26				
MCO_A17	AU27	0	地址总线信号	VDDIO_DDR	无
MCO_BA[1:0]	AU23 AR23	0	逻辑 Bank 地址信号	VDDIO_DDR	无
MCO_BG[1:0]	AT14 AP15	0	逻辑 Bank 组地址信号	VDDIO_DDR	无
MCO_WEn	AU24	0	写使能信号, A14	VDDIO_DDR	无
MCO_CASn	AU25	0	列地址选择信号, A15	VDDIO_DDR	无
MCO_RASn	AT24	0	行地址选择信号, A16	VDDIO_DDR	无
MCO_SCSn[3:0]	AP25 AP26 AP24 AT27	0	片选信号	VDDIO_DDR	无
MCO_CKE[3:0]	AR14 AU13 AP14 AR13	0	时钟使能信号	VDDIO_DDR	无
MCO_CKp[3:0]	AT20 AR19 AP22 AR21	0	差分时钟输出信号	VDDIO_DDR	无
MCO_CKn[3:0]	AR20 AP19 AR22 AT21	0	差分时钟输出信号	VDDIO_DDR	无
MCO_ODT[3:0]	AT25 AU28 AR26 AR28	0	ODT 信号	VDDIO_DDR	无
MCO_Resetn	AP13	0	复位控制信号	VDDIO_DDR	无
MCO_ACTn	AU14	0	激活命令信号	VDDIO_DDR	无
MCO_PAR	AT22	0	命令与地址奇偶校验值	VDDIO_DDR	无
MCO_ALERTn	AU15	I/O	数据 CRC 错或命令奇偶校验错误标志	VDDIO_DDR	无
MCO_REXT	AP28	A	参考电阻, 需要接 240 欧姆电阻下拉	VDDIO_DDR	无
MCI_DQ[63:0]	T5 U7 W6 W7 T7	I/O	数据总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	T6				
	V7				
	W5				
	AA5				
	AB7				
	AD5				
	AD6				
	AA7				
	AA6				
	AC5				
	AD7				
	AF5				
	AG7				
	AJ5				
	AJ6				
	AF7				
	AF6				
	AH5				
	AJ7				
	AL5				
	AL6				
	AM8				
	AN8				
	AL8				
	AL7				
	AM7				
	AN7				
	AM27				
	AJ27				
	AK29				
	AJ29				
	AK27				
	AL27				
	AM29				
	AL29				
	AN33				
	AM31				
	AK33				
	AK32				
	AN31				
	AN32				
	AL33				
	AK31				

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	AH33 AG31 AE33 AE32 AH31 AH32 AF33 AE31 AC33 AC32 AA31 AA30 AC30 AC31 AA33 AA32				
MC1_CB[7:0]	AE10 AE9 AH10 AH11 AD10 AD9 AG11 AH9	I/O	数据总线 ECC 信号	VDDIO_DDR	无
MC1_DQSp[8:0]	V5 AC6 AH6 AN6 AJ28 AL32 AF32 AB30 AG9	I/O	数据选通 (包括 ECC)	VDDIO_DDR	无
MC1_DQSn[8:0]	V6 AC7 AH7 AN5 AK28 AL31 AF31 AB31 AG10	I/O	数据选通 (包括 ECC)	VDDIO_DDR	无
MC1_DM[8:0]	U5	0	数据屏蔽 DMO-8	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	AB5 AG5 AM5 AM28 AM33 AG33 AB33 AF9				
MC1_A[13:0]	AL20 AK16 AM17 AL16 AJ15 AL15 AM15 AK14 AJ14 AM13 AN21 AL14 AN13 AK23	0	地址总线信号	VDDIO_DDR	无
MC1_A17	AJ24	0	地址总线信号	VDDIO_DDR	无
MC1_BA[1:0]	AL21 AN20	0	逻辑 Bank 地址信号	VDDIO_DDR	无
MC1_BG[1:0]	AM12 AJ13	0	逻辑 Bank 组地址信号	VDDIO_DDR	无
MC1_WEn	AL22	0	写使能信号, A14	VDDIO_DDR	无
MC1_CASn	AN23	0	列地址选择信号, A15	VDDIO_DDR	无
MC1_RASn	AK21	0	行地址选择信号, A16	VDDIO_DDR	无
MC1_SCSn[3:0]	AM22 AL24 AJ22 AN25	0	片选信号	VDDIO_DDR	无
MC1_CKE[3:0]	AK12 AK11 AM11 AM10	0	时钟使能信号	VDDIO_DDR	无
MC1_CKp[3:0]	AL18 AK17 AK19 AN19	0	差分时钟输出信号	VDDIO_DDR	无
MC1_CKn[3:0]	AK18	0	差分时钟输出信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	AJ17 AJ19 AM19				
MC1_ODT[3:0]	AL23 AL25 AM24 AK25	0	ODT 信号	VDDIO_DDR	无
MC1_Resetn	AL10	0	复位控制信号	VDDIO_DDR	无
MC1_ACTn	AL12	0	激活命令信号	VDDIO_DDR	无
MC1_PAR	AK20	0	命令与地址奇偶校验值	VDDIO_DDR	无
MC1_ALERTn	AK13	I/O	数据 CRC 错或命令奇偶校验错标志	VDDIO_DDR	无
MC1_REXT	AK10	A	参考电阻，需要接 240 欧姆电阻下拉	VDDIO_DDR	无

2.3.3 初始化配置信号

表 2.4 提供了初始化配置信号的名称，方向和描述。

内部上下拉约为 50KOhm。

表 2.4 初始化接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉												
SYSRESETn	M4	I	系统复位信号，该信号的低电平状态需要维持多于一个 SYSCLK 周期，它可异步于 SYSCLK 信号。	VDDE_IO	无												
CHIP_CONFIG[3:0]	L4 K4 J4 H3	I	以下描述分别为对应位上拉时的功能 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>CHIP_CONFIG[0]</td> <td>SE 功能使能</td> </tr> <tr> <td>CHIP_CONFIG[1]</td> <td>默认 HT Gen1 模式</td> </tr> <tr> <td>CHIP_CONFIG[2]</td> <td>保留，需要上拉</td> </tr> <tr> <td>CHIP_CONFIG[3]</td> <td>片内时钟调试使能 (DCDL)</td> </tr> </table>	CHIP_CONFIG[0]	SE 功能使能	CHIP_CONFIG[1]	默认 HT Gen1 模式	CHIP_CONFIG[2]	保留，需要上拉	CHIP_CONFIG[3]	片内时钟调试使能 (DCDL)	VDDE_IO	4' b0010				
CHIP_CONFIG[0]	SE 功能使能																
CHIP_CONFIG[1]	默认 HT Gen1 模式																
CHIP_CONFIG[2]	保留，需要上拉																
CHIP_CONFIG[3]	片内时钟调试使能 (DCDL)																
CHIP_CONFIG[9:4]	K3 K2 J2 J3 H1 H2	I	时钟控制 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>信号</th> <th>作用</th> </tr> </thead> <tbody> <tr> <td>[9]</td> <td>1' b1: 表示 HT PLL 时钟固定采用 CHIP_CONFIG[7]控制 1' b0: 初始倍频由 CHIP_CONFIG[7]控制，且可由软件进行重新配置</td> </tr> <tr> <td>[8]</td> <td>1' b1: 表示 HT PLL 采用 SYSCLK 时钟输入 1' b0: 表示 HT PLL 采用差分时钟输入</td> </tr> <tr> <td>[7]</td> <td>1' b0: 表示 PHY 时钟为 6.4GHz 1' b1: 表示 PHY 时钟为 4.8GHz</td> </tr> <tr> <td>[6:5]</td> <td>保留</td> </tr> <tr> <td>[4]</td> <td>1-单端参考时钟采用 25MHz, 0-单端参考时钟采用 100MHz</td> </tr> </tbody> </table>	信号	作用	[9]	1' b1: 表示 HT PLL 时钟固定采用 CHIP_CONFIG[7]控制 1' b0: 初始倍频由 CHIP_CONFIG[7]控制，且可由软件进行重新配置	[8]	1' b1: 表示 HT PLL 采用 SYSCLK 时钟输入 1' b0: 表示 HT PLL 采用差分时钟输入	[7]	1' b0: 表示 PHY 时钟为 6.4GHz 1' b1: 表示 PHY 时钟为 4.8GHz	[6:5]	保留	[4]	1-单端参考时钟采用 25MHz, 0-单端参考时钟采用 100MHz	VDDE_IO	6' b010100
信号	作用																
[9]	1' b1: 表示 HT PLL 时钟固定采用 CHIP_CONFIG[7]控制 1' b0: 初始倍频由 CHIP_CONFIG[7]控制，且可由软件进行重新配置																
[8]	1' b1: 表示 HT PLL 采用 SYSCLK 时钟输入 1' b0: 表示 HT PLL 采用差分时钟输入																
[7]	1' b0: 表示 PHY 时钟为 6.4GHz 1' b1: 表示 PHY 时钟为 4.8GHz																
[6:5]	保留																
[4]	1-单端参考时钟采用 25MHz, 0-单端参考时钟采用 100MHz																

- SYSRESETn: 这个复位信号是唯一能复位整个龙芯 3A6000 处理器的信号。SYSCLK

必须在 SYSRESETn 释放前就保持稳定。SYSRESETn 的有效时间必须大于一个时钟周期。处理器内部的复位控制逻辑在 SYSRESETn 释放时才开始复位处理器。处理器内部复位将在 64K 个 SYSCLK 周期后完成，之后复位异常处理才可以被执行。

- 其它配置信号：定义了龙芯 3A6000 需要静态配置的信号，它在系统复位时必须保持稳定，而且在系统工作中不可修改。系统软件可以从相关的内部寄存器中读取部分引脚的对应值。

系统配置引脚的期望设置与内部上下拉的值一致时，可以悬空。但推荐的接法是保留对应反向上拉或下拉的电阻选焊不接，以方便调试使用。

2.3.4 低速接口信号

龙芯 3A6000 处理器的低速 I/O 接口包括 SPI 总线、UART 总线、I2C 总线和 AVS 总线。

SPI 总线连接 SPI flash，用于系统启动。SPI 控制器具有以下特性：

- 全双工同步串口数据传输
- 支持到 4 个的变长字节传输
- 主模式支持
- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 可在等待模式下对 SPI 进行控制
- 可支持处理器通过 SPI 启动
- 可支持双线、四线模式

UART 控制器具有以下特性：

- 全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统
- 仅工作在 FIFO 方式
- 在寄存器与功能上兼容 NS16550A

I2C 总线是由数据线 SDA 和时钟 SCL 构成的串行总线，可发送和接收数据。器件与器件之间进行双向传送，最高传送速率 400kbps。龙芯 3A6000 中集成的 I2C 控制器既可以作为主设备，也可以作为从设备，这两种模式之间通过配置内部寄存器进行切换。

AVS 总线用于专用电源芯片的电压控制以及状态监测，相比 I2C 总线有着更高的带宽和更短的延迟。

I2C、UART、AVS 接口不使用时可以悬空。

这些低速 I/O 接口包含的信号如下。SPI 直接连接 Flash 芯片，无需上拉。

表 2.5 SPI 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
SPI_SCK	H6	0	SPI 总线时钟	VDDE_IO	无
SPI_SDO	K7	I/O	SPI 总线数据输出	VDDE_IO	无
SPI_SDI	L8	I/O	SPI 总线数据输入	VDDE_IO	无
SPI_WPn	J5	I/O	SPI 总线写保护	VDDE_IO	无
SPI_HOLDn	J7	I/O	SPI 总线保持	VDDE_IO	无
SPI_CSn*	J6	0	SPI 片选信号	VDDE_IO	无

*, 如需连接多个 SPI 设备，可复用 GPIO0-1 作为 2 个额外的 CSn 片选信号。

表 2.6 UART 接口信号

信号名称	管脚名称	引脚标号	输入/输出	描述	电压域	内部上下拉
UART0_RXD	UART_RXD	K6	I	串口数据输入	VDDE_IO	无
UART0_TXD	UART_TXD	K5	0	串口数据输出	VDDE_IO	无
UART1_RXD	GPIO02*	L2	I	串口数据输入	VDDE_IO	无
UART1_TXD	GPIO03	N3	0	串口数据输出	VDDE_IO	无
UART1_RTS	GPIO04	L1	0	串口数据传输请求	VDDE_IO	无
UART1_CTS	GPIO05	M2	I	设备接受数据就绪	VDDE_IO	无
UART1_DTR	GPIO06	N2	0	串口初始化完成	VDDE_IO	无
UART1_DSR	GPIO07	P3	I	设备初始化完成	VDDE_IO	无
UART1_DCD	GPIO08	N1	I	外部 MODEM 探测到载波信号	VDDE_IO	无
UART1_RI	GPIO09	P1	I	外部 MODEM 探测到振铃信号	VDDE_IO	无

*, UART1 复用 GPIO2-9

表 2.7 I2C 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
I2C0_SCL	AA36	I/O	I2C 总线 0 时钟	VDDE_IO	无
I2C0_SDA	AA35	I/O	I2C 总线 0 数据	VDDE_IO	无
I2C1_SCL	Y3	I/O	I2C 总线 1 时钟	VDDE_IO	无
I2C1_SDA	Y2	I/O	I2C 总线 1 数据	VDDE_IO	无

表 2.8 AVS 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
AVS_CLK	AA37	0	AVS 总线时钟	VDDE_IO	无
AVS_MDATA	Y35	0	AVS 总线发送数据	VDDE_IO	无
AVS_SDATA	Y36	I	AVS 总线接收数据	VDDE_IO	无

2.3.5 中断信号

龙芯 3A6000 处理器的引脚中断包括 1 个不可屏蔽中断（NMI_n），16 个 GPIO 中断。此外，处理器还支持消息中断（MSI），通过 HT 总线从桥片传递到处理器。下表显示了引脚中断信号的名称、方向和描述。

GPIO 中断可以选择路由到处理器核中断引脚的 INTO-3 四根中断中的任意一个。有关中断的详细说明请参考使用手册的中断部分。

NMI_n 信号不用时可悬空。

下表内部上下拉约为 50KOhm。

表 2.9 引脚中断信号描述

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
NMI _n	M8	I	不可屏蔽外部中断信号，该信号会直接中断处理器，且不可屏蔽	VDDE_IO	上拉

2.3.6 JTAG 接口信号

龙芯 3A6000 提供了 JTAG 调试接口，用于系统调试。

JTAG 接口不用时可悬空，但推荐连出以提供系统调试功能。

下表提供了 JTAG 信号的名称，方向和描述。其中内部上下拉约为 50KOhm。

表 2.10 JTAG 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
TDI	V2	I	JTAG 串行扫描数据输入。	VDDE_IO	无
TDO	V3	O	JTAG 串行扫描数据输出。	VDDE_IO	无
TMS	W1	I	JTAG 命令，指示输入的串行数据是一个命令。	VDDE_IO	无
TRST _n	W3	I	JTAG 重启信号。	VDDE_IO	下拉
TCK	W2	I	JTAG 串行扫描时钟。	VDDE_IO	下拉
TSEL[1:0]	U2 U3	I	JTAG 功能选择： 2' b00: LA664 JTAG 2' b01: JTAG	VDDE_IO	2' b00

2.3.7 时钟及配置信号

龙芯 3A6000 时钟相关信号参见表 2.11。处理器输入时钟信号包括 SYSCLK，差分时钟 HT_CLKp/HT_CLKn，此外还包括时钟配置信号 CHIP_CONFIG[9:4]。龙芯 3A6000 的 Core 时钟和 DDR 时钟通过 SYSCLK 产生，所使用的晶振频率需要与 CHIP_CONFIG[4] 的设置一致。HT

的时钟产生较为复杂。HT 可以使用差分时钟对 HT_CLKp/HT_CLK，也可以使用单端时钟 SYSCLK，采用 CHIP_CONFIG[8]进行相关控制。CHIP_CONFIG 控制分频的方法参见下表。

处理器主频及内存频率通过软件在芯片启动后进行配置。

SYSCLK 必须连接。

TESTCLK 为测试时钟，正常使用时无需连接。

系统配置的 CHIP_CONFIG 信号期望设置与内部上下拉值一致时，可以悬空。但推荐的接法是保留对应反向上拉或下拉的电阻选焊不接，以方便调试使用。

表 2.11 时钟及配置信号

信号名称	引脚标号	输入/输出	频率 (MHz)	描述	电压域
SYSCLK	Y1	I	25/100	系统输入时钟，驱动内置的 PLL 产生处理器的各个时钟。同时作为系统复位电路的时钟。	VDDE_IO
TESTCLK	U1	I	25	测试用时钟，正常使用无需连接	VDDE_IO
HT_CLKp/ HT_CLKn	D28 C28	I	100/200	HT 总线备份用参考时钟。	VDD_HT
CHIP_CONFIG [9:4]	K3 K2 J2 J3 H1 H2	I	-	Core、DDR 和 HT 的频率选择，参见下表	VDDE_IO

表 2.12 HT 时钟控制

信号	作用	内部上下拉
CHIP_CONFIG[9]	1' b1 表示 HT 控制器频率采用硬件设置 1' b0 表示初始倍频由 CHIP_CONFIG[7]控制，且可由软件进行重新配置	1' b0
CHIP_CONFIG[8]	1' b1 表示 HT PLL 采用 SYSCLK 时钟输入 1' b0 表示 HT PLL 采用差分时钟输入	1' b1
CHIP_CONFIG[7]	1' b0 表示 PHY 时钟为 6.4GHz 1' b1 表示 PHY 时钟为 4.8GHz	1' b0
CHIP_CONFIG[6]	保留	1' b1
CHIP_CONFIG[5]	保留	1' b0
CHIP_CONFIG[4]	1-单端参考时钟采用 25MHz，0-单端参考时钟采用 100MHz	1' b0

CHIP_CONFIG[9:4]建议配置为 6' b010100，以获得更灵活的频率配置方式。处理器主频和内存频率需要由 BIOS 进行软件配置。具体配置方法请参考使用手册。CHIP_CONFIG[4]需要根据外部参考时钟晶振的频率设置相应的值。

2.3.8 GPIO 信号

龙芯 3A6000 中提供最多 16 个 GPIO 供系统使用，且绝大部分进行了复用。需要特别指出的是，GPIO00 - GPIO15 芯片复位时即为 GPIO 功能，默认为输入状态，不驱动 IO。

GPIO 不用时可悬空。

此外，通过寄存器设置，可以将 GPIO 配置为中断输入功能，并可以设置其中断电平，设置方法请参考使用手册中的 GPIO 相关章节。

GPIO 引脚的驱动能力从 2mA 至 12mA 软件可配置，默认为最低驱动。

表 2.13 GPIO 信号

GPIO	引脚名称	引脚标号	复用功能	复位状态	电压域
0	GPIO00	M3	SPI_CS _{n1}	输入高阻	VDDE_IO
1	GPIO01	K1	SPI_CS _{n2}	输入高阻	VDDE_IO
2	GPIO02	L2	UART1_RXD	输入高阻	VDDE_IO
3	GPIO03	N3	UART1_TXD	输入高阻	VDDE_IO
4	GPIO04	L1	UART1_RTS	输入高阻	VDDE_IO
5	GPIO05	M2	UART1_CTS	输入高阻	VDDE_IO
6	GPIO06	N2	UART1_DTR	输入高阻	VDDE_IO
7	GPIO07	P3	UART1_DSR	输入高阻	VDDE_IO
8	GPIO08	N1	UART1_DCD	输入高阻	VDDE_IO
9	GPIO09	P1	UART1_RI	输入高阻	VDDE_IO
10	GPIO10	T1	-	输入高阻	VDDE_IO
11	GPIO11	P2	-	输入高阻	VDDE_IO
12	GPIO12	R3	-	输入高阻	VDDE_IO
13	GPIO13	T3	-	输入高阻	VDDE_IO
14	GPIO14	R2	PROCHOT _n	输入高阻	VDDE_IO
15	GPIO15	T2	THERMTRIP _n	输入高阻	VDDE_IO

PROCHOT_n 作为输入时，芯片受外部温度检测电路的控制，外部温度检测电路需要降低芯片温度时可以置 PROCHOT_n 为 0，芯片接收到该低电平后可以采取降频措施，降频时的分频值由通过寄存器 prochn_freq_scale 设置。PROCHOT_n 作为输出时，芯片可输出高温中断，通过 prochn_o_sel 寄存器从高温中断控制寄存器所设置的 4 个中断中选择一个作为对外发出的高温中断。

THERMTRIP_n 作为输出，由芯片通过 thermtripn_o_sel 寄存器从高温中断控制寄存器所设置的 4 个中断中选择一个作为对外发出的高温中断。

2.3.9 测试控制信号

龙芯 3A6000 芯片的测试控制信号用于区分芯片的实际工作状态。当芯片正常工作，测试功能被禁用。用于测试的控制信号为 DOTEST 信号，运行在功能模式时需要进行上拉处理。

表 2.14 JTAG 接口信号

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DOTESTn	V1	I	DOTESTn=0, 芯片处于测试模式; DOTESTn=1, 芯片处于正常功能模式。	VDDE_IO	上拉

2.3.10 电源地引脚

表 2.15 电源引脚

电源域	描述	引脚名称	引脚标号
VDDN	处理器核数字电源	VDDN	见附录一
VDDP	处理器核外围数字电源	VDDP	见附录一
VDDE_IO	处理器 IO 电源	VDDE_IO	见附录一
VDDIO_DDR	DDR 通道 IO 电源	VDDIO_DDR	见附录一
VDD_HT	HT IO 电源	VDD_HT	见附录一
VDD_PHY_DDR	DDRPHY 电源	VDD_PHY_DDR	见附录一
VDD_PLL_DDR	DDR PLL 模拟电源	VDD_PLL_DDR	见附录一
VDD_PLL_SE	SE PLL 电源	VDD_PLL_SE	见附录一
VDD_PLL_HT	HT0/1 PLL 模拟电源	VDD_PLL_HT	见附录一
VDD_PLL_SYS	SYS PLL 模拟电源	VDD_PLL_SYS	见附录一
VDD_PLL_1V0BU	1V0 Back Up PLL 电源	VDD_PLL_1V0BU	见附录一
VDD_PLL_1V8BU	1V8 Back Up PLL 电源	VDD_PLL_1V8BU	见附录一
VSS	地平面	VSS	见附录一
VDDN_SENSE+	处理器核数字电源反馈信号	VDDN_SENSE+	见附录一
VDDN_SENSE-	处理器数字地反馈信号	VDDN_SENSE-	见附录一

2.4 引脚复用关系

龙芯 3A6000 中, 仅 GPIO 引脚与其它功能存在复用关系, 详见 2.3.8 节说明。

3. 功能及接口说明

3.1 HyperTransport 接口

龙芯 3A6000 处理器拥有一组 HyperTransport 总线接口用于 IO 连接，简称为 HT。其接口为 16 位宽度，不可拆分使用。

3.1.1 接口特性

HyperTransport 接口特性包括：

- 兼容 HyperTransport 1.03/HyperTransport 3.0；
- IO 接口频率支持 200 - 3200MHz；
- 支持 IO Cache 一致性。

3.1.2 系统接口连接

龙芯 3A6000 中的 HT 接口用于系统中的 IO 连接，通过硬件自动维护与系统内存的一致性。

针对不同的系统有规定的连接方式，以方便软件的兼容处理，具体的系统连接要求请参考对应桥片的相关设计规范。

其连接方式如下所示：

- 龙芯 3A6000 处理器系统连接。用于 IO 设备连接时，HyperTransport 接口硬件维护 IO Cache 一致性，减少了软件维护 Cache 一致性协议所产生的开销，一种常见的连接方式如下图所示：

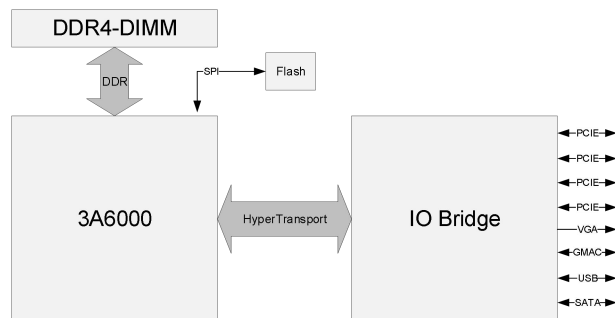


图 3.1 HT 接口连接

3.2 DDR 接口

龙芯 3A6000 处理器内部集成的内存控制器的设计遵守 DDR4 SDRAM 的行业标准 (JESD79-4)。

3.2.1 内存控制器功能概述

龙芯 3A6000 处理器中，每个内存控制器支持最大 4 个 CS，其中每 2 个 CS 可以对应一个内存插槽，每个控制器最多支持 2 个内存插槽，每个处理器最多支持 4 个内存插槽。

龙芯 3A6000 处理器在具体选择使用不同内存芯片类型时，可以调整控制器参数设置进行支持，能支持各种容量大小的内存条。

CPU 发送的内存请求物理地址可以根据控制器内部不同的配置进行多种不同的地址映射。

龙芯 3A6000 处理器所集成的内存控制电路只接受来自处理器或者外部设备的内存读/写请求，在所有的内存读/写操作中，内存控制电路处于从设备状态。

龙芯 3A6000 处理器中内存控制器具有如下特征：

- 接口上命令、读写数据全流水操作
- 内存命令合并、排序提高整体带宽
- 配置寄存器读写端口，可以修改内存设备的基本参数
- 内建动态延迟补偿电路 (DCC)，用于数据的可靠发送和接收
- ECC 功能可以对数据通路上的 1 位和 2 位错误进行检测，并能对 1 位错进行自动纠错
- 支持内存地址镜像功能
- 支持 RDIMM、UDIMM、So-DIMM 以及贴片等不同内存形态，不支持 3DS 内存条
- 支持 x8、x16 颗粒
- 支持 133-800MHz 内部工作频率
- 最高支持 DDR4-3200

3.2.2 初始化操作

内存控制器必须经过软件初始化之后，才可以正常使用，以下为对控制器进行初始化的

具体方法。

初始化操作由软件向寄存器 Init_start (0x010) 写入 1 时开始，在设置 Init_start 信号之前，必须将其它所有寄存器设置为正确的值。

软硬件协同的 DRAM 初始化过程如下：

- (1) 软件向所有的寄存器写入正确的配置值，但是 Init_start (0x010) 在这一过程中必须保持为 0；
- (2) 软件将 Init_start (0x010) 设置为 1，这将导致硬件初始化的开始；
- (3) PHY 内部开始初始化操作，DLL 将尝试进行锁定操作。如果锁定成功，则可以从 Dll_init_done (0x030) 读出对应状态，并可以从 Dll_value_ck (0x030) 读写当前锁定延迟线个数；如果锁定不成功，则初始化不会继续进行（此时可以通过设置 Dll_bypass (0x030) 使得初始化继续执行）；
- (4) DLL 锁定（或者 bypass 设置）之后，控制器将根据对应 DRAM 的初始化要求向 DRAM 发出相应的初始化序列，例如对应的 MRS 命令，ZQCL 命令等等；
- (5) 软件可以通过采样 Dram_init (0x010) 寄存器来判断内存初始化操作是否完成。

3.2.3 复位引脚的控制

为了在 STR 等状态下更加简单地控制复位引脚，可以通过 pad_reset_po (0x808) 寄存器进行特别的复位引脚 (DDR_RESETh) 控制，主要的控制模式有两种：

- (1) 一般模式，pad_reset_po[1:0] = 2' b00。这种模式下，复位信号引脚的行为与一般的控制模式相兼容。主板上直接将 DDR_RESETh 与内存槽上的对应引脚相连。引脚的行为是：
 - 未上电时：引脚状态为低；
 - 上电时：引脚状态为低；
 - 控制器开始初始化时，引脚状态为高；
 - 正常工作时，引脚状态为高。

时序如下图所示：

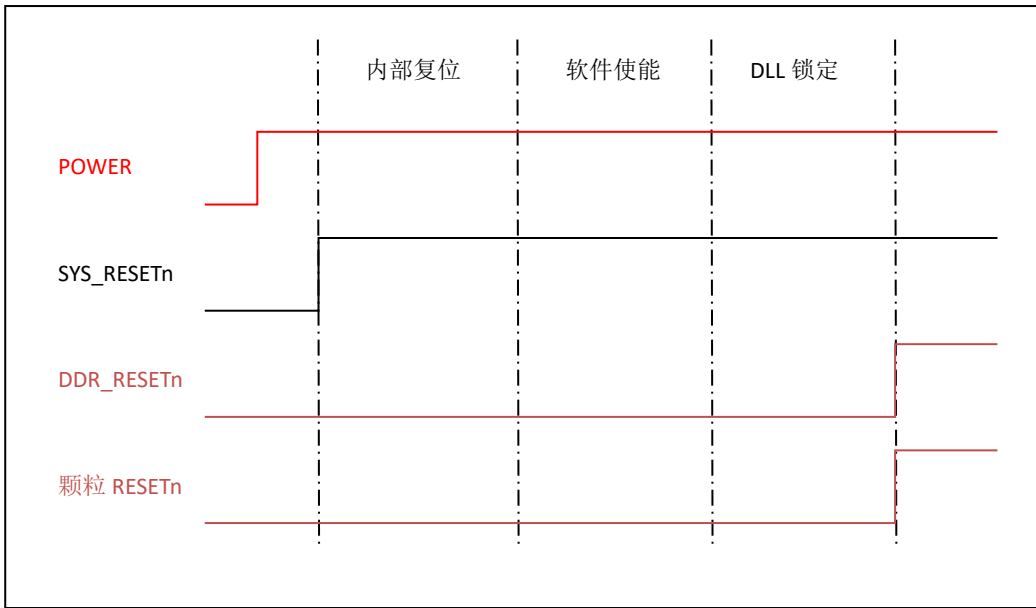


图 3.2 一般模式复位时序图

(2) 反向模式， $pad_reset_po[1:0] = 2'b10$ 。这种模式下，复位信号引脚在进行内存实际控制的时候，有效电平与一般的控制模式相反。所以主板上需要将 DDR_RESETh 通过反向器与内存槽上的对应引脚相连。引脚的行为是：

- 未上电时：引脚状态为低；
- 上电时：引脚状态为低；
- 控制器开始配置时：引脚状态为高；
- 控制器开始初始化时：引脚状态为低；
- 正常工作时：引脚状态为低。

时序如下图所示：

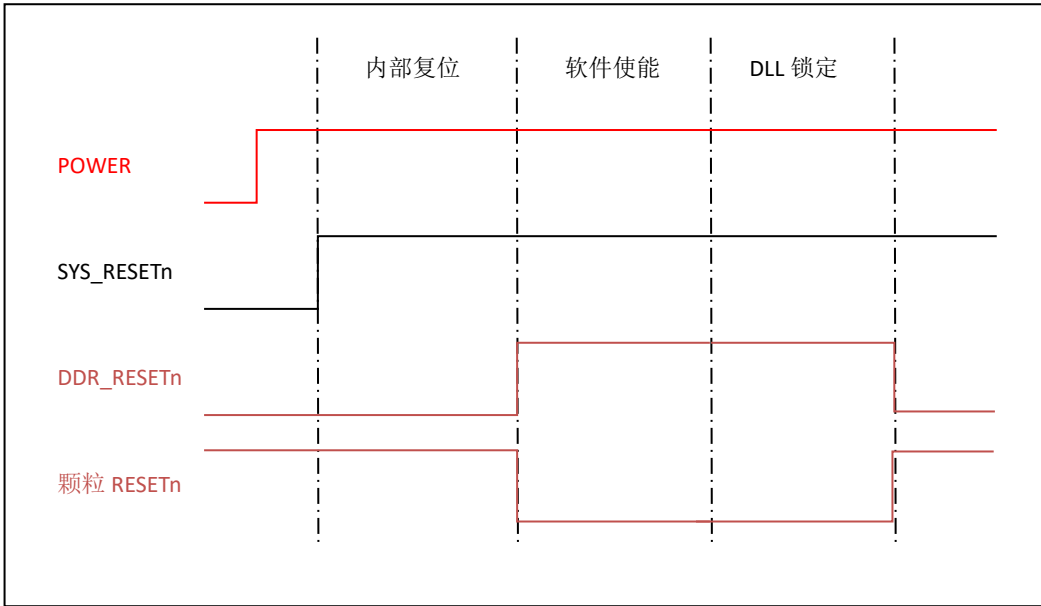


图 3.3 反向模式复位时序图

(3) 复位禁止模式，pad_reset_po[1:0] = 2'b01。这种模式下，复位信号引脚在整个内存工作期间，保持低电平。所以主板上需要将 DDR_RESETEn 通过反向器与内存槽上的对应引脚相连。引脚的行为是：

- 始终为低。

时序如下图所示：

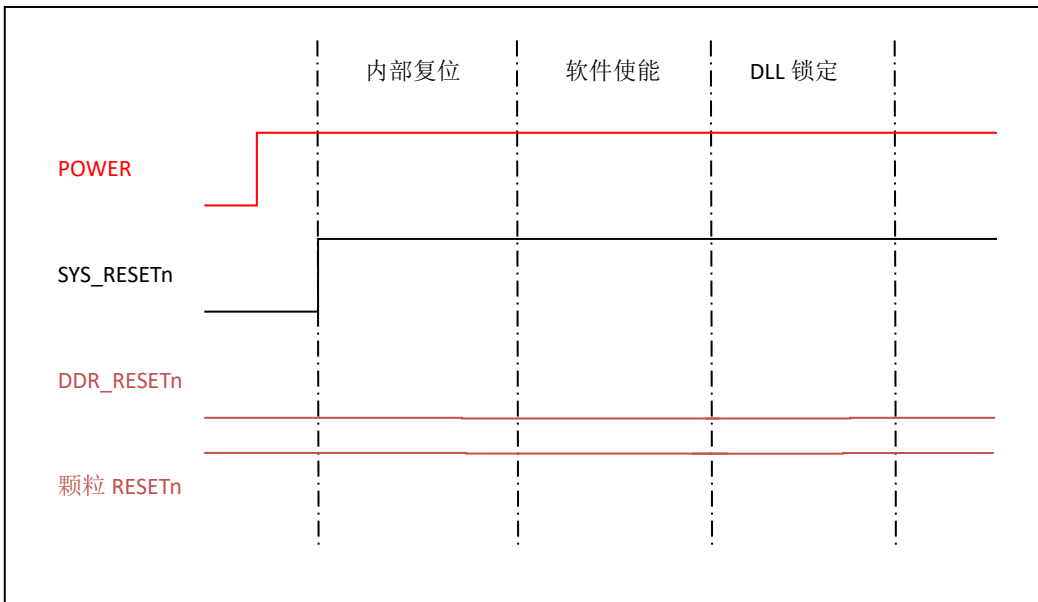


图 3.4 禁止复位时序图

由后两种复位模式相配合，就可以直接在使用内存控制器的复位信号的情况下实现 STR

控制。当整个系统从关闭状态下启动时，使用（2）中的方法来使用内存条正常复位并开始工作。当系统从 STR 中恢复的时候，使用（3）中的方法来重新配置内存条，使得在不破坏内存条原有状态的条件上使其重新开始正常工作。

4. 芯片启动及初始化

4.1 引导启动说明

龙芯 3A6000 仅支持从 SPI Flash 接口进行取指启动。

4.2 上电配置说明

上电配置引脚包括 DOTESTn、CHIP_CONFIG。

这些静态配置信号在系统复位时必须保持稳定，而且在系统工作中不可修改。系统软件可以从相关的内部寄存器中读取部分引脚的对应值。

一种推荐的设置值如下：

表 4.1 上电配置引脚

引脚	设置	说明
DOTESTn	上拉	功能模式
CHIP_CONFIG[9]	下拉	使能 HT 软件配置时钟模式
CHIP_CONFIG[8]	上拉	使用 SYS_CLOCK 作为 HT 参考时钟
CHIP_CONFIG[7]	下拉	默认使用 6.4GHz HT PLL VCO 设置
CHIP_CONFIG[6]	上拉	
CHIP_CONFIG[5]	下拉	
CHIP_CONFIG[4]	下拉	使用 100MHz 参考时钟输入
CHIP_CONFIG[3]	下拉	禁用 DCDL
CHIP_CONFIG[2]	上拉	
CHIP_CONFIG[1]	上拉	HT 接口默认为 HT1.0
CHIP_CONFIG[0]	下拉	禁用 SE 功能

5. 时钟

5.1 时钟内部关系

龙芯 3A6000 内部的时钟关系及其控制方式如下表所示。

表中的 SYS_CLOCK 为单端的 SYSCLK 输入。

表 5.1 处理器内部时钟说明

时钟	时钟来源	倍频方式	分频控制	使能控制	时钟描述
Boot Clock	SYS_CLOCK	*1	不支持	不支持	SPI、UART、I2C 控制器时钟
Main Clock	SYS PLL	PLL 配置	不支持	不支持	SYS PLL 输出。 Node Clock、Core Clock、HTcore Clock、 LA132 Clock 时钟源 Mem Clock、Stable Clock 可选时钟源
Node Clock	Main Clock	*1	支持	不支持	片上网络、共享缓存、结点时钟、HT 控制 器时钟源
Core0 Clock	Main Clock	*1	支持	支持	物理核 0 时钟
Core1 Clock	Main Clock	*1	支持	支持	物理核 1 时钟
Core2 Clock	Main Clock	*1	支持	支持	物理核 2 时钟
Core3 Clock	Main Clock	*1	支持	支持	物理核 3 时钟
HTcore Clock	Node Clock	*1	支持	支持	HT 控制器时钟，软件需要保证分频后低 于 1.25GHz
LA132 Clock	Main Clock	*1	支持	支持	LA132 时钟，软件需要保证分频后低 于 1GHz
Stable Clock	SYS_CLOCK	*1	支持	支持	处理器核恒定计数器时钟
Mem Clock 0/1	MEM PLL0	PLL 配置	不支持	支持	内存控制器 0/1 时钟
	Main Clock	/2、/4、/8	不支持	支持	内存控制器 0/1 备选时钟

5.2 时钟需求

处理器包括以下参考时钟，其中 SYSCLK 为全芯片的主参考时钟，一般情况下只需要使用这其中一个时钟即可，可以不接。

SYSCLK 可以使用两种频率的晶振输入，分别为 100MHz 与 25MHz。连接不同的时钟频率时需要通过 CHIP_CONFIG[4] 进行配置以保证芯片内部的时钟能够正常工作。

HT_CLKp/n 可以使用 200MHz 的差分输入。

表 5.2 参考时钟输入

信号名称	输入/输出	频率范围(MHz)	描述	电压域
SYSCLK	I	25/100	系统输入时钟，驱动内置的 PLL 产生处理器的 Core 时钟。它同时作为系统复位电路的时钟。	VDDE_IO
HT_CLKp/ HT_CLKn	I	200	HT 总线备份用参考时钟。	VDD_HT

5.2.1 单端时钟输入要求

SYSCLK 输入为 LVCOMS 类型，电平 1.8v。要求如下表：

条件	说明	最小	典型	最大	单位
V	供电电压				
Vih	输入高电压	1.25			V
Vil	输入低电压			0.4	V
Cin	输入电容		2		pf
Tr	上升沿时间	1	2.2	3.6	V/ns
Tf	下降沿时间				
Duty Cycle	占空比	45%~55%			
Clock jitter	时钟抖动 (multiple output frequencies switching)		74		ps

5.2.2 差分时钟输入要求

HT_CLKp/HT_CLKn 为备份时钟，可以通过 CHIP_CONFIG[8] 配置为 HT PHY 的参考时钟，输入为 LVDS 类型。因为可以配置使用 SYSCLK 作为 HT PHY 的参考时钟输入，这种情况下，这两组差分时钟可以悬空。

条件	说明	最大	典型	最小	单位
V	供电电压				
Vih	输入高点压	454		247	mV
Vil	输入低电压	-247		-454	mV
Cin	输入电容				
Tr	上升沿时间		300		ps
Tf	下降沿时间		300		ps
Duty Cycle	占空比	45%~55%			
Clock jitter	时钟抖动 (multiple output frequencies switching)		46		ps

5.3 频率配置

处理器的主要时钟由三种 PLL 产生，分别是 SYS PLL、MEM PLL 和 HT PLL。

其中 SYS PLL 和 MEM PLL 可以由软件配置频率。芯片复位后默认使用 SYS_CLOCK，由软件对对应的 PLL 进行设置之后产生期望的频率并使用，在系统运行过程中，可以在满足要求的情况下随时更改。软件配置频率方法请参考使用手册中的相关章节。

HT PLL 也可以通过引脚配置选择使用硬件配置频率或是软件配置频率，但其软件配置的行为与 SYS PLL 和 MEM PLL 有一些差异。HT PLL 在硬件配置下，由引脚决定频率和配置方式，软件不能修改 PLL 的输出，但是，对于 HT 总线来说，硬件配置只决定了可选频率的最大公倍数，具体的总线频率可以由 HT 协议规定的寄存器进行设置。HT PLL 在软件配置下，芯片复位后默认使用引脚设置的频率和配置方式，但软件随后可以通过 HT 控制器内的寄存器进行配置和切换，也可以选择直接使用硬件的设置，通过 HT 协议规定的寄存器进行总线频率的设置，具体的配置寄存器请参考使用手册中的相关章节。

芯片内其它时钟依赖于这些时钟，由软件进行设置，具体的配置方法请参考使用手册中的相关章节。

6. 电源管理

6.1 复位操作

龙芯 3A6000 的复位引脚包括 SYSRESETn 和 HT 接口的 HT_powerok、HT_resetn，这三者的复位有一定时序要求，次序依次为 SYSRESETn，再到 HT 的 powerok，再到 HT 的 resetn。

当处理器复位信号 SYSRESETn 被释放之前一段时间，相关的时钟，测试信号和初始化信号都必须已经稳定有效。这些信号包括上一节提及的配置信号以及参考时钟：

- 当使用单端参考时钟时，SYSCLK
- HT 使用差分时钟，且对应接口有连接时，HT_CLKp/n
- 初始化信号 DOTESTn、CHIP_CONFIG

当 SYSRESETn 变高后，处理器内部的复位逻辑开始初始化芯片。SYSRESETn 推荐在电源稳定后保持至少 100ms 有效，以保证复位逻辑能可靠采样。此后 Core、DDR 和 HT 时钟域相继初始化完成并根据配置引脚的输入去复位外部设备。

6.2 电源域

芯片各个电源域包括的电源引脚如下：

电源域	描述	引脚名称
VDDN	处理器核数字电源	VDDN
VDDP	处理器核外围数字电源	VDDP
VDDE_IO	处理器 IO 电源	VDDE_IO
VDDIO_DDR	DDR 通道 IO 电源	VDDIO_DDR
VDD_HT	HT IO 电源	VDD_HT
VDD_PHY_DDR	DDRPHY 电源	VDD_PHY_DDR
VDD_PLL_DDR	DDR PLL 模拟电源	VDD_PLL_DDR
VDD_PLL_SE	SE PLL 电源	VDD_PLL_SE
VDD_PLL_HT	HT PLL 模拟电源	VDD_PLL_HT
VDD_PLL_SYS	SYS PLL 模拟电源	VDD_PLL_SYS
VDD_PLL_1V0BU	1V0 Back Up PLL 电源	VDD_PLL_1V0BU
VDD_PLL_1V8BU	1V8 Back Up PLL 电源	VDD_PLL_1V8BU
VSS	地平面	VSS

芯片对于上电顺序没有强制要求，推荐先上核心电压（VDDN、VDDP），再自低向高上其

它电（*_PLL、VDD_HT、VDDIO_DRR、VDDE_IO）。

龙芯 3A6000 的电压工作范围差别较大，针对不同的质量等级，其工作电压各有不同。无论何种工作电压，都需要将不同工作负载时的电源波动抑制在 $\pm 25\text{mV}$ 之内。

7. 热设计

7.1 热参数

表 7.1 芯片热阻参数

热阻	典型值(° C/W)
整体热阻	0.726
结壳热阻	0.070
基底热阻	0.656

扣合力参数: 10KG

7.2 TDP 信息

表 7.2 芯片热特性参数和推荐的最大值

参数	要求
TDP Max Power (LS3A6000-HV)	80W
TDP Max Power (LS3A6000-LL)	60W
TDP Max Power (LS3A6000M)	30W
T_c / T_j	70 ° C / 85 ° C

7.3 焊接温度及焊接曲线

表 7.3 无铅工艺的封装回流最大温度表

Package Thickness	Volume mm ³ < 350	Volume mm ³ 350 - 2000	Volume mm ³ > 2000
< 1.6 mm	260 ° C *	260 ° C *	260 ° C *
1.6 mm - 2.5 mm	260 ° C *	250 ° C *	245 ° C *
> 2.5 mm	250 ° C *	245 ° C *	245 ° C *

* Tolerance: The device manufacturer/supplier shall assure process compatibility up to and including the stated classification temperature at the rated MSL level

表 7.4 回流焊接温度分类表

Profile Feature	Pb-Free Assembly
Average ramp-up rate (T _{smax} to T _p)	3° C/second max.

Preheat	Temperature Min (T _{smin})	150 ° C
	Temperature Max (T _{smax})	200 ° C
	Time (T _{smin} to T _{smax}) (t _s)	60-180 seconds
Time maintained above	Temperature (T _L)	217 ° C
	Time (t _L)	60-150 seconds
Peak Temperature (T _p)		245 ° C
Time within 5° C of actual Peak Temperature (t _p) ₂		20-40 seconds
Ramp-down Rate		6 ° C/second max.
Time 25° C to Peak Temperature		8 minutes max.

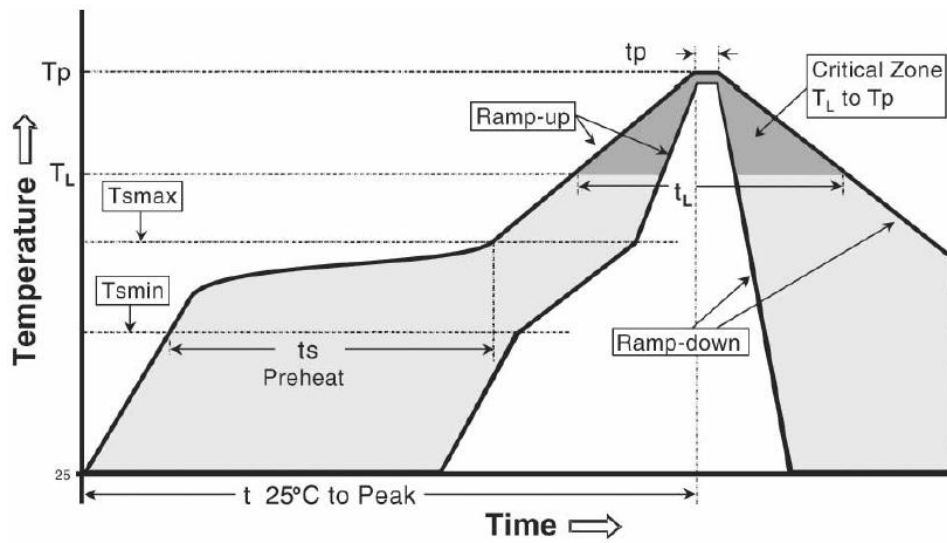


图 7.1 焊接回流曲线

8. 仿真模型

芯片的设计资料包括相关引脚的 IBIS 模型，可以通过硬件设计获取。

9. 电气特性

9.1 极限工作条件

表 9.1 绝对最大额定值

电源域	描述	最小值	最大值	单位
VDDN	处理器核数字电源	-0.3	1.35	V
VDDP	处理器核外围数字电源	-0.3	1.35	V
VDDE_IO	处理器 IO 电源	-0.3	1.9	V
VDDIO_DDR	DDR 通道 IO 电源	-0.3	1.26	V
VDD_HT	HT IO 电源	-0.3	1.3	V
VDD_PHY_DDR	DDRPHY 电源	-0.3	1.35	V
VDD_PLL_DDR	DDR PLL 模拟电源	-0.3	1.4	V
VDD_PLL_SE	SE PLL 电源	-0.3	1.4	V
VDD_PLL_HT	HT PLL 模拟电源	-0.3	1.4	V
VDD_PLL_SYS	SYS PLL 模拟电源	-0.3	1.4	V
VDD_PLL_1V0BU	1V0 Back Up PLL 电源	-0.3	1.1	V
VDD_PLL_1V8BU	1V8 Back Up PLL 电源	-0.3	1.9	V

ESD 等级：静电放电敏感度（ESD）：HBM-2000V

表 9.2 芯片温度限额

参数	描述	最小值	最大值
Tabsolute storage	芯片在非工作条件下的绝对保存温度。超过该温度范围，可能造成芯片损坏。	-25℃	100℃
Tsustained storage	芯片在包装条件下的长时间存放温度范围。	-5℃	40℃
RHsustained storage	芯片在包装条件下的长时间存放湿度范围。	60%@24℃	
Tc	芯片在工作条件下的壳温范围。	0℃	70℃

9.2 典型工作条件

表 9.3 推荐的工作电源电压

电源域	描述	电压值			最大电流
		最小	典型	最大	
VDDN	处理器核数字电源		1.15V		70A
		0.8V	1.05V	1.3V	50A
			0.95V		30A

VDDP	处理器核外围数字电源	0.8V	1.05V	1.3V	3A
VDDE_IO	处理器 IO 电源	1.7V	1.8V	1.9V	1A
VDDIO_DDR	DDR 通道 IO 电源	1.14V	1.2V	1.26V	5A
VDD_HT	HT IO 电源	1.1V	1.2V	1.3V	3A
VDD_PHY_DDR	DDRPHY 电源	0.8V	1.05V	1.3V	3A
VDD_PLL_DDR	DDR PLL 模拟电源	1.2V	1.3V	1.35V	0.5A
VDD_PLL_SE	SE PLL 电源	1.2V	1.3V	1.35V	
VDD_PLL_HT	HT0/1 PLL 模拟电源	1.2V	1.3V	1.35V	
VDD_PLL_SYS	SYS PLL 模拟电源	1.2V	1.3V	1.35V	
VDD_PLL_1V0BU	1V0 Back Up PLL 电源	0.9V	1.0V	1.1V	0.5A
VDD_PLL_1V8BU	1V8 Back Up PLL 电源	1.7V	1.8V	1.9V	0.5A

龙芯 3A6000 芯片分为三个版本，不同版本芯片针对的工作环境、工作电压及实际功耗有所不同，不可相互替换。芯片在错误的工作电压下，可能会引起工作异常或使用寿命问题。在选用前必须明确对应的芯片分级。

不同版本的说明如下表：

表 9.4 芯片分级

芯片标识	质量等级	典型电压*	电源要求	壳温范围	说明
LS3A6000-HV	商业级	1.15V	±25mV	0 - 70℃	商业级版本 工作频率 2.5GHz
LS3A6000-LL	商业级	1.05V	±25mV	0 - 70℃	商业级版本 工作频率 2.3GHz
LS3A6000M	商业级	0.95V	±25mV	0 - 70℃	商业级移动版本 采用超薄封装 工作频率 2.0GHz

*典型电压为 VDDN 的电压设置

9.3 功耗信息

9.3.1 外围功耗测试

处理器的主要功耗在于 VDDN 域，其它域的功耗在此给出高负载情况下的测试值。

对 3 颗芯片进行了抽样测试，70 度壳温最高负载下，相关电压域功耗如下表所示。其中，VDDIO_DDR 域包含了双通道内存条的功耗。

使用 3A6000 开发系统进行测试，包含双 UDIMM 内存条(各 16GB)，HT 接口频率为 3.2GHz。

表 9.5 芯片实测功耗

主频	ddr 速率	Pvddp	Pvdde_IO	Pvdd_HT	PPHY_DDR	PPLL_1v25	Pvddio_ddr (包含内存条)
2.55G	3200	<1.0	0.009	1.269	1.375	0.07	5.68
2.55G	3200	<1.0	0.0135	1.299	1.43125	0.0675	5.625
2.55G	3200	<1.0	0.0117	1.245	1.39375	0.06875	5.64

*单位: W

9.3.2 高温条件下的核心功耗

对不同电压, 不同负载下的 VDDN 域的 24 颗芯片最大功耗进行了测量, 统计结果如下:

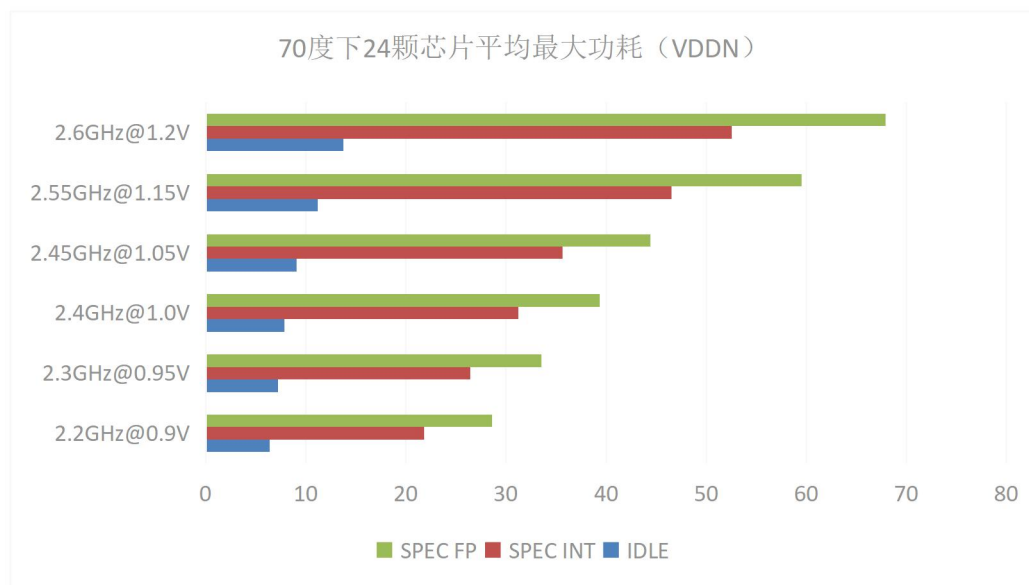


图 9.1 70 度亮温功耗实测结果

9.3.3 常温条件下的核心功耗

对常温下, 不同电压, 不同负载下的 VDDN 域的最大功耗进行了测量, 统计结果如下:

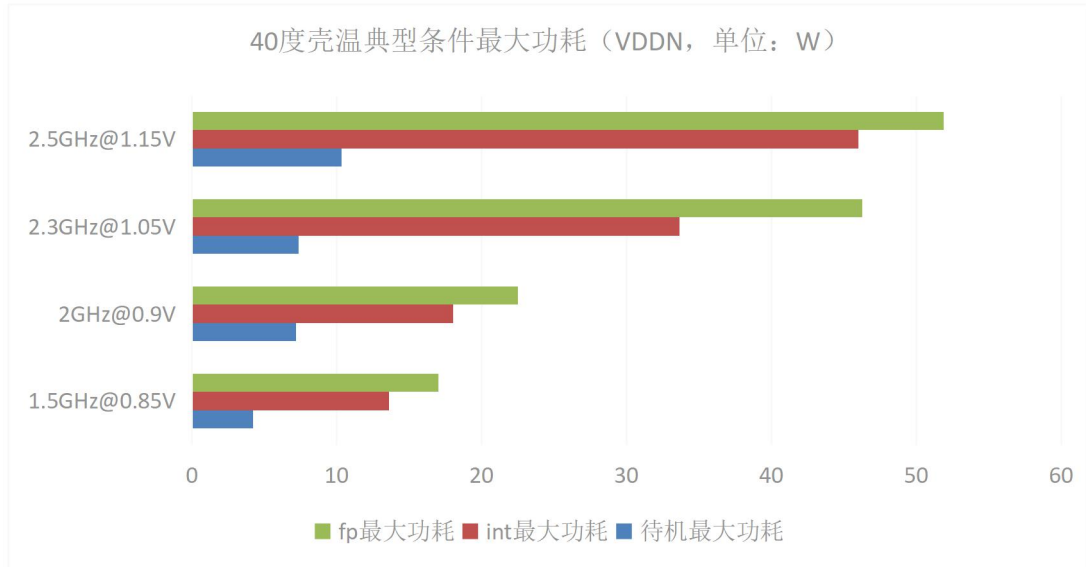


图 9.2 40 度壳温功耗实测结果

9.4 电源时序

龙芯 3A6000 的上电时序并没有特殊要求, 推荐先上 Core 电, 再上 I/O 电。

9.5 接口电气特性

9.5.1 HyperTransport 接口

HT 接口兼容 HT1.0 与 HT3.0。频率范围为 200MHz - 3200MHz。支持 DC、AC 两种工作模式。

HT1.0 的工作频率为 200 - 800MHz, 符合 HT1.03a 协议规范。

HT3.0 的工作频率为 1000 - 3200MHz, 符合 HT3.0 协议规范。

9.5.2 DDR 接口

DDR 接口兼容 DDR4, 符合 JESD79-4 标准。

10. 封装信息

10.1 封装尺寸

如下所示:

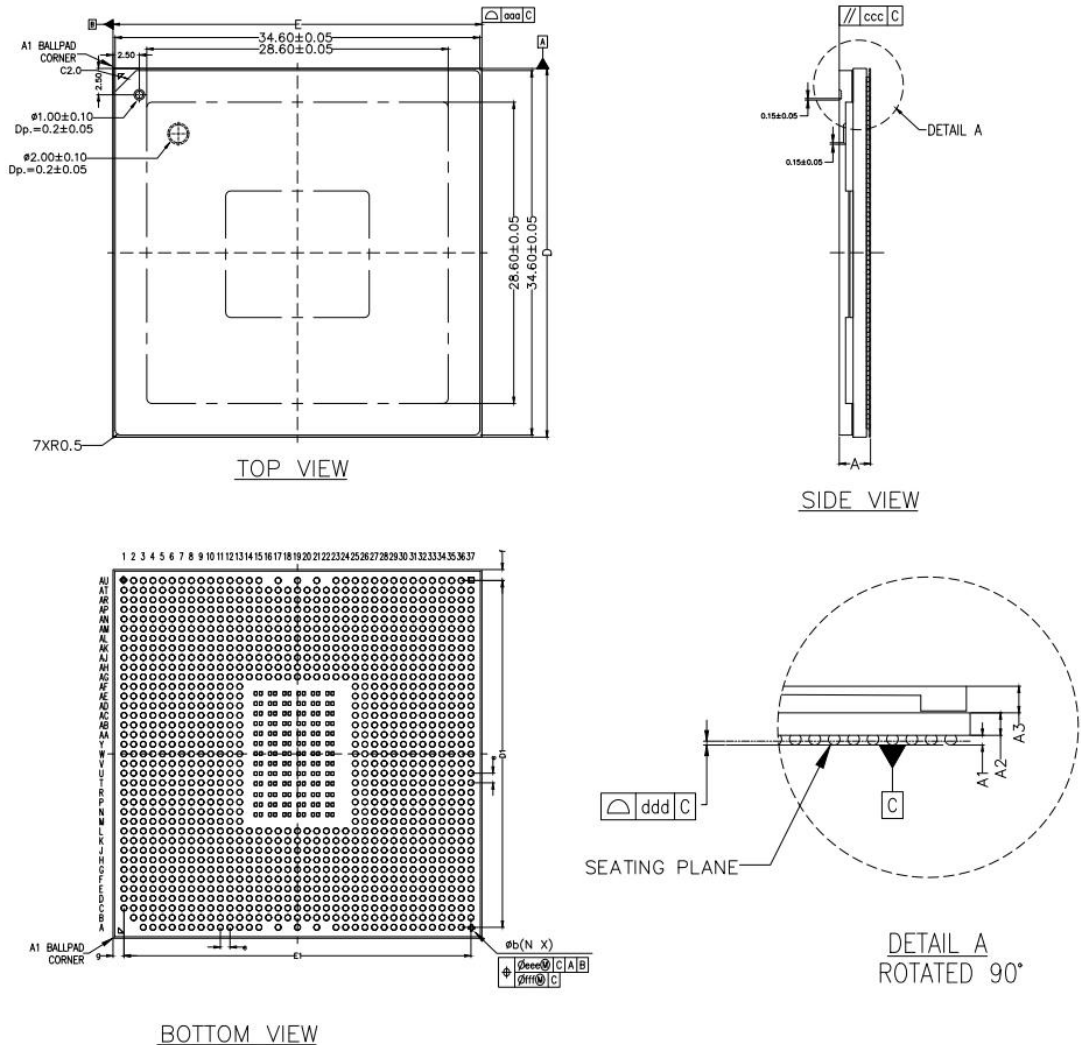


图 10.1 封装尺寸

COMMON DIMENSIONS

(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	2.859	3.059	3.259
A1	0.327	0.427	0.527
A2	1.142	1.272	1.402
A3	1.260	1.360	1.460

b	0.450	0.550	0.650
D/E	34.900	35.000	35.100
D1/E1		32.9184	
e		0.9144	
g/f		1.0408	
aaa		0.200	
ccc		0.350	
ddd		0.200	
eee		0.250	
fff		0.100	
N		1190	

NOTE:

1. DIMENSIONS ARE IN MILLIMETERS.
2. ALL DIMENSIONS AND TOLERANCE CONFORM TO ASME Y14.5M-2009.
3. TERMINAL POSMONS DESIGNATION PER JESD 95.

10.2 信号位置分布

图 10.2 信号位置分布图

其中：左上白色区域为低速 I/O 区域；中上红灰区域为 HT I/O 区域；右上蓝色区域为 VDDP 电源区域；右上绿灰、左中绿灰区域为 VDDN 电源区域；下部黄色、橙色区域为内存 I/O 区域。具体芯片引脚分布图见附录一。

11. 产品标识

11.1 通用标识

龙芯 3A6000 命名规则如下：

LS	3A	6000	-A
龙芯标识	系列标识	型号标识	等级标识
			商业级：-HV、-LL、M

11.2 3A6000 芯片（示例）



- 1) 定位点：●；
- 2) 器件识别号：LS3A6000。
- 3) 产品标志：Cored By™ LA664
- 4) 厂商信息：LOONGSON、龙芯中科
- 5) 特殊标志：CHN、YYWW、VV等为产品信息或承制方标识。

附录一：芯片引脚排布图

	1	2	3	4	5
A			VSS A3	SE_QSPI_CLK A4	HT_POWEROK A5
B		VSS B2	SE_SPI_CLK B3	SE_I2C_SDA B4	SE_UART0_TX B5
C	VSS C1	SE_RNG0_CLK C2	SE_SPI_CSN C3	SE_I2C_SCL C4	SE_QSPI_I03 C5
D	SE_RNG1_CLK D1	SE_RNG0_OEN D2	SE_SPI_MISO D3	SE_SPI_MOSI D4	SE_QSPI_I00 D5
E	SE_GPI002 E1	SE_GPI000 E2	VDDE_IO E3	SE_RNG0_DATA E4	VSS E5
F	VSS F1	SE_GPI001 F2	SE_GPI005 F3	SE_RNG1_PE F4	SE_RNG1_OEN F5
G	SE_GPI009 G1	SE_GPI006 G2	SE_GPI008 G3	SE_GPI007 G4	SE_GPI004 G5
H	CHIP_CONFIG8 H1	CHIP_CONFIG9 H2	CHIP_CONFIG3 H3	VDDE_IO H4	SE_CLK_SEL H5
J	VDDE_IO J1	CHIP_CONFIG6 J2	CHIP_CONFIG7 J3	CHIP_CONFIG2 J4	SPI_WPN J5
K	GPI001 K1	CHIP_CONFIG5 K2	CHIP_CONFIG4 K3	CHIP_CONFIG1 K4	UART_TXD K5
L	GPI004 L1	GPI002 L2	VSS L3	CHIP_CONFIG0 L4	VSS_PLL_HT L5
M	VDDE_IO M1	GPI005 M2	GPI000 M3	SYSRESETN M4	VSS_PLL_SE M5
N	GPI008 N1	GPI006 N2	GPI003 N3	VDD_PLL_SYS N4	VSS_PLL_SYS N5
P	GPI009 P1	GPI011 P2	GPI007 P3	VSS_PLL_DDR P4	VDD_PLL_DDR P5
R	VSS R1	GPI014 R2	GPI012 R3	VSS R4	VSS R5
T	GPI010 T1	GPI015 T2	GPI013 T3	VSS T4	MC1_DQ00 T5
U	TESTCLK U1	TSEL0 U2	TSEL1 U3	VSS U4	MC1_DM0N U5
V	DOTESTN V1	TDI V2	TDO V3	VSS V4	MC1_DQS00P V5
W	TMS W1	TCK W2	TRSTN W3	VSS W4	MC1_DQ07 W5
Y	SYSCLK	I2C1_SDA	I2C1_SCL	VSS	VSS

	Y1	Y2	Y3	Y4	Y5
AA	VSS AA1	VSS AA2	VSS AA3	VSS AA4	MC1_DQ08 AA5
AB	MCO_DQ00 AB1	MCO_DQ05 AB2	MCO_DQ04 AB3	VSS AB4	MC1_DM1N AB5
AC	MCO_DM0N AC1	VSS AC2	MCO_DQ01 AC3	VSS AC4	MC1_DQ14 AC5
AD	MCO_DQ06 AD1	MCO_DQS00P AD2	MCO_DQS00N AD3	VSS AD4	MC1_DQ10 AD5
AE	MCO_DQ03 AE1	MCO_DQ02 AE2	MCO_DQ07 AE3	VSS AE4	VSS AE5
AF	VSS AF1	VSS AF2	VSS AF3	VSS AF4	MC1_DQ16 AF5
AG	MCO_DQ08 AG1	MCO_DQ13 AG2	MCO_DQ12 AG3	VSS AG4	MC1_DM2N AG5
AH	MCO_DM1N AH1	VSS AH2	MCO_DQ09 AH3	VSS AH4	MC1_DQ22 AH5
AJ	MCO_DQ14 AJ1	MCO_DQS01P AJ2	MCO_DQS01N AJ3	VSS AJ4	MC1_DQ18 AJ5
AK	MCO_DQ11 AK1	MCO_DQ10 AK2	MCO_DQ15 AK3	VSS AK4	VSS AK5
AL	VSS AL1	VSS AL2	VSS AL3	VSS AL4	MC1_DQ24 AL5
AM	MCO_DQ16 AM1	MCO_DQ21 AM2	MCO_DQ20 AM3	VSS AM4	MC1_DM3N AM5
AN	MCO_DM2N AN1	VSS AN2	MCO_DQ17 AN3	VSS AN4	MC1_DQS03N AN5
AP	MCO_DQ22 AP1	MCO_DQS02P AP2	MCO_DQS02N AP3	VSS AP4	VSS AP5
AR	MCO_DQ18 AR1	MCO_DQ23 AR2	VSS AR3	MCO_DQ28 AR4	MCO_DQ25 AR5
AT	VSS AT1	MCO_DQ19 AT2	VSS AT3	MCO_DQ29 AT4	VSS AT5
AU		VSS AU2	VSS AU3	MCO_DQ24 AU4	MC1_DM3N AU5

	6	7	8	9	10
A	HT_LDT_REQN A6	HT_RSTN A7	VSS A8	HT_TX_CLKOP A9	VSS A10
B	SE_UART0_RX B6	HT_LDT_STOPN B7	VSS B8	HT_TX_CLKON B9	VSS B10
C	SE_QSPI_CSN C6	VSS C7	HT_TX_CTLOP C8	VSS C9	HT_TX_CAD00P C10
D	SE_QSPI_IO1 D6	VSS D7	HT_TX_CTLON D8	VSS D9	HT_TX_CAD00N D10
E	SE_RNG0_PE E6	SE_QSPI_IO2 E7	VSS E8	HT_TX_CLK1P E9	VSS E10
F	SE_RNG1_DATA F6	HT_REXT F7	VSS F8	HT_TX_CLK1N F9	VSS F10
G	SE_GPI003 G6	VSS G7	HT_TX_CTL1P G8	VSS G9	HT_TX_CAD08P G10
H	SPI_SCK H6	VSS H7	HT_TX_CTL1N H8	VSS H9	HT_TX_CAD08N H10
J	SPI_CSN J6	SPI_HOLDN J7	VSS J8	VDD_HT J9	VSS J10
K	UART_RXD K6	SPI_SDO K7	VSS K8	VSS K9	VDD_HT K10
L	VDD_PLL_HT L6	VSS L7	SPI_SDI L8	VSS L9	VDDP L10
M	VDD_PLL_SE M6	VDDE_IO M7	NMIN M8	VSS M9	VDDP M10
N	VSS_PLL_1V8BU N6	VDD_PLL_1V8BU N7	VSS N8	VSS N9	VDDP N10
P	VSS_PLL_1V0BU P6	VDD_PLL_1V0BU P7	VSS P8	VSS P9	VDDP P10
R	VSS R6	VSS R7	VSS R8	VSS R9	VDDP R10
T	MC1_DQ05 T6	MC1_DQ04 T7	VSS T8	VSS T9	VSS T10
U	VSS U6	MC1_DQ01 U7	VSS U8	VSS U9	VDDN U10
V	MC1_DQS00N V6	MC1_DQ06 V7	VSS V8	VSS V9	VDDN V10
W	MC1_DQ02 W6	MC1_DQ03 W7	VSS W8	VSS W9	VSS W10
Y	VSS Y6	VSS Y7	VSS Y8	VSS Y9	VDDN Y10
AA	MC1_DQ13 AA6	MC1_DQ12 AA7	VSS AA8	VSS AA9	VDDN AA10
AB	VSS	MC1_DQ09	VSS	VSS	VDDN_SENSE-

	AB6	AB7	AB8	AB9	AB10
AC	MC1_DQS01P AC6	MC1_DQS01N AC7	VSS AC8	VSS AC9	VSS AC10
AD	MC1_DQ11 AD6	MC1_DQ15 AD7	VSS AD8	MC1_CB5 AD9	MC1_CB4 AD10
AE	VSS AE6	VSS AE7	VSS AE8	MC1_CB1 AE9	MC1_CB0 AE10
AF	MC1_DQ21 AF6	MC1_DQ20 AF7	VSS AF8	MC1_DM8N AF9	VSS AF10
AG	VSS AG6	MC1_DQ17 AG7	VSS AG8	MC1_DQS08P AG9	MC1_DQS08N AG10
AH	MC1_DQS02P AH6	MC1_DQS02N AH7	VSS AH8	MC1_CB7 AH9	MC1_CB2 AH10
AJ	MC1_DQ19 AJ6	MC1_DQ23 AJ7	VSS AJ8	VSS AJ9	VSS AJ10
AK	VSS AK6	VSS AK7	VSS AK8	VSS AK9	MC1_REXT AK10
AL	MC1_DQ25 AL6	MC1_DQ29 AL7	MC1_DQ28 AL8	VSS AL9	MC1_RESETN AL10
AM	VSS AM6	MC1_DQ30 AM7	MC1_DQ26 AM8	VSS AM9	MC1_CKE3 AM10
AN	MC1_DQS03P AN6	MC1_DQ31 AN7	MC1_DQ27 AN8	VSS AN9	VSS AN10
AP	VSS AP6	VSS AP7	VSS AP8	MCO_CB1 AP9	MCO_DQS08P AP10
AR	MCO_DQS03N AR6	MCO_DQ31 AR7	VSS AR8	MCO_CB0 AR9	MCO_DQS08N AR10
AT	MCO_DQS03P AT6	MCO_DQ26 AT7	VSS AT8	MCO_CB4 AT9	VSS AT10
AU	MCO_DQ30 AU6	MCO_DQ27 AU7	VSS AU8	MCO_CB5 AU9	MCO_DM8N AU10

	11	12	13	14	15
A	HT_TX_CAD01P A11	VSS A12	HT_TX_CAD03P A13	VSS A14	HT_TX_CAD05P A15
B	HT_TX_CAD01N B11	VSS B12	HT_TX_CAD03N B13	VSS B14	HT_TX_CAD05N B15
C	VSS C11	HT_TX_CAD02P C12	VSS C13	HT_TX_CAD04P C14	VSS C15
D	VSS D11	HT_TX_CAD02N D12	VSS D13	HT_TX_CAD04N D14	VSS D15
E	HT_TX_CAD09P E11	VSS E12	HT_TX_CAD11P E13	VSS E14	HT_TX_CAD13P E15
F	HT_TX_CAD09N F11	VSS F12	HT_TX_CAD11N F13	VSS F14	HT_TX_CAD13N F15
G	VSS G11	HT_TX_CAD10P G12	VSS G13	HT_TX_CAD12P G14	VSS G15
H	VSS H11	HT_TX_CAD10N H12	VSS H13	HT_TX_CAD12N H14	VSS H15
J	VDD_HT J11	VSS J12	VDD_HT J13	VSS J14	VDD_HT J15
K	VSS K11	VDD_HT K12	VSS K13	VDD_HT K14	VSS K15
L	VDDP L11	VDDP L12	VDDP L13	VDDP L14	VDDP L15
M	VDDP M11	VSS M12	VSS M13		
N	VDDP N11	VSS N12	VSS N13		
P	VDDP P11	VDDN P12	VDDN P13		
R	VDDP R11	VDDN R12	VDDN R13		
T	VSS T11	VSS T12	VSS T13		
U	VDDN U11	VDDN U12	VDDN U13		
V	VDDN V11	VDDN V12	VDDN V13		
W	VSS W11	VSS W12	VSS W13		
Y	VDDN Y11	VDDN Y12	VDDN Y13		
AA	VDDN AA11	VDDN AA12	VDDN AA13		
AB	VDDN_SENSE+	VSS	VSS		

	AB11	AB12	AB13		
AC	VSS	VDDN	VDDN		
	AC11	AC12	AC13		
AD	VSS	VDDN	VDDN		
	AD11	AD12	AD13		
AE	VSS	VSS	VSS		
	AE11	AE12	AE13		
AF	VSS	VSS	VSS		
	AF11	AF12	AF13		
AG	MC1_CB6	VSS	VDDIO_DDR	VSS	VDDIO_DDR
	AG11	AG12	AG13	AG14	AG15
AH	MC1_CB3	VSS	VSS	VDDIO_DDR	VSS
	AH11	AH12	AH13	AH14	AH15
AJ	VSS	VSS	MC1_BG1	MC1_A08	MC1_A04
	AJ11	AJ12	AJ13	AJ14	AJ15
AK	MC1_CKE1	MC1_CKE0	MC1_ALERTN	MC1_A07	VDDIO_DDR
	AK11	AK12	AK13	AK14	AK15
AL	VDDIO_DDR	MC1_ACTN	VDDIO_DDR	MC1_A11	MC1_A05
	AL11	AL12	AL13	AL14	AL15
AM	MC1_CKE2	MC1_BG0	MC1_A09	VDDIO_DDR	MC1_A06
	AM11	AM12	AM13	AM14	AM15
AN	VSS	VSS	MC1_A12	VDDIO_DDR	VDDIO_DDR
	AN11	AN12	AN13	AN14	AN15
AP	MC0_CB3	VSS	MC0_RESETN	MC0_CKE2	MC0_BG1
	AP11	AP12	AP13	AP14	AP15
AR	MC0_CB2	VSS	MC0_CKE3	MC0_CKE0	MC0_A12
	AR11	AR12	AR13	AR14	AR15
AT	MC0_CB7	VSS	VDDIO_DDR	MC0_BG0	VDDIO_DDR
	AT11	AT12	AT13	AT14	AT15
AU	MC0_CB6	VSS	MC0_CKE1	MC0_ACTN	MC0_ALERTN
	AU11	AU12	AU13	AU14	AU15

	16	17	18	19	20
A		HT_TX_CAD07P A17		HT_RX_CLKON A19	
B	VSS B16	HT_TX_CAD07N B17	VSS B18	HT_RX_CLKOP B19	VSS B20
C	HT_TX_CAD06P C16	VSS C17	HT_RX_CTLON C18	VSS C19	HT_RX_CAD00N C20
D	HT_TX_CAD06N D16	VSS D17	HT_RX_CTLOP D18	VSS D19	HT_RX_CAD00P D20
E	VSS E16	HT_TX_CAD15P E17	VSS E18	HT_RX_CLK1P E19	VSS E20
F	VSS F16	HT_TX_CAD15N F17	VSS F18	HT_RX_CLK1N F19	VSS F20
G	HT_TX_CAD14P G16	VSS G17	HT_RX_CTL1P G18	VSS G19	HT_RX_CAD08P G20
H	HT_TX_CAD14N H16	VSS H17	HT_RX_CTL1N H18	VSS H19	HT_RX_CAD08N H20
J	VSS J16	VDD_HT J17	VSS J18	VDD_HT J19	VSS J20
K	VDD_HT K16	VSS K17	VDD_HT K18	VSS K19	VDD_HT K20
L	VDDP L16	VDDP L17	VDDP L18	VDDP L19	VDDP L20
M					
N					
P					
R					
T					
U					
V					
W					
Y					
AA					
AB					
AC					
AD					
AE					
AF					
AG	VSS AG16	VDD_PHY_DDR AG17	VDD_PHY_DDR AG18	VDD_PHY_DDR AG19	VDD_PHY_DDR AG20
AH	VDDIO_DDR AH16	VSS AH17	VSS AH18	VSS AH19	VSS AH20
AJ	VDDIO_DDR	MC1_CK1N	VDDIO_DDR	MC1_CK2N	VDDIO_DDR

	AJ16	AJ17	AJ18	AJ19	AJ20
AK	MC1_A01 AK16	MC1_CK1P AK17	MC1_CK0N AK18	MC1_CK2P AK19	MC1_PAR AK20
AL	MC1_A03 AL16	VDDIO_DDR AL17	MC1_CK0P AL18	VDDIO_DDR AL19	MC1_A00 AL20
AM	VDDIO_DDR AM16	MC1_A02 AM17	VDDIO_DDR AM18	MC1_CK3N AM19	VDDIO_DDR AM20
AN	VDDIO_DDR AN16	MCO_A05 AN17	VDDIO_DDR AN18	MC1_CK3P AN19	MC1_BA1 AN20
AP	MCO_A07 AP16	MCO_A06 AP17	MCO_A01 AP18	MCO_CK1N AP19	VDDIO_DDR AP20
AR	MCO_A11 AR16	VDDIO_DDR AR17	MCO_A03 AR18	MCO_CK1P AR19	MCO_CK0N AR20
AT	MCO_A09 AT16	MCO_A08 AT17	MCO_A04 AT18	MCO_A02 AT19	MCO_CK0P AT20
AU		VDDIO_DDR AU17		VDDIO_DDR AU19	

	21	22	23	24	25
A	HT_RX_CAD01N A21		HT_RX_CAD03N A23	VSS A24	HT_RX_CAD05N A25
B	HT_RX_CAD01P B21	VSS B22	HT_RX_CAD03P B23	VSS B24	HT_RX_CAD05P B25
C	VSS C21	HT_RX_CAD02N C22	VSS C23	HT_RX_CAD04N C24	VSS C25
D	VSS D21	HT_RX_CAD02P D22	VSS D23	HT_RX_CAD04P D24	VSS D25
E	HT_RX_CAD09P E21	VSS E22	HT_RX_CAD11P E23	VSS E24	HT_RX_CAD13P E25
F	HT_RX_CAD09N F21	VSS F22	HT_RX_CAD11N F23	VSS F24	HT_RX_CAD13N F25
G	VSS G21	HT_RX_CAD10P G22	VSS G23	HT_RX_CAD12P G24	VSS G25
H	VSS H21	HT_RX_CAD10N H22	VSS H23	HT_RX_CAD12N H24	VSS H25
J	VDD_HT J21	VSS J22	VDD_HT J23	VSS J24	VDD_HT J25
K	VSS K21	VDD_HT K22	VSS K23	VDD_HT K24	VSS K25
L	VDDP L21	VDDP L22	VDDP L23	VDDP L24	VDDP L25
M					VSS M25
N					VSS N25
P					VDDN P25
R					VDDN R25
T					VDDN T25
U					VDDN U25
V					VDDN V25
W					VDDN W25
Y					VDDN Y25
AA					VDDN

					AA25
AB					VDDN AB25
AC					VDDN AC25
AD					VDDN AD25
AE					VSS AE25
AF					VSS AF25
AG	VDD_PHY_DDR AG21	VSS AG22	VDD_PHY_DDR AG23	VSS AG24	VDD_PHY_DDR AG25
AH	VSS AH21	VDDIO_DDR AH22	VSS AH23	VDDIO_DDR AH24	VSS AH25
AJ	VDDIO_DDR AJ21	MC1_SCSN2 AJ22	VDDIO_DDR AJ23	MC1_A17 AJ24	VDDIO_DDR AJ25
AK	MC1_RASN AK21	VDDIO_DDR AK22	MC1_A13 AK23	VDDIO_DDR AK24	MC1_ODT3 AK25
AL	MC1_BA0 AL21	MC1_WEN AL22	MC1_ODT0 AL23	MC1_SCSN1 AL24	MC1_ODT1 AL25
AM	VDDIO_DDR AM21	MC1_SCSN0 AM22	VDDIO_DDR AM23	MC1_ODT2 AM24	VDDIO_DDR AM25
AN	MC1_A10 AN21	VDDIO_DDR AN22	MC1_CASN AN23	VDDIO_DDR AN24	MC1_SCSN3 AN25
AP	VDDIO_DDR AP21	MCO_CK2P AP22	MCO_A00 AP23	MCO_SCSN2 AP24	MCO_SCSN0 AP25
AR	MCO_CK3P AR21	MCO_CK2N AR22	MCO_BA1 AR23	MCO_A10 AR24	VDDIO_DDR AR25
AT	MCO_CK3N AT21	MCO_PAR AT22	VDDIO_DDR AT23	MCO_RASN AT24	MCO_ODT0 AT25
AU	VDDIO_DDR AU21		MCO_BA0 AU23	MCO_WEN AU24	MCO_CASN AU25

	26	27	28	29	30
A	VSS A26	HT_RX_CAD07N A27	VSS A28	VDDP A29	VDDP A30
B	VSS B26	HT_RX_CAD07P B27	VSS B28	VDDP B29	VDDP B30
C	HT_RX_CAD06N C26	VSS C27	HT_CLKN C28	VSS C29	VDDP C30
D	HT_RX_CAD06P D26	VSS D27	HT_CLKP D28	VSS D29	VDDP D30
E	VSS E26	HT_RX_CAD15P E27	VSS E28	VDDP E29	VDDP E30
F	VSS F26	HT_RX_CAD15N F27	VSS F28	VDDP F29	VDDP F30
G	HT_RX_CAD14P G26	VSS G27	VSS G28	VDDP G29	VDDP G30
H	HT_RX_CAD14N H26	VSS H27	VSS H28	VDDP H29	VDDP H30
J	VSS J26	VDDP J27	VDDP J28	VDDP J29	VDDP J30
K	VDDP K26	VDDP K27	VSS K28	VDDP K29	VSS K30
L	VDDP L26	VDDP L27	VDDP L28	VSS L29	VDDN L30
M	VSS M26	VDDP M27	VSS M28	VDDN M29	VDDN M30
N	VSS N26	VSS N27	VDDN N28	VDDN N29	VDDN N30
P	VDDN P26	VDDN P27	VDDN P28	VDDN P29	VSS P30
R	VDDN R26	VDDN R27	VDDN R28	VDDN R29	VDDN R30
T	VDDN T26	VDDN T27	VDDN T28	VDDN T29	VDDN T30
U	VDDN U26	VSS U27	VSS U28	VSS U29	VSS U30
V	VDDN V26	VDDN V27	VDDN V28	VDDN V29	VDDN V30
W	VDDN W26	VDDN W27	VDDN W28	VDDN W29	VDDN W30
Y	VDDN Y26	VDDN Y27	VDDN Y28	VSS Y29	VSS Y30
AA	VDDN AA26	VDDN AA27	VSS AA28	VSS AA29	MC1_DQ59 AA30
AB	VDDN	VSS	VSS	VSS	MC1_DQS07P

	AB26	AB27	AB28	AB29	AB30
AC	VDDN	VSS	VSS	VSS	MC1_DQ60
	AC26	AC27	AC28	AC29	AC30
AD	VDDN	VSS	VSS	VSS	VSS
	AD26	AD27	AD28	AD29	AD30
AE	VSS	VSS	VSS	VSS	VSS
	AE26	AE27	AE28	AE29	AE30
AF	VSS	VSS	VDD_PHY_DDR	VSS	VSS
	AF26	AF27	AF28	AF29	AF30
AG	VSS	VDD_PHY_DDR	VDD_PHY_DDR	VDD_PHY_DDR	VSS
	AG26	AG27	AG28	AG29	AG30
AH	VSS	VSS	VSS	VSS	VSS
	AH26	AH27	AH28	AH29	AH30
AJ	VSS	MC1_DQ33	MC1_DQS04P	MC1_DQ35	VSS
	AJ26	AJ27	AJ28	AJ29	AJ30
AK	VSS	MC1_DQ36	MC1_DQS04N	MC1_DQ34	VSS
	AK26	AK27	AK28	AK29	AK30
AL	VSS	MC1_DQ37	VSS	MC1_DQ39	VSS
	AL26	AL27	AL28	AL29	AL30
AM	VSS	MC1_DQ32	MC1_DM4N	MC1_DQ38	VSS
	AM26	AM27	AM28	AM29	AM30
AN	VSS	VSS	VSS	VSS	VSS
	AN26	AN27	AN28	AN29	AN30
AP	MCO_SCSN1	VDDIO_DDR	MCO_REXT	VSS	VSS
	AP26	AP27	AP28	AP29	AP30
AR	MCO_ODT2	VDDIO_DDR	MCO_ODT3	VSS	MCO_DQ32
	AR26	AR27	AR28	AR29	AR30
AT	MCO_A13	MCO_SCSN3	VDDIO_DDR	VSS	MCO_DQ36
	AT26	AT27	AT28	AT29	AT30
AU	VDDIO_DDR	MCO_A17	MCO_ODT1	VSS	MCO_DQ37
	AU26	AU27	AU28	AU29	AU30

	31	32	33	34	35	36	37
A	VDDP A31	VSS A32	VDDN A33	VDDN A34	VSS A35	VDDN A36	
B	VDDP B31	VSS B32	VDDN B33	VDDN B34	VSS B35	VDDN B36	VDDN B37
C	VDDP C31	VSS C32	VDDN C33	VDDN C34	VSS C35	VDDN C36	VDDN C37
D	VDDP D31	VSS D32	VDDN D33	VDDN D34	VSS D35	VDDN D36	VDDN D37
E	VDDP E31	VSS E32	VDDN E33	VDDN E34	VSS E35	VDDN E36	VDDN E37
F	VDDP F31	VSS F32	VDDN F33	VDDN F34	VDDN F35	VDDN F36	VSS F37
G	VDDP G31	VSS G32	VDDN G33	VDDN G34	VDDN G35	VSS G36	VDDN G37
H	VDDP H31	VSS H32	VDDN H33	VDDN H34	VSS H35	VDDN H36	VDDN H37
J	VSS J31	VDDN J32	VDDN J33	VSS J34	VDDN J35	VDDN J36	VSS J37
K	VDDN K31	VDDN K32	VSS K33	VDDN K34	VDDN K35	VSS K36	VDDN K37
L	VDDN L31	VSS L32	VDDN L33	VDDN L34	VSS L35	VDDN L36	VDDN L37
M	VDDN M31	VDDN M32	VDDN M33	VDDN M34	VDDN M35	VDDN M36	VDDN M37
N	VDDN N31	VDDN N32	VDDN N33	VDDN N34	VDDN N35	VDDN N36	VDDN N37
P	VSS P31	VSS P32	VSS P33	VSS P34	VSS P35	VSS P36	VSS P37
R	VDDN R31	VDDN R32	VDDN R33	VDDN R34	VDDN R35	VDDN R36	VDDN R37
T	VDDN T31	VDDN T32	VDDN T33	VDDN T34	VDDN T35	VDDN T36	VDDN T37
U	VSS U31	VSS U32	VSS U33	VSS U34	VSS U35	VSS U36	VSS U37
V	VDDN V31	VDDN V32	VDDN V33	VDDN V34	VDDN V35	VDDN V36	VDDN V37
W	VDDN W31	VDDN W32	VDDN W33	VDDN W34	VDDN W35	VDDN W36	VDDN W37
Y	VSS Y31	VSS Y32	VSS Y33	VSS Y34	AVS_MDATA Y35	AVS_SDATA Y36	VSS Y37
AA	MC1_DQ58 AA31	MC1_DQ63 AA32	MC1_DQ62 AA33	VSS AA34	I2CO_SDA AA35	I2CO_SCL AA36	AVS_CLK AA37

AB	MC1_DQS07N AB31	VSS AB32	MC1_DM7N AB33	VSS AB34	VSS AB35	VSS AB36	VSS AB37
AC	MC1_DQ61 AC31	MC1_DQ57 AC32	MC1_DQ56 AC33	VSS AC34	MCO_DQ63 AC35	MCO_DQ58 AC36	MCO_DQ59 AC37
AD	VSS AD31	VSS AD32	VSS AD33	VSS AD34	MCO_DQS07N AD35	MCO_DQS07P AD36	MCO_DQ62 AD37
AE	MC1_DQ55 AE31	MC1_DQ51 AE32	MC1_DQ50 AE33	VSS AE34	MC0_DQ57 AE35	VSS AE36	MCO_DM7N AE37
AF	MC1_DQS06N AF31	MC1_DQS06P AF32	MC1_DQ54 AF33	VSS AF34	MCO_DQ60 AF35	MCO_DQ61 AF36	MCO_DQ56 AF37
AG	MC1_DQ49 AG31	VSS AG32	MC1_DM6N AG33	VSS AG34	VSS AG35	VSS AG36	VSS AG37
AH	MC1_DQ52 AH31	MC1_DQ53 AH32	MC1_DQ48 AH33	VSS AH34	MCO_DQ55 AH35	MCO_DQ50 AH36	MCO_DQ51 AH37
AJ	VSS AJ31	VSS AJ32	VSS AJ33	VSS AJ34	MCO_DQS06N AJ35	MCO_DQS06P AJ36	MCO_DQ54 AJ37
AK	MC1_DQ47 AK31	MC1_DQ43 AK32	MC1_DQ42 AK33	VSS AK34	MCO_DQ49 AK35	VSS AK36	MCO_DM6N AK37
AL	MC1_DQS05N AL31	MC1_DQS05P AL32	MC1_DQ46 AL33	VSS AL34	MCO_DQ52 AL35	MCO_DQ53 AL36	MCO_DQ48 AL37
AM	MC1_DQ41 AM31	VSS AM32	MC1_DM5N AM33	VSS AM34	VSS AM35	VSS AM36	VSS AM37
AN	MC1_DQ44 AN31	MC1_DQ45 AN32	MC1_DQ40 AN33	VSS AN34	MCO_DQ47 AN35	MCO_DQ42 AN36	MCO_DQ43 AN37
AP	VSS AP31	VSS AP32	VSS AP33	VSS AP34	MCO_DQS05N AP35	MCO_DQS05P AP36	MCO_DQ46 AP37
AR	MCO_DQ33 AR31	MCO_DQ38 AR32	MCO_DQ39 AR33	VSS AR34	MCO_DQ40 AR35	VSS AR36	MCO_DM5N AR37
AT	VSS AT31	MCO_DQS04N AT32	MCO_DQ35 AT33	VSS AT34	MCO_DQ45 AT35	MCO_DQ41 AT36	VSS AT37
AU	MCO_DM4N AU31	MCO_DQS04P AU32	MCO_DQ34 AU33	VSS AU34	MCO_DQ44 AU35	VSS AU36	

附录二：芯片引脚内部延迟数据

Net Name	Conductor Length (um)
HT_RX_CAD00N	19725.756
HT_RX_CAD00P	19768.68
HT_RX_CAD01N	19691.224
HT_RX_CAD01P	19734.148
HT_RX_CAD02N	19646.261
HT_RX_CAD02P	19689.185
HT_RX_CAD03N	19724.373
HT_RX_CAD03P	19767.297
HT_RX_CAD04N	19605.848
HT_RX_CAD04P	19648.772
HT_RX_CAD05N	19728.393
HT_RX_CAD05P	19771.317
HT_RX_CAD06N	19656.961
HT_RX_CAD06P	19697.207
HT_RX_CAD07N	19660.344
HT_RX_CAD07P	19703.268
HT_RX_CAD08N	19637.795
HT_RX_CAD08P	19678.673
HT_RX_CAD09N	19640.644
HT_RX_CAD09P	19687.581
HT_RX_CAD10N	19648.569
HT_RX_CAD10P	19670.659
HT_RX_CAD11N	19715.817
HT_RX_CAD11P	19747.313
HT_RX_CAD12N	19686.567
HT_RX_CAD12P	19724.723
HT_RX_CAD13N	19681.477
HT_RX_CAD13P	19722.337
HT_RX_CAD14N	19745.202
HT_RX_CAD14P	19786.482
HT_RX_CAD15N	19712.352
HT_RX_CAD15P	19748.082
HT_RX_CLK0N	19645.157
HT_RX_CLK0P	19688.081
HT_RX_CLK1N	19661.218
HT_RX_CLK1P	19708.132
HT_RX_CTL0N	19645.468

HT_RX_CTL0P	19693.683
HT_RX_CTL1N	19609.49
HT_RX_CTL1P	19636.557
HT_TX_CAD00N	24841.845
HT_TX_CAD00P	24881.728
HT_TX_CAD01N	24885.068
HT_TX_CAD01P	24930.916
HT_TX_CAD02N	24821.225
HT_TX_CAD02P	24861.108
HT_TX_CAD03N	24807.051
HT_TX_CAD03P	24855.162
HT_TX_CAD04N	24790.656
HT_TX_CAD04P	24830.539
HT_TX_CAD05N	24794.284
HT_TX_CAD05P	24815.279
HT_TX_CAD06N	24806.327
HT_TX_CAD06P	24843.906
HT_TX_CAD07N	24857.139
HT_TX_CAD07P	24902.986
HT_TX_CAD08N	24894.115
HT_TX_CAD08P	24932.341
HT_TX_CAD09N	24878.895
HT_TX_CAD09P	24919.109
HT_TX_CAD10N	24787.507
HT_TX_CAD10P	24819.023
HT_TX_CAD11N	24821.277
HT_TX_CAD11P	24867.166
HT_TX_CAD12N	24814.684
HT_TX_CAD12P	24849.95
HT_TX_CAD13N	24786.215
HT_TX_CAD13P	24812.429
HT_TX_CAD14N	24958.103
HT_TX_CAD14P	24917.2
HT_TX_CAD15N	24792.489
HT_TX_CAD15P	24805.095
HT_TX_CLK0N	24844.085
HT_TX_CLK0P	24871.859
HT_TX_CLK1N	24853.75
HT_TX_CLK1P	24819.405
HT_TX_CTL0N	24794.294
HT_TX_CTL0P	24834.177
HT_TX_CTL1N	24887.652

HT_TX_CTL1P	24848.169
MCO_A00	16677.264
MCO_A01	16711.907
MCO_A02	16709.824
MCO_A03	16723.271
MCO_A04	16714.412
MCO_A05	16701.275
MCO_A06	16739.256
MCO_A07	16751.871
MCO_A08	16749.37
MCO_A09	16735.709
MCO_A10	16709.377
MCO_A11	16732.479
MCO_A12	16728.901
MCO_A13	16735.503
MCO_A17	16735.523
MCO_ACTN	16754.93
MCO_ALERTN	16724.656
MCO_BA0	16755.549
MCO_BA1	16739.634
MCO_BG0	16704.839
MCO_BG1	16736.822
MCO_CASN	16751.741
MCO_CB0	17628.548
MCO_CB1	17661.191
MCO_CB2	17633.791
MCO_CB3	17597.016
MCO_CB4	17597.199
MCO_CB5	17622.1
MCO_CB6	17626.458
MCO_CB7	17580.124
MCO_CK0N	16822.905
MCO_CK0P	16823.023
MCO_CK1N	16737.138
MCO_CK1P	16729.792
MCO_CK2N	16823.476
MCO_CK2P	16818.12
MCO_CK3N	16808.18
MCO_CK3P	16805.461
MCO_CKE0	16709.536
MCO_CKE1	16725.297
MCO_CKE2	16668.417

MCO_CKE3	16729.033
MCO_DMON	13961.953
MCO_DM1N	16950.611
MCO_DM2N	20511.914
MCO_DM3N	20276.562
MCO_DM4N	17950.779
MCO_DM5N	19607.741
MCO_DM6N	17013.839
MCO_DM7N	14286.483
MCO_DM8N	17586.295
MCO_DQ00	13970.54
MCO_DQ01	13933.533
MCO_DQ02	13960.408
MCO_DQ03	13961.392
MCO_DQ04	13973.737
MCO_DQ05	13962.222
MCO_DQ06	13960.409
MCO_DQ07	14008.071
MCO_DQ08	16981.6
MCO_DQ09	16958.885
MCO_DQ10	16988.822
MCO_DQ11	16945.336
MCO_DQ12	16941.554
MCO_DQ13	16980.148
MCO_DQ14	16952.004
MCO_DQ15	16960.234
MCO_DQ16	20502.042
MCO_DQ17	20524.667
MCO_DQ18	20512.058
MCO_DQ19	20583.795
MCO_DQ20	20518.992
MCO_DQ21	20516.791
MCO_DQ22	20546.088
MCO_DQ23	20522.411
MCO_DQ24	20283.919
MCO_DQ25	20248.695
MCO_DQ26	20230.653
MCO_DQ27	20263.584
MCO_DQ28	20293.638
MCO_DQ29	20303.87
MCO_DQ30	20285.33
MCO_DQ31	20217.949

MCO_DQ32	17848.383
MCO_DQ33	17910.261
MCO_DQ34	17884.473
MCO_DQ35	17933.651
MCO_DQ36	17897.674
MCO_DQ37	17818.992
MCO_DQ38	17897.885
MCO_DQ39	17864.32
MCO_DQ40	19656.583
MCO_DQ41	19648.457
MCO_DQ42	19647.217
MCO_DQ43	19648.733
MCO_DQ44	19626.113
MCO_DQ45	19616.819
MCO_DQ46	19618.068
MCO_DQ47	19620.287
MCO_DQ48	17062.169
MCO_DQ49	17039.177
MCO_DQ50	17005.618
MCO_DQ51	17034.421
MCO_DQ52	17052.462
MCO_DQ53	16970.908
MCO_DQ54	17051.492
MCO_DQ55	17033.951
MCO_DQ56	14241.709
MCO_DQ57	14250.735
MCO_DQ58	14285.628
MCO_DQ59	14277.354
MCO_DQ60	14223.206
MCO_DQ61	14279.796
MCO_DQ62	14244.032
MCO_DQ63	14282.275
MCO_DQS00N	14036.303
MCO_DQS00P	14027.285
MCO_DQS01N	17018.476
MCO_DQS01P	17010.269
MCO_DQS02N	20528.914
MCO_DQS02P	20533.624
MCO_DQS03N	20325.58
MCO_DQS03P	20313.318
MCO_DQS04N	17928.36
MCO_DQS04P	17916.011

MCO_DQS05N	19707.554
MCO_DQS05P	19692.263
MCO_DQS06N	17085.359
MCO_DQS06P	17069.946
MCO_DQS07N	14307.867
MCO_DQS07P	14320.31
MCO_DQS08N	17662.045
MCO_DQS08P	17678.569
MCO_ODT0	16779.723
MCO_ODT1	16725.417
MCO_ODT2	16692.806
MCO_ODT3	16741.558
MCO_PAR	16717.145
MCO_RASN	16711.593
MCO_RESETN	16724.844
MCO_REXT	18012.802
MCO_SCSN0	16706.956
MCO_SCSN1	16717.756
MCO_SCSN2	16758.624
MCO_SCSN3	16737.13
MCO_WEN	16760.033
MC1_A00	13723.71
MC1_A01	13728.098
MC1_A02	13733.475
MC1_A03	13705.028
MC1_A04	13770.212
MC1_A05	13751.524
MC1_A06	13707.747
MC1_A07	13711.292
MC1_A08	13696.278
MC1_A09	13751.337
MC1_A10	13735.636
MC1_A11	13713.071
MC1_A12	13725.43
MC1_A13	13698.418
MC1_A17	13727.151
MC1_ACTN	13764.171
MC1_ALERTN	13707.545
MC1_BA0	13762.663
MC1_BA1	13707.486
MC1_BG0	13724.127
MC1_BG1	13699.707

MC1_CASN	13723.335
MC1_CBO	14190.922
MC1_CB1	14278.193
MC1_CB2	14240.562
MC1_CB3	14268.084
MC1_CB4	14264.42
MC1_CB5	14172.775
MC1_CB6	14311.986
MC1_CB7	14233.866
MC1_CK0N	13773.623
MC1_CK0P	13770.37
MC1_CK1N	13682.334
MC1_CK1P	13693.492
MC1_CK2N	13859.656
MC1_CK2P	13846.056
MC1_CK3N	13715.118
MC1_CK3P	13714.068
MC1_CKE0	13704.364
MC1_CKE1	13727.498
MC1_CKE2	13765.487
MC1_CKE3	13703.843
MC1_DMON	13554.097
MC1_DM1N	12627.514
MC1_DM2N	14397.959
MC1_DM3N	17149.273
MC1_DM4N	13661.824
MC1_DM5N	17649.475
MC1_DM6N	13248.364
MC1_DM7N	10751.418
MC1_DM8N	14174.843
MC1_DQ00	13525.985
MC1_DQ01	13385.588
MC1_DQ02	13409.627
MC1_DQ03	13370.933
MC1_DQ04	13415.912
MC1_DQ05	13375.692
MC1_DQ06	13370.687
MC1_DQ07	13436.511
MC1_DQ08	12618.441
MC1_DQ09	12590.019
MC1_DQ10	12639.881
MC1_DQ11	12609.778

MC1_DQ12	12588.178
MC1_DQ13	12609.183
MC1_DQ14	12622.902
MC1_DQ15	12578.846
MC1_DQ16	14390.617
MC1_DQ17	14347.39
MC1_DQ18	14350.483
MC1_DQ19	14366.286
MC1_DQ20	14379.159
MC1_DQ21	14342.757
MC1_DQ22	14361.89
MC1_DQ23	14415.492
MC1_DQ24	17274.746
MC1_DQ25	17128.96
MC1_DQ26	17137.756
MC1_DQ27	17102.622
MC1_DQ28	17105.439
MC1_DQ29	17121.283
MC1_DQ30	17162.148
MC1_DQ31	17123.17
MC1_DQ32	13638.299
MC1_DQ33	13706.491
MC1_DQ34	13652.612
MC1_DQ35	13690.163
MC1_DQ36	13690.329
MC1_DQ37	13678.737
MC1_DQ38	13644.386
MC1_DQ39	13651.8
MC1_DQ40	17627.268
MC1_DQ41	17614.431
MC1_DQ42	17653.516
MC1_DQ43	17634.924
MC1_DQ44	17620.156
MC1_DQ45	17646.076
MC1_DQ46	17666.941
MC1_DQ47	17625.545
MC1_DQ48	13227.069
MC1_DQ49	13220.177
MC1_DQ50	13255.021
MC1_DQ51	13264.957
MC1_DQ52	13224.889
MC1_DQ53	13219.348

MC1_DQ54	13214.811
MC1_DQ55	13236.316
MC1_DQ56	10702.237
MC1_DQ57	10722.43
MC1_DQ58	10639.143
MC1_DQ59	10663.348
MC1_DQ60	10725.416
MC1_DQ61	10695.768
MC1_DQ62	10798.942
MC1_DQ63	10733.163
MC1_DQS00N	13458.453
MC1_DQS00P	13463.686
MC1_DQS01N	12658.765
MC1_DQS01P	12668.897
MC1_DQS02N	14385.39
MC1_DQS02P	14386.706
MC1_DQS03N	17188.66
MC1_DQS03P	17184.631
MC1_DQS04N	13689.048
MC1_DQS04P	13694.444
MC1_DQS05N	17703.794
MC1_DQS05P	17701.343
MC1_DQS06N	13304.486
MC1_DQS06P	13289.17
MC1_DQS07N	10755.771
MC1_DQS07P	10738.397
MC1_DQS08N	14213.403
MC1_DQS08P	14210.808
MC1_ODT0	13742.092
MC1_ODT1	13736.597
MC1_ODT2	13727.341
MC1_ODT3	13684.637
MC1_PAR	13739.691
MC1_RASN	13755.615
MC1_RESETN	13748.24
MC1_REXT	16947.674
MC1_SCSN0	13697.798
MC1_SCSN1	13753.325
MC1_SCSN2	13702.364
MC1_SCSN3	13701.921
MC1_WEN	13709.759