

**LOONGSON**

# 龙芯 2G 处理器数据手册

1.2 版

2013 年4 月

中国科学院计算技术研究所

龙芯中科技术有限公司

自主决定命运, 创新成就未来

北京市海淀区科学院南路10号 100190  
10 Kexueyuan South Road, Zhongguancun  
Haidian District, Beijing



[www.loongson.cn](http://www.loongson.cn)

## 版权声明

本档版权归北京龙芯中科技术有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

## 免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因档使用不当造成的直接或间接损失，本公司不承担任何责任。

## 龙芯中科技术有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村科学院南路 10 号

No.10 Kexueyuan South Road, Zhongguancun Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826



## 目录

1 概述.....	1
2 接口描述.....	1
2.1 接口信号模块.....	1
2.2 HYPERTRANSPORT 总线接口信号.....	2
2.3 DDR2/3 SDRAM 总线接口信号.....	3
2.4 初始化信号.....	4
2.5 低速 I/O 接口.....	5
2.6 芯片引脚中断信号.....	7
2.7 JTAG 及 EJTAG 信号.....	7
2.8 测试和控制信号.....	8
2.9 时钟信号.....	8
2.10 GPIO 信号.....	10
2.11 电源引脚.....	11
3 HYPERTRANSPORT 总线接口描述.....	11
3.1 HYPERTRANSPORT 接口特性.....	11
3.2 设备模式.....	12
3.3 系统 HT 接口连接.....	12
4 DDR2/3 SDRAM 控制器接口描述.....	12
4.1 DDR2/3 SDRAM 控制器特性.....	12
4.2 DDR2/3 SDRAM 读协议.....	13
4.3 DDR2/3 SDRAM 写协议.....	14
4.4 DDR2/3 SDRAM 参数设置顺序.....	14
5 复位时序要求.....	15
6 电气特性.....	17
6.1 绝对最大额定值.....	17
6.2 HYPERTRANSPORT 总线接口特性.....	17
6.2.1 HyperTransport 推荐直流工作条件.....	17
6.2.2 HyperTransport 推荐交流工作条件.....	18
6.2.3 传输时序特性.....	18
6.3 DDR2 总线内存接口特性.....	21
6.3.1 推荐直流特性.....	21
6.3.2 推荐的交流特性.....	21

6.3.3 电气交流时序特性 .....	22
6.4 LPC 总线和其它引脚 .....	26
6.4.1 LPC 总线 .....	26
6.4.2 EJTAG .....	26
6.5 参考时钟 .....	26
6.5.1 HyperTransport 的时钟 .....	26
6.5.2 DDR2 内存的时钟 .....	27
6.5.3 LPC 时钟 .....	28
6.6 电源 .....	28
6.6.1 电源工作条件 .....	28
7 热特性 .....	29
7.1 热参数 .....	29
7.2 焊接温度 .....	29
8 引脚排列和封装 .....	31
8.1 按引脚排列的封装引脚 .....	31
8.2 FCBGA 引脚顶层排列 .....	39
9 封装机械尺寸 .....	43
10 不使用引脚处理 .....	44
10.1 系统配置引脚 .....	45
10.2 LPC 总线 .....	45
10.3 SPI/UART/GPIO 总线 .....	45
10.4 DDR 总线 .....	45
10.5 HYPERTRANSPORT 总线 .....	45
10.6 JTAG/EJTAG 总线、TESTCLK .....	45
10.7 系统中断管脚 .....	45
10.8 保留管脚 .....	45

## 图目录

图 2.1 龙芯 2G 处理器接口信号框图.....	2
图 4.1 龙芯 2G 单处理器系统 HT 接口连接 .....	12
图 4.1 DDR2 SDRAM 读协议.....	14
图 4.2 DDR2 SDRAM 写协议.....	14
图 5.1 龙芯 2G 复位时序图.....	16
图 6.1 HyperTransport 总线 $T_{ODIFF}$ 时序 .....	18
图 6.2 HyperTransport 总线 $T_{DIFF}$ 时序 .....	19
图 6.3 HyperTransport 总线 $T_{CADV}$ 时序 .....	19
图 6.4 HyperTransport 总线 $T_{SU}$ 和 $T_{HD}$ 时序 .....	19
图 6.5 HyperTransport 总线 $T_{CADVRS} / T_{CADVRH}$ 时序 .....	20
图 6.6 差分的信号电平.....	22

## 表目录

表 2-1 HT 总线信号 .....	3
表 2-2 DDR2 SDRAM 控制器接口信号 .....	4
表 2-3 初始化接口信号 .....	5
表 2-4 LPC 接口信号 .....	6
表 2-5 SPI 接口信号 .....	6
表 2-6 UART 接口信号 .....	7
表 2-7 引脚中断信号描述 .....	7
表 2-8 JTAG 接口信号 .....	7
表 2-9 JTAG 模式的配置 .....	8
表 2-10 EJTAG 接口信号 .....	8
表 2-11 EJTAG 接口信号 .....	8
表 2-12 时钟信号 .....	9
表 2-13 Core 时钟域倍频 .....	9
表 2-14 DDR2/3 时钟域倍频 .....	9
表 2-15 HT 时钟控制 .....	10
表 2-16 GPIO 信号 .....	10
表 2-17 电源引脚 .....	11
表 4-1 时钟信号 DDR2 SDRAM 行/列地址转换 .....	13
表 6-1 绝对最大额定值 .....	17

## 1 概述

龙芯 2G 采用 65nm 工艺制造，在单个芯片内集成了 3-4 个 64 位超标量通用处理器核，最高工作主频为 1GHz，主要特征如下：

- 片内集成 3-4 个 64 位的四发射超标量 GS464 高性能处理器核；
- 片内集成四核共享的 4MB 二级 Cache；
- 片内集成 2 个 64 位 400MHz 的 DDR2/3 控制器；
- 片内集成 1 个 16 位 800MHz 的 HyperTransport 控制器；
- 片内集成一个 LPC、两个 UART、1 个 SPI、16 路 GPIO 接口；
- 采用 FC-BGA-741 封装。

龙芯 2G 的芯片整体架构基于两级互连实现，芯片结构和介绍详见《龙芯 2G 用户手册 P1》1.2 节 龙芯 2G 简介。

## 2 接口描述

### 2.1 接口信号模块

龙芯 2G 的接口信号如图 2.1 所示。



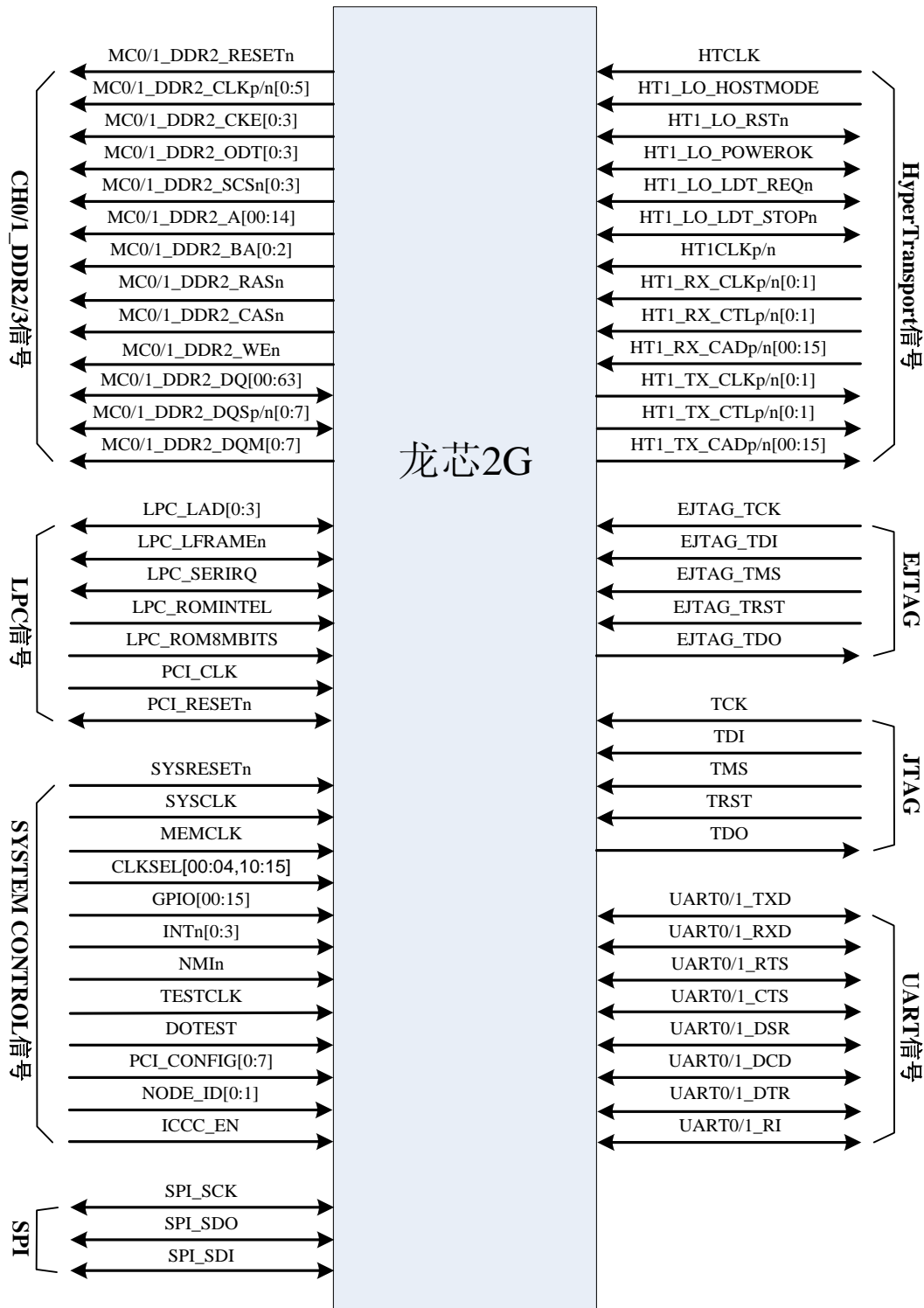


图 2.1 龙芯 2G 处理器接口信号框图

注：箭头指示信号方向，有输入、输出和双向。

## 2.2 HyperTransport 总线接口信号

龙芯 2G 中拥有一组的 16 位 HyperTransport 总线（以下简称 HT）。

其总线信号包括：

- 16 对差分发送数据命令总线；
- 16 对差分接收数据命令总线；
- 2 对差分发送控制信号；
- 2 对差分接收控制信号；
- 2 对差分发送时钟信号；
- 2 对差分接收时钟信号；
- 4 个总线控制信号。

表 2-1 是龙芯 2G 处理器的 HyperTransport 总线接口信号定义。

表 2-1 HT 总线信号

HT 总线信号				
信号名称	输入/输出	描述	电源域	默认上下拉
HT_Hostmode	I	为 1 时有效，表示将 HT 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT 控制器作为从模式，复位等信号仅为输入模式	VDDESB	上拉
HT_PowerOK	I/O	当 HT_Hostmode 有效时为双向信号， 当 HT_Hostmode 无效时为输入信号。	VDDESB	上拉
HT_Resetn	I/O	当 HT_Hostmode 有效时为双向信号， 当 HT_Hostmode 无效时为输入信号。	VDDESB	上拉
HT_Ldt_Stopn	I/O	当 HT_Hostmode 有效时为双向信号， 当 HT_Hostmode 无效时为输入信号。	VDDESB	上拉
HT_Ldt_reqn	I/O	HT 总线 Ldt_Reqn 信号，	VDDESB	上拉
HT_Tx_CADp[15:0]	O	HT 总线发送数据命令总线，	HT_VDDE	无
HT_Tx_CADn[15:0]	O	HT 总线发送数据命令总线，	HT_VDDE	无
HT_Tx_CTLp[1:0]	O	[0]位为 HT 总线发送控制信号， [1]位无效。	HT_VDDE	无
HT_Tx_CTLn[1:0]	O	[0]位为 HT 总线发送控制信号， [1]位无效。	HT_VDDE	无
HT_Tx_CLKp[1:0]	O	HT 总线发送时钟总线，	HT_VDDE	无
HT_Tx_CLKn[1:0]	O	HT 总线发送时钟总线，	HT_VDDE	无
HT_Rx_CADp[15:0]	I	HT 总线接收数据命令总线，	HT_VDDE	无
HT_Rx_CADn[15:0]	I	HT 总线接收数据命令总线，	HT_VDDE	无
HT_Rx_CTLp[1:0]	I	[0]位为 HT 总线接收控制信号， [1]位无效。	HT_VDDE	无
HT_Rx_CTLn[1:0]	I	[0]位为 HT 总线接收控制信号， [1]位无效。	HT_VDDE	无
HT_Rx_CLKp[1:0]	I	HT 总线接收时钟总线，	HT_VDDE	无
HT_Rx_CLKn[1:0]	I	HT 总线接收时钟总线，	HT_VDDE	无

## 2.3 DDR2/3 SDRAM 总线接口信号

龙芯 2G 集成了两个标准的 DDR2/3 SDRAM 内存控制器。该内存控制器接口包括有下列信号：

- 64 位双向数据总线信号；
- 8 路双向数据选通差分信号；
- 8 位数据掩码信号；
- 15 位地址总线信号；
- 7 位逻辑 Bank 和物理片选信号；
- 6 路差分时钟信号；
- 4 位时钟使能信号；
- 3 位命令总线信号；
- 4 位 ODT(On Die Termination)信号；
- 1 位复位控制信号。

表 2-2 是龙芯 2G 每一组 DDR2 SDRAM 控制器接口信号。共有两组，分别在电源域上分为 0/1。

表 2-2 DDR2 SDRAM 控制器接口信号

信号名称	输入/输出	描述	电源域
DDR2_DQ[63:0]	IO	DDR2/3 SDRAM 数据总线信号	MEM_VDDE_0/1
DDR2_DQSp[7:0]	IO	DDR2/3 SDRAM 数据选通（包括 ECC）	MEM_VDDE_0/1
DDR2_DQSn[7:0]	IO	DDR2/3 SDRAM 数据选通（包括 ECC）	MEM_VDDE_0/1
DDR2_DQM[7:0]	O	DDR2/3 SDRAM 数据屏蔽（包括 ECC）	MEM_VDDE_0/1
DDR2_A[14:0]	O	DDR2/3 SDRAM 地址总线信号	MEM_VDDE_0/1
DDR2_BA[2:0]	O	DDR2/3 SDRAM 逻辑 Bank 地址信号	MEM_VDDE_0/1
DDR2_WEn	O	DDR2/3 SDRAM 写使能信号	MEM_VDDE_0/1
DDR2_CASn	O	DDR2/3 SDRAM 列地址选择信号	MEM_VDDE_0/1
DDR2_RASn	O	DDR2/3 SDRAM 行地址选择信号	MEM_VDDE_0/1
DDR2_CS[3:0]	O	DDR2/3 SDRAM 片选信号	MEM_VDDE_0/1
DDR2_CKE[3:0]	O	DDR2/3 SDRAM 时钟使能信号	MEM_VDDE_0/1
DDR2_CKp[5:0]	O	DDR2/3 SDRAM 差分时钟输出信号 {1,3,5}为一组 DIMM 时钟，{0,2,4}为另一组 DIMM 时钟	MEM_VDDE_0/1
DDR2_CKn[5:0]	O	DDR2/3 SDRAM 差分时钟输出信号 {1,3,5}为一组 DIMM 时钟，{0,2,4}为另一组 DIMM 时钟	MEM_VDDE_0/1
DDR2_ODT[3:0]	O	DDR2/3 SDRAM ODT 信号	MEM_VDDE_0/1
DDR2_Resetn	O	DDR2/3 SDRAM 复位控制信号	MEM_VDDE_0/1

## 2.4 初始化信号

表 2-3 提供了初始化信号的名称，方向和描述。

表 2-3 初始化接口信号

信号名称	输入/输出	描述	电压域												
SYSRESETn	I	系统复位信号，该信号的低电平状态需要维持多于一个 SYSCLK 周期，它可异步于 SYSCLK 信号。	VDDE3V3												
LPC_RESETn	I/O	LPC 接口复位信号	VDDE3V3												
SYS_CONFIG[7:0]	I	电压选择配置 7 HT Pad 电压选择 0 HT Pad 电压选择 注: <table border="1" style="margin-left: 20px;"> <tr> <td>7</td> <td>0</td> <td>HT Pad 电压</td> </tr> <tr> <td>0</td> <td>0</td> <td>1.8V</td> </tr> <tr> <td>0</td> <td>1</td> <td>2.5V</td> </tr> <tr> <td>1</td> <td>0</td> <td>3.3V</td> </tr> </table>	7	0	HT Pad 电压	0	0	1.8V	0	1	2.5V	1	0	3.3V	VDDE3V3
7	0	HT Pad 电压													
0	0	1.8V													
0	1	2.5V													
1	0	3.3V													

- **SYSRESETn**: 这个复位信号是唯一能复位整个龙芯 2G 处理器的信号。SYSCLK 和 MEMCLK 必须在 SYSRESETn 释放到无效前就保持稳定。SYSRESETn 的有效时间必须大于一个时钟周期。处理器内部的复位控制逻辑在 SYSRESETn 无效时才开始复位处理器。处理器内部复位将在 64K 个 SYSCLK 周期后完成，之后复位异常处理才可以被执行
- **LPC\_RESETn**: 这个信号工作为输出，系统中的 LPC 设备的复位可以由该信号控制。
- **SYS\_CONFIG[7:0]**: 定义了龙芯 2G 工作模式以及其它需要静态配置的信号，它在系统复位时必须保持稳定。

## 2.5 低速 I/O 接口

龙芯 2G 处理器的低速 I/O 接口包括 LPC 总线、SPI 总线和 UART。LPC 总线连接启动 Flash 和 SuperIO 芯片。SPI 总线可连接 SPI flash（不支持启动）。

LPC 控制器具有以下特性：

- 符合 LPC1.1 规范
- 支持 LPC 访问超时计数器
- 支持 Memory Read 和 Memory write 访问类型
- 支持 Firmware Memory Read 和 Firmware Memory Write 访问类型（单字节）
- 支持 I/O read 和 I/O write 访问类型
- 支持 Memory 访问类型地址转换

- 支持 Serialized IRQ 规范，提供 17 个中断源

SPI 控制器具有以下特性：

- 全双工同步串口数据传输
- 支持到 4 个的变长字节传输
- 主模式支持（不支持从模式）
- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 可在等待模式下对 SPI 进行控制
- 不支持处理器通过 SPI 启动

UART 控制器具有以下特性

- 全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统
- 仅工作在 FIFO 方式
- 在寄存器与功能上兼容 NS16550A

这些低速 I/O 接口包含的信号如下：

表 2-4 LPC 接口信号

信号名称	输入/输出	描述	电压域
L_AD[3:0]	I/O	LPC 总线地址数据信号	VDDE3V3
L_FRAME	O	LPC 总线数据开始/结束信号	VDDE3V3
L_SIRQ	I/O	LPC 总线 serial IRQ 信号，用于传输串行中断信号	VDDE3V3
L_8Mbits	I	LPC 启动 flash 8Mbits 和 4Mbits 设置。该信号为高表示 LPC 所接的启动 flash 为 8Mbits，该信号为低表示 LPC 所接的启动 flash 为 4Mbits	VDDE3V3
L_INTEL	I	LPC 启动 flash 类型设置。该信号为高表示所接启动 flash 为 INTEL 类型，否则为 AMD 类型	VDDE3V3

表 2-5 SPI 接口信号

信号名称	输入/输出	描述	电压域
SPI_SCK	O	SPI 总线时钟	VDDE3V3
SPI_SDO	O	SPI 总线数据输出	VDDE3V3
SPI_SDI	I	SPI 总线数据输入	VDDE3V3

表 2-6 UART 接口信号

信号名称	输入/输出	描述	电压域
TXD	O	串口数据输出	VDDE3V3
RXD	I	串口数据输入	VDDE3V3
RTS	O	串口数据传输请求	VDDE3V3
CTS	I	设备接受数据就绪	VDDE3V3
DTR	O	串口初始化完成	VDDE3V3
DSR	I	设备初始化完成	VDDE3V3
DCD	I	外部 MODEM 探测到载波信号	VDDE3V3
RI	I	外部 MODEM 探测到振铃信号	VDDE3V3

## 2.6 芯片引脚中断信号

龙芯 2G 处理器的引脚中断包括 4 个系统中断 (INTn) 和 1 个不可屏蔽中断 (NMIn)。表 2-7 显示了引脚中断信号的名称、方向和描述。

除了芯片引脚接入的中断外，龙芯 2G 还包括 4 个 HT 中断，3 个内部事件中断，1 个 LPC 中断，以及 2 个内存控制器中断。这些中断通过内部的功能模块自己产生，没有专门的中断引脚。

任意一个中断源可以选择路由到处理器核中断引脚的 INT0-3(对应 CP0 寄存器 CR\_STATUS 的 IP2-5 位)四根中断中的任意一个。有关中断的详细说明请参考用户手册的中断部分。

表 2-7 引脚中断信号描述

信号名称	输入/输出	描述	电压域
NMIn	I	不可屏蔽中断信号，（复位为低有效），需视实际情况上下拉。	VDDE3V3
INTn[3:0]	I	4 个外部中断信号，这些信号分别连接到处理器中断寄存器 (CR_CAUSE IP 域) 的位 3 到位 0，需视实际情况上下拉。	VDDE3V3

## 2.7 JTAG 及 EJTAG 信号

龙芯 2G 提供了一个兼容 JTAG 的边界扫描接口。JTAG 接口用于测试处理器引脚是否被正确连接。表 2-8 提供了 JTAG 信号的名称、方向和描述。

表 2-8 JTAG 接口信号

信号名称	输入/输出	描述	电压域
TDI	I	JTAG 串行扫描数据输入。	VDDE3V3
TDO	O	JTAG 串行扫描数据输出。	VDDE3V3
TMS	I	JTAG 命令，指示输入的串行数据是一个命令。	VDDE3V3

TRST	I	JTAG 重启信号。	VDDE3V3
TCK	I	JTAG 串行扫描时钟。	VDDE3V3

JTAG 模式只有在配置了表 2-9 的管脚时有效。

表 2-9 JTAG 模式的配置

DOTEST	GPIO15	GPIO10	GPIO09	GPIO08	GPIO07	GPIO06
0	1	0	1	1	1	0

此外，龙芯 2G 还提供了 EJTAG 调试接口，用于调试底层应用软件。

表 2-10 提供了 EJTAG 信号的名称，方向和描述。

表 2-10 EJTAG 接口信号

信号名称	输入/输出	描述	电压域
EJTAG_TDI	I	EJTAG 串行扫描数据输入。	VDDE3V3
EJTAG_TDO	O	EJTAG 串行扫描数据输出。	VDDE3V3
EJTAG_TMS	I	EJTAG 命令，指示输入的串行数据是一个命令。	VDDE3V3
EJTAG_TRST	I	EJTAG 重启信号。	VDDE3V3
EJTAG_TCK	I	EJTAG 串行扫描时钟。	VDDE3V3

## 2.8 测试和控制信号

龙芯 2G 芯片的测试信号仅仅用于芯片物理测试，如扫描链测试。当芯片正常工作，这些信号应设置为无效。通常这些信号进行上拉处理。用于测试的控制信号为 DOTEST 信号，管脚定义在表 2-11 中。

表 2-11 EJTAG 接口信号

信号名称	输入/输出	描述
DOTEST	I	DOTEST=0,芯片处于测试模式；DOTEST=1 芯片处于正常功能模式。芯片正常工作时，需通过 4.7K 电阻上拉至 3.3V。

## 2.9 时钟信号

龙芯 2G 关于时钟的信号参见表 2-12。处理器有五个系统输入时钟信号（包括 SYSCLK，MEMCLK，LPC\_CLK，HTCLK，差分时钟 HT\_CLKp/HT\_CLKn）。龙芯 2G 的 Core 时钟通过 SYSCLK 产生，DDR2/3 时钟通过 MEMCLK 产生。HT 的时钟产生较为复杂。首先，参考时钟可以使用差分时钟对 HT1CLKp/HT1CLKn 或者单端时钟 HTCLK，由 CLKSEL[15:10]进行

相关控制。CLKSEL 控制分频的方法参见表 2-13、表 2-14 和表 2-15。

对于 DDR2/3 时钟域有配置方法对龙芯 2G 来说略有不同，龙芯 2G 完全采用软件设置的方法来对 DDR2/3 时钟进行配置，配置值的含义仍见表 2-14。具体配置方法请参见《龙芯 2G 用户手册》。

表 2-12 时钟信号

信号名称	输入/输出	频率范围 (MHz)	描述	电压域
SYSCLK	I	15-40	系统输入时钟，驱动内置的 PLL 产生处理器的 Core 时钟。它同时作为系统复位电路的时钟。	VDDE3V3
MEMCLK	I	14-40	DDR2 控制器的输入时钟，驱动内置的 PLL 用来产生 DDR2 时钟。	VDDE3V3
LPC_CLK	I	25-33	LPC、SPI、UART 总线的参考时钟。	VDDE3V3
HT1CLKp/ HT1CLKn	I	200	HT 总线及控制器使用参考时钟。	VDDE3V3
HTCLK	I	100	HT 总线控制器使用的可选备份时钟	VDDE3V3
CLKSEL[15:0]	I	-	Core、DDR 和 HT 的频率选择，参见表 2-13.	VDDE3V3

表 2-13 Core 时钟域倍频

CLKSEL[4:0]	倍频系数	CLKSEL[4:0]	倍频系数
00000	30	10000	15
00001	31	10001	15.5
00010	32	10010	16
00011	33	10011	16.5
00100	34	10100	17
00101	35	10101	17.5
00110	36	10110	18
00111	37	10111	18.5
01000	38	11000	19
01001	39	11001	19.5
01010	40	11010	20
01011	41	11011	20.5
01100	42	11100	21
01101	43	11101	21.5
01110	44	11110	22
01111	45	11111	1

表 2-14 DDR2/3 时钟域倍频

CLKSEL[9:5]	倍频系数	CLKSEL[9:5]	倍频系数
00000	10	10000	7.5
00001	10.33	10001	7.75
00010	10.67	10010	8
00011	11	10011	8.25
00100	11.33	10100	8.5
00101	11.67	10101	8.75
00110	12	10110	9
00111	12.33	10111	9.25



01000	12.67	11000	9.5
01001	13	11001	9.75
01010	13.33	11010	10
01011	13.67	11011	10.25
01100	14	11100	10.5
01101	14.33	11101	10.75
01110	14.67	11110	11
01111	15	11111	1

表 2-15 HT 时钟控制

信号	作用
CLKSEL[15]	1'b1 表示采用内部参考电压，推荐使用 1'b0 表示采用外部参考电压
CLKSEL[14]	1'b1 表示 HT PLL 采用差分时钟输入，即使用 HT1CLKp/HT1CLKn 作为参考时钟， 1'b0 表示 HT PLL 采用普通时钟输入，即使用 HTCLK 作为参考时钟
CLKSEL[13:12]	2'b00 表示 PHY 时钟为 1.6GHZ/1，推荐使用 2'b01 表示 PHY 时钟为 3.2GHZ/2 2'b10 表示 PHY 时钟为普通输入时钟 2'b11 表示 PHY 时钟为差分输入时钟
CLKSEL[11:10]	2'b00 表示 HT 控制器时钟为 200MHz，频率与参考时钟源无关 2'b01 表示 HT 控制器时钟为 400MHz，频率与参考时钟源无关 2'b1x 表示 HT 控制器时钟为普通输入时钟

## 2.10 GPIO 信号

龙芯 2G 处理器包含 16 个 GPIO，其引脚定义见下表。

表 2-16 GPIO 信号

信号名称	输入/输出	描述	复位状态	电压域
GPIO00	I/O	通用输入输出	输出高阻	3.3V
GPIO01	I/O	通用输入输出	输出高阻	3.3V
GPIO02	I/O	通用输入输出	输出高阻	3.3V
GPIO03	I/O	通用输入输出	输出高阻	3.3V
GPIO04	I/O	通用输入输出	输出低电平	3.3V
GPIO05	I/O	通用输入输出	输出低电平	3.3V
GPIO06	I/O	通用输入输出	输出低电平	3.3V
GPIO07	I/O	通用输入输出	输出低电平	3.3V
GPIO08	I/O	通用输入输出	输出低电平	3.3V
GPIO09	I/O	通用输入输出	输出低电平	3.3V
GPIO10	I/O	通用输入输出	输出低电平	3.3V
GPIO11	I/O	通用输入输出	输出低电平	3.3V

GPIO12	I/O	通用输入输出	输出低电平	3.3V
GPIO13	I/O	通用输入输出	输出低电平	3.3V
GPIO14	I/O	通用输入输出	输出低电平	3.3V
GPIO15	I/O	通用输入输出	输出低电平	3.3V

## 2.11 电源引脚

表 2-17 电源引脚

Parameter	Description	Power Voltage
VDD	处理器核电源	1.15V
VDDE3V3	处理器 IO 电源	3.3V
MEM_VDD_0/1	DDR2 通道 0/1 核电源	1.1V
MEM_VDDE_0/1	DDR2 通道 0/1 IO 电源	1.8V
MEM_VREF_0/1	DDR2 通道 0/1 参考电源	0.9V
HT_VDD	HT 核电源	1.1V
HT_VDDE	HT IO 电源	1.8V
VDDESB	HT 控制电源, 可根据 SYS_CONFIG 配置电压值	1.8V
		2.5V
		3.3V
CORE_PLL_AVDD	Core PLL 模拟电源	2.5V
CORE_PLL_DVDD	Core PLL 数字电源	1.1V
DDR_PLL_AVDD	DDR2 PLL 模拟电源	2.5V
DDR_PLL_DVDD	DDR2 PLL 数字电源	1.1V
HT1_PLL_AVDD	HT1 PLL 模拟电源	1.8V
HT1_PLL_DVDD	HT1 PLL 数字电源	1.1V

## 3 HyperTransport 总线接口描述

龙芯 2G 处理器拥有 16 位 HyperTransport 总线接口。该接口硬件支持 IO Cache 一致性。

### 3.1 HyperTransport 接口特性

HyperTransport 接口特性包括:

- 兼容 HyperTransport 1.03;
- 接口频率支持 200/400/800Mhz;
- 接口宽度支持 8/16 位模式;
- 输入输出频率宽度分别可设;

- 支持 IO Cache 一致性。

### 3.2 设备模式

HyperTransport 接口包括以下几个配置引脚：

- {SYS\_config[7],SYS\_config[0]}，用于配置 HT 总线上单端控制信号的电平标准，这些信号包含 PowerOK，Resetn，Ldt\_Stopn，Ldt\_Reqn；
- HT\_Hostmode，用于配置 HT 总线上单端控制信号的 IO 方向，具体参见表 2-1。

### 3.3 系统 HT 接口连接

龙芯 2G 中的 HyperTransport 接口可以用于系统中的 IO 连接，连接方式如下所示：

- 龙芯 2G 单处理器系统连接。用于 IO 设备连接时，HyperTransport 接口硬件维护 IO Cache 一致性。一种常见的连接方式如图 4.1 所示：

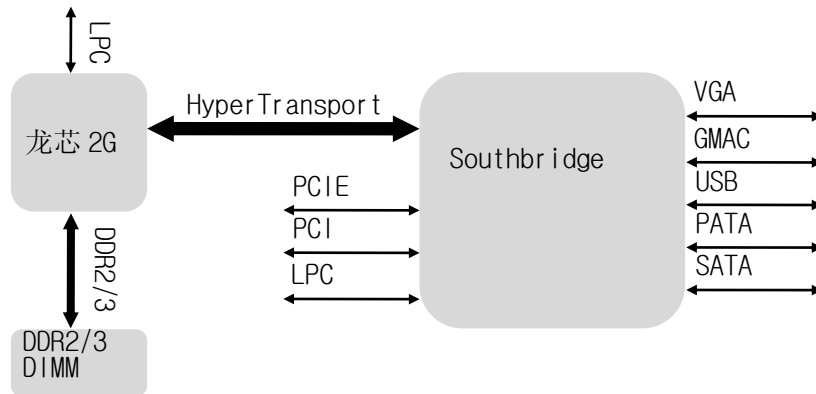


图 3.1 龙芯 2G 单处理器系统 HT 接口连接

## 4 DDR2/3 SDRAM 控制器接口描述

龙芯 2G 集成了内存控制器，兼容 DDR2/3 SDRAM 标准。

### 4.1 DDR2/3 SDRAM 控制器特性

龙芯 2G 处理器有两个内存控制器，每个内存控制器可以支持两个内存条，共四个片选信号。通过四个片选信号和 18 位的地址总线（15 位行/列地址和 3 位逻辑 Bank 地址）实现最大地址空间是 128G ( $2^{37}$ )。

在使用 DDR2/3 SDRAM 之前，需要配置 DDR2/3 控制器的参数，以使之能

配合相应的内存条正确工作。对于龙芯 2G 处理器，芯片选择信号（CS<sub>n</sub>）的最大数目是 4。行地址（RAS<sub>n</sub>）和列地址（CAS<sub>n</sub>）的最大带宽分别是 15 和 14。还有 3 位的逻辑 bank 信号（BANK<sub>n</sub>）。

CPU 内存的物理地址能被转换位行/列地址，见表 4-1。例如，4 个 CS<sub>n</sub> 信号，8 个 banks，12 位行地址和 12 位列地址。

表 4-1 时钟信号 DDR2 SDRAM 行/列地址转换

36	32 31	30 29	18 17	15 14	3 2	0
	CS <sub>n</sub>	RAS <sub>n</sub>	BANK <sub>n</sub>	CAS <sub>n</sub>	Byte	

内存控制器接收从处理器或外部设备发送的内存读写请求。无论是读还是写操作，内存控制器都处在 slave 状态。

内存控制器中实现了动态页管理功能。对于内存的一次存取，不需软件设计者的干预，控制器会在硬件电路上选择 Open Page/Close Page 策略。内存控制器特性包括：

- 支持的内存类型包括：DDR2/3 颗粒、DDR2/3 UDIMM、DDR2/3 SO-DIMM、DDR2/3 RDIMM（DDR3 RDIMM 仅支持单面工作模式）；
- 全流水的命令和数据读写；
- 通过合并和重排序增加带宽；
- 通过丰富的寄存器读写端口修改基本的参数；
- 内置 Delay Compensation Circuit(DCC)，用来可靠的发送/接收数据；
- 1 位和 2 位错误检测，通过 ECC 进行 1 位的错误修正；
- 频率：133MHz-400MHz；
- 32/64 位软件可选择总线宽度。

## 4.2 DDR2/3 SDRAM 读协议

图 4.1 中显示 DDR2 SDRAM 读协议，命令（CMD）包括 RAS<sub>n</sub>，CAS<sub>n</sub> 和 WE<sub>n</sub>。当一个读请求发生时，RAS<sub>n</sub>=1，CAS<sub>n</sub>=0，WE<sub>n</sub>=1。

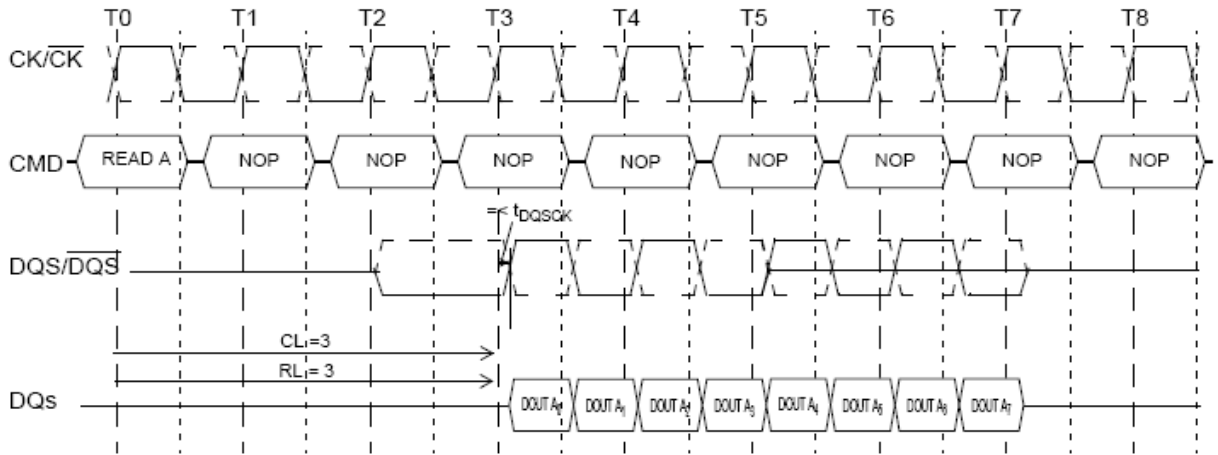


图 4.1 DDR2 SDRAM 读协议

注：Cas Latency = 3, Read Latency = 3, Burst Length = 8

### 4.3 DDR2/3 SDRAM 写协议

在图 4.2 中显示 DDR2 SDRAM 写协议，命令 (CMD) 包括 RAS<sub>n</sub>，CAS<sub>n</sub> 和 WE<sub>n</sub>。当写请求发生时，RAS<sub>n</sub>=1，CAS<sub>n</sub>=0，WE<sub>n</sub>=0。与读协议不同，DQM 用来识别需要被写的字节数。DQM 和 DQS 是同步的。

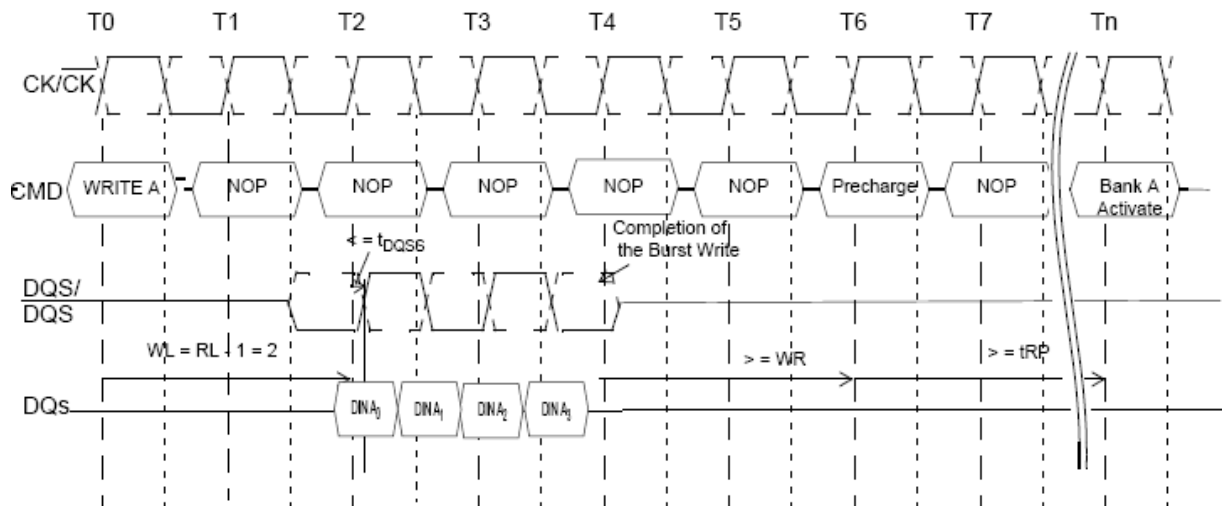


图 4.2 DDR2 SDRAM 写协议

注：Cas Latency = 3, Write Latency = Read Latency - 1 = 2, Burst Length = 4.

### 4.4 DDR2/3 SDRAM 参数设置顺序

为了在系统中支持不同的 DDR2 SDRAM 颗粒，DDR2 SDRAM 需要在加电

龙芯中科技术有限公司

Loongson Technology Corporation Limited

复位后配置。DDR2/3 标准定义了详细的配置操作和过程。DDR2 在内存初始化前是不可用的，内存初始化顺序为：

1. 系统复位期间，所有寄存器内容将清除为缺省值；
2. 系统复位释放；
3. 向配置寄存器地址发 64 位写指令，配置所有 180 个配置寄存器。此时如果写 CTRL\_03，应将其中参数 START 设为 0。所有寄存器都必须正确配置才可以正常工作。
4. 向配置寄存器 CTRL\_03 中发 64 位写指令。此时应将参数 START 设为 1。结束后内存控制器将自动对内存发起初始化指令。

在系统主板初始化后，DDR2 SDRAM 控制器在内存使用前需要配置内存类型，将相应的配置参数写到对应于物理地址 0X0000 0000 0FF0 0000 的 180 个 64 位寄存器中。每个寄存器会包括一个、多个或部分的参数。

## 5 复位时序要求

龙芯 2G 的初始化分为 Core 时钟域、DDR2/3 时钟域、HT 相关时钟域和 LPC 时钟域。

当处理器复位信号 SYSRESETn 为低时，相关的时钟，测试信号和初始化信号都必须有效。这些信号包括：

- SYSCLK，MEMCLK，HTCLK，LPC\_CLK，CLKSEL，差分时钟 ht1clkp/ht1clkn，这些信号必须稳定。
- 初始化信号 SYS\_CONFIG 应该被设置为合适的值。

当 SYSRESETn 变高后，处理器内部的复位逻辑开始初始化芯片。SYSRESETn 应至少保持一个时钟周期内（相对于 SYSCLK）有效，以保证复位逻辑能可靠采样。LPC 时钟域将会被首先初始化以保证龙芯 2G 中基本配置寄存器的有效，此后 Core、DDR2/3 和 HT 时钟域相继初始化完成并根据配置引脚的输入去复位外部设备。

龙芯 2G 的复位时序图如图 5.1 所示，图中黑色信号为外部信号，浅色信号为内部信号，用户无需关心：

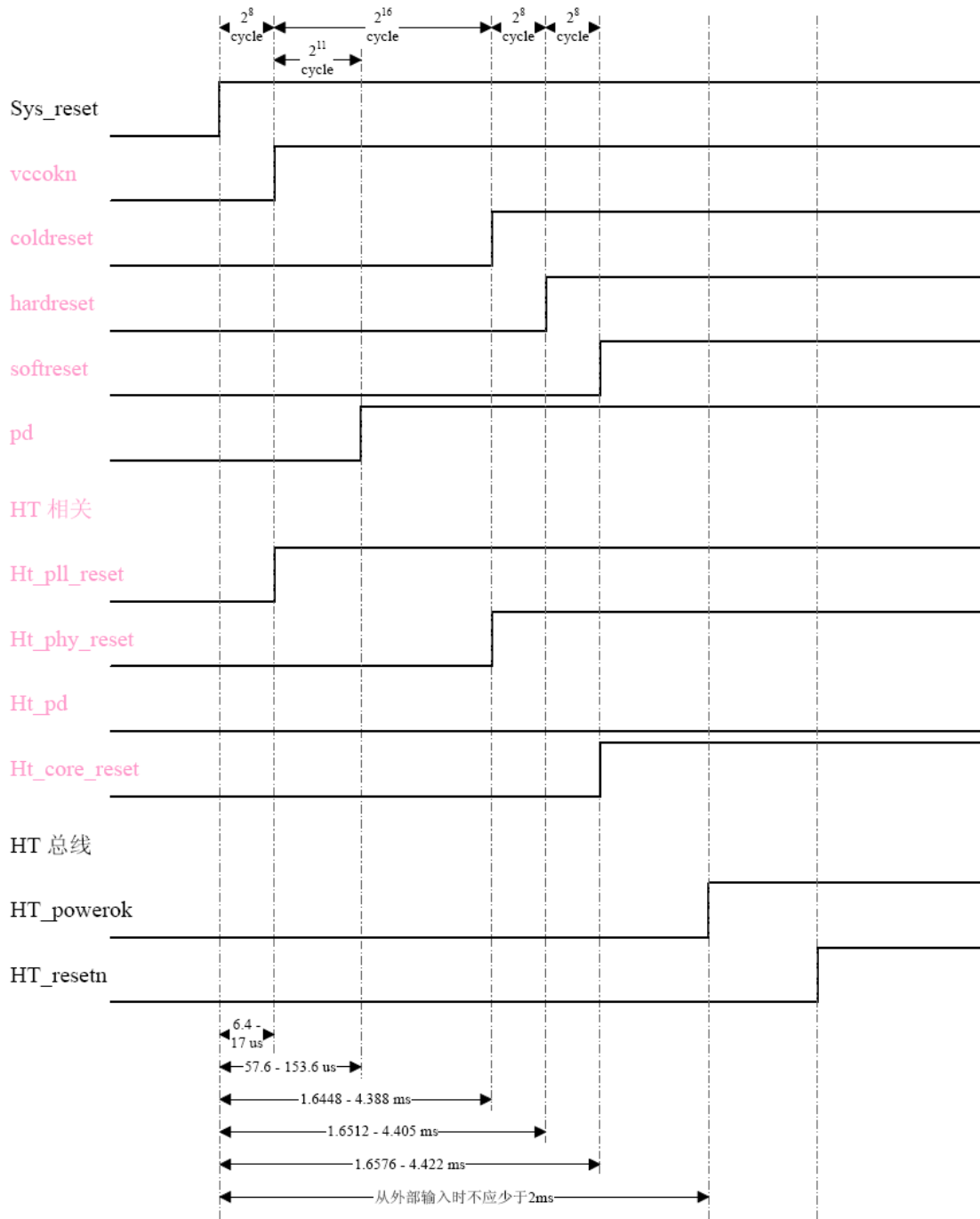


图 5.1 龙芯 2G 复位时序图

## 6 电气特性

### 6.1 绝对最大额定值

表 6-1 绝对最大额定值

Parameter	Description	Min.	Max.	Unit
VDD	Core Supply Voltage	-0.3	1.2	V
VDDE3V3	Chip IO supply	-0.3	3.63	V
HT_VDD	HT core supply	-0.3	1.5	V
HT_VDDE	HT IO supply	-0.3	2.2	V
MEM_VDD_0/1	DDR2 memory core supply	-0.3	1.2	V
MEM_VDDE_0/1	DDR2 MEM IO supply	-0.5	2.3	V
Tstg	Storage Temperature	-55	100	°C

### 6.2 HyperTransport 总线接口特性

#### 6.2.1 HyperTransport 推荐直流工作条件

表 6-2 HyperTransport 直流工作条件

Symbol	Parameter	Min.	Typ.	Max.	Unit
$V_{OD}$	Output Differential Voltage	495	600	715	mV
$\Delta V_{OD}$	Change in $V_{OD}$ from 0 to 1 State	-15	0	15	mV
$V_{OCM}$	Output Common Mode Voltage	495	600	715	mV
$\Delta V_{OCM}$	Change in $V_{OCM}$ from 0 to 1 State	-15	0	15	mV
$V_{ID}$	Input Differential Voltage	200	600	1000	mV
$\Delta V_{ID}$	Change in $V_{ID}$ from 0 to 1 State	-15	0	15	mV
$V_{ICM}$	Input Common Mode Voltage	440	600	780	mV
$\Delta V_{ICM}$	Change in $V_{ICM}$ from 0 to 1 State	-15	0	15	mV
$R_{IT}$	Input Differential Impedance	90	100	110	Ohm
$R_{ON}$ (pull up)	Output Driver Impedance driving high	45	50	55	Ohm
$R_{ON}$ (pull down)	Output Driver Impedance driving low	45	50	55	Ohm
$C_{out}$	Output pad capacitance for devices rated above 800 MT/s.			3	pF
	Output pad capacitance for devices rated up to 800 MT/s.			5	pF
$C_{in}$	Input pad capacitance for devices rated above 800 MT/s.			2	pF



Input pad capacitance for devices rated up to 800 MT/s			5	pF
--	--	--	---	----

## 6.2.2 HyperTransport 推荐交流工作条件

表 6-3 HyperTransport 交流工作条件

Symbol	Parameter	Min.	Typ.	Max.	Unit
$V_{OD}$	Output Differential Voltage	400	600	820	mV
$\Delta V_{OD}$	Change in $V_{OD}$ from 0 to 1 State	-75		75	mV
$V_{OCM}$	Output Common Mode Voltage	440	600	780	mV
$\Delta V_{OCM}$	Change in V <sub>OCM</sub> from 0 to 1 State	-50		50	mV
$V_{ID}$	Input Differential Voltage	300	600	900	mV
$\Delta V_{ID}$	Change in $V_{ID}$ from 0 to 1 State	-125		125	mV
$V_{ICM}$	Input Common Mode Voltage	385	600	845	mV
$\Delta V_{ICM}$	Change in $V_{ICM}$ from 0 to 1 State	-100		100	mV
$T_R$	Input Rising Edge Rate	1.0		4.0	V/ns
$T_F$	Input Falling Edge Rate	1.0		4.0	V/ns

## 6.2.3 传输时序特性

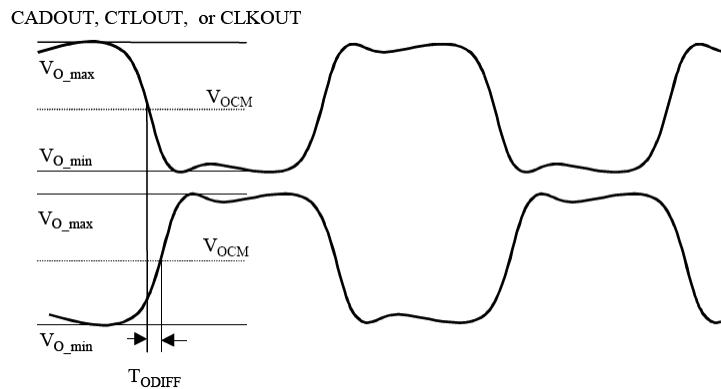


图 6.1 HyperTransport 总线  $T_{ODIFF}$  时序

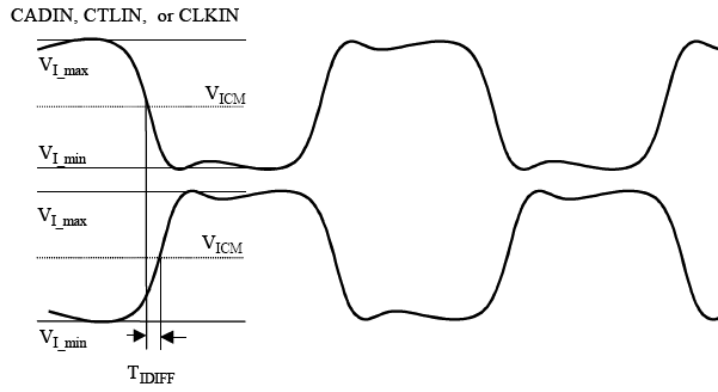


图 6.2 HyperTransport 总线  $T_{DIFF}$  时序

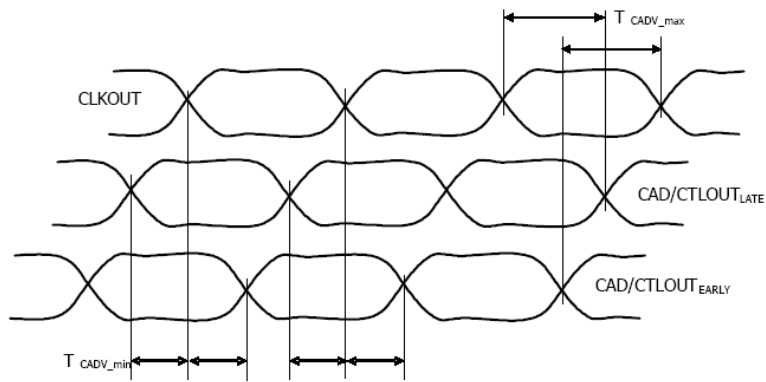


图 6.3 HyperTransport 总线  $T_{CADV}$  时序

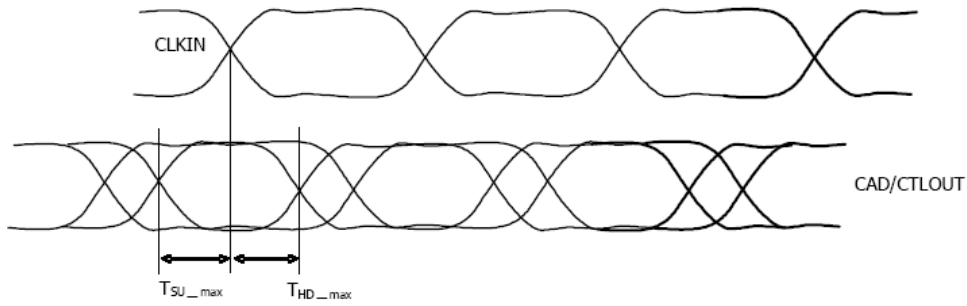


图 6.4 HyperTransport 总线  $T_{SU}$  和  $T_{HD}$  时序

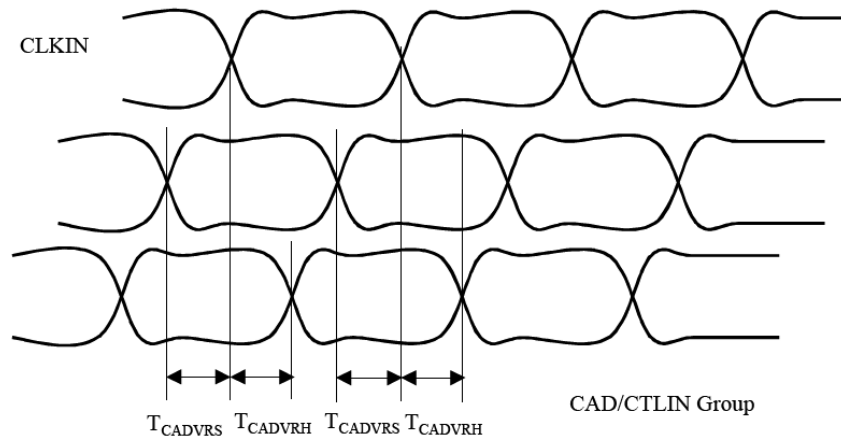


图 6.5 HyperTransport 总线  $T_{CADVRS}$  /  $T_{CADVRH}$  时序

表 6-4 HyperTransport 连接传输时序规范

Parameter	Description	Link Speed	Min.	Max.	Units
$T_{ODIFF}$	Output differential skew	400 MT/s 800 MT/s 1600 MT/s		70 70 60	ps ps ps
$T_{IDIFF}$	Input differential skew	400 MT/s 800 MT/s 1600 MT/s		90 90 65	ps ps ps
$T_{CADV}$	Transmitter output CAD/CTLOUT valid relative to CLKOUT	400 MT/s 800 MT/s 1600 MT/s	695 345 166	1805 905 459	ps ps Ps
$T_{CADVRS}$	Receiver input CADIN valid time to CLKIN	400 MT/s 800 MT/s 1600 MT/s	460 225 116		ps ps Ps
$T_{CADVRH}$	Receiver input CADIN valid time from CLKIN	400 MT/s 800 MT/s 1600 MT/s	460 225 116		ps ps Ps

$T_{SU}$	Receiver input setup time	400 MT/s 800 MT/s 1600 MT/s	0 0 0	250 175 110	ps ps Ps
$T_{HD}$	Receiver input hold time	400 MT/s 800 MT/s 1600 MT/s	0 0 0	250 175 110	ps ps Ps

## 6.3 DDR2 总线内存接口特性

### 6.3.1 推荐直流特性

表 6-5 推荐的直流工作条件(SSTL\_1.8)

Symbol	Parameter	Rating			Units
		Min.	Typ.	Max.	
VDDQ(MEM_VDDE_0/1)	Supply Voltage for Output	1.7	1.8	1.9	V
VREF(MEM_VREF_0/1)	Input Reference Voltage	0.49 x VDDQ	0.50 x VDDQ	0.51 x VDDQ	V
VTT	Termination Voltage	VREF - 0.04	VREF	VREF + 0.04	V

表 6-6 输入的直流逻辑电平

Symbol	Parameter	Min.	Max.	Units
V <sub>IH</sub> (dc)	DC input logic HIGH	VREF+0.125	VDDQ+0.3	V
V <sub>IL</sub> (dc)	DC input logic LOW	-0.3	VREF-0.125	V

表 6-7 输出直流电流驱动

Symbol	Parameter	SSTL_18	Units
I <sub>OH</sub> (dc)	Output Minimum Source DC Current	-13.4	mA
I <sub>OL</sub> (dc)	Output Minimum Sink DC Current	13.4	mA

### 6.3.2 推荐的交流特性

表 6-8 输入交流逻辑电平

Symbol	Parameter	DDR2-400, DDR2-533		DDR2-667, DDR2-800		Units
		Min.	Max.	Min.	Max.	

V <sub>IH</sub> (ac)	ac input logic HIGH	VREF+0.250	-	VREF+0.200	-	V
V <sub>IL</sub> (ac)	ac input logic LOW	-	VREF- 0.250		VREF- 0.200	V

表 6-9 差分的输入交流逻辑电平

Symbol	Parameter	Min.	Max.	Units
V <sub>ID</sub> (ac)	AC differential input voltage	0.5	VDDQ+0.6	V
V <sub>IX</sub> (ac)	AC differential crosspoint voltage	0.5 x VDDQ- 0.175	0.5 x VDDQ+0.175	V

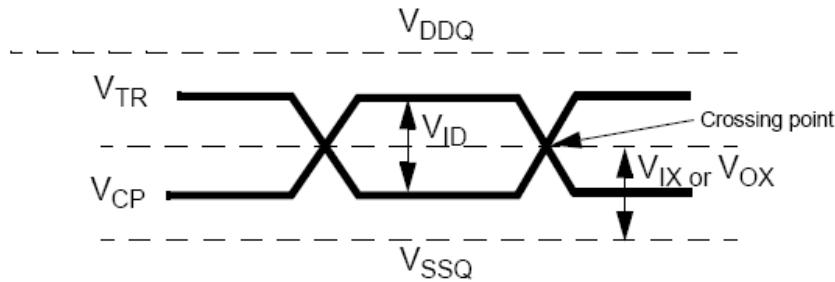


图 6.6 差分的信号电平

表 6-10 差分的交流输出参数

Symbol	Parameter	Min.	Max.	Units
V <sub>OX</sub> (ac)	AC differential crosspoint voltage	0.5 x VDDQ- 0.125	0.5 x VDDQ+0.125	V

### 6.3.3 电气交流时序特性

表 6-11 不同密度的器件刷新参数

Parameter	Symbol	256 Mb	512 Mb	1Gb	2Gb	4Gb	Units	
Refresh to active/Refresh command time	tRFC	75	105	127.5	195	327.5	ns	
Average periodic refresh interval	tREFI	0°C ≤ TCASE ≤ 85 °C	7.8	7.8	7.8	7.8	7.8	μs
		85 °C < TCASE ≤ 95 °C	3.9	3.9	3.9	3.9	3.9	μs

表 6-12 DDR2 内存标准速率分级

Speed bin CL- tRCD- tRP	DDR2-800C		DDR2-800D		DDR2-800E		DDR2-667C		DDR2-667D		Units
	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
	4-4-4		5-5-5		6-6-6		4-4-4		5-5-5		

tRCD	10	-	12.5	-	15	-	12	-	15	-	ns
tRP1	10	-	12.5	-	15	-	12	-	15	-	ns
tRC	55	-	57.5	-	60	-	57	-	60	-	ns
tRAS	45	70000	45	70000	45	70000	45	70000	45	70000	ns
tCK(avg) @CL=2	Optional		Optional		Optional		Optional		Optional		ns
tCK(avg) @CL=3	Optional		Optional		Optional		Optional		Optional		ns
tCK(avg) @CL=4	2.5	8	3.75	8	3.75	8	3	8	3.75	8	ns
tCK(avg) @CL=5	2.5	8	2.5	8	3	8	3	8	3	8	ns
tCK(avg) @CL=6	Optional		Optional		2.5	8	Optional		Optional		ns

表 6-13 DDR2-667 和 DDR2-800 时序参数

Parameter	Symbol	DDR2-667		DDR2-800		Units
		Min.	Max.	Min.	Max.	
Average clock period	tCK(avg)	3000	8000	2500	8000	ps
Average clock HIGH pulse width	tCH(avg)	0.48	0.52	0.48	0.52	tCK(av g)
Average clock LOW pulse width	tCL(avg)	0.48	0.52	0.48	0.52	tCK(av g)
Write command to DQS associated clock edge	WL	RL - 1		RL - 1		nCK
DQS latching rising transitions to associated clock edges	tDQSS	-0.25	0.25	-0.25	0.25	tCK(av g)
DQS falling edge to CK setup time	tDSS	0.2	x	0.2	x	tCK(av g)
DQS falling edge hold time from CK	tDSH	0.2	x	0.2	x	tCK(av g)
DQS input HIGH pulse width	tDQSH	0.35	x	0.35	x	tCK(av g)
DQS input LOW pulse width	tDQSL	0.35	x	0.35	x	tCK(av g)
Write preamble	tWPRE	0.35	x	0.35	x	tCK(av g)
Write postamble	tWPST	0.4	0.6	0.4	0.6	tCK(av g)
Address and control input setup time	tIS(base)	200	x	175	x	ps
Address and control input hold time	tIH(base)	275	x	250	x	ps
Control & Address input pulse width for each input	tIPW	0.6	x	0.6	x	tCK(av g)
DQ and DM input setup time	tDS(base)	100	x	50	x	ps

DQ and DM input hold time	tDH(base)	175	x	125	x	ps
DQ and DM input pulse width for each input	tDIPW	0.35	x	0.35	x	tCK(average)
DQ output access time from CK/CK	tAC	-450	450	-400	400	ps
DQS output access time from CK/CK	tDQSCK	-400	400	-350	350	ps
Data-out high-impedance time from CK/CK	tHZ	x	tAC, max	x	tAC, max	ps
DQS/DQS low-impedance time from CK/CK	tLZ(DQS)	tAC, min	tAC, max	tAC, min	tAC, max	ps
DQ low-impedance time from CK/CK	tLZ(DQ)	2 x tAC, min	tAC, max	2 x tAC, min	tAC, max	ps
DQS-DQ skew for DQS and associated DQ signals	tDQSQ	x	240	x	200	ps
CK half pulse width	tHP	Min( tCH (abs), tCL(abs) )	x	Min( tCH (abs), tCL(abs) )	x	ps
DQ hold skew factor	tQHS	X	340	x	300	ps
DQ/DQS output hold time from DQS	tQH	tHP - tQHS	x	tHP - tQHS	x	ps
Read preamble	tRPRE	0.9	1.1	0.9	1.1	tCK(average)
Read postamble	tRPST	0.4	0.6	0.4	0.6	tCK(average)
Activate to activate command period for 1KB page size products	tRRD	7.5	x	7.5	x	ns
Activate to activate command period for 2KB page size products	tRRD	10	x	10	x	ns
Four Activate Window for 1KB page size products	tFAW	37.5	x	35	x	ns
Four Activate Window for 2KB page size products	tFAW	50	x	45	x	ns
CAS to CAS command delay	tCCD	2	x	2	x	nCK
Write recovery time	tWR	15	x	15	x	ns
Auto precharge write recovery + precharge time	tDAL	WR + tnRP	x	WR + tnRP	x	nCK

Internal write to read command delay	tWTR	7.5	x	7.5	x	ns
Internal read to precharge command delay	tRTP	7.5	x	7.5	x	ns
CKE minimum pulse width (HIGH and LOW pulse width)	tCKE	3	x	3	x	nCK
Exit self refresh to a non-read command	tXSNR	tRFC + 10	x	tRFC + 10	x	ns
Exit self refresh to a read command	tXSRD	200	x	200	x	nCK
Exit precharge power down to any command	tXP	2	x	2	x	nCK
Exit active power down to read command	tXARD	2	x	2	x	nCK
Exit active power down to read command (slow exit, lower power)	tXARDS	7-AL	x	8-AL	x	nCK
ODT turn-on delay	tAOND	2	2	2	2	nCK
ODT turn-on	tAON	tAC, min	tAC, max + 0.7	tAC, min	tAC, max + 0.7	ns
ODT turn-on (Power-Down mode)	tAONPD	tAC, min + 2	2 x tCK(avg) + tAC, max + 1	tAC, min + 2	2 x tCK(avg) + tAC, max + 1	ns
ODT turn-off delay	tAOFD	2.5	2.5	2.5	2.5	nCK
ODT turn-off	tAOF	tAC, min	tAC, max + 0.6	tAC, min	tAC, max + 0.6	ns
ODT turn-off (Power-Down mode)	tAOFPD	tAC, min + 2	2.5 x tCK(avg) + tAC, max + 1	tAC, min + 2	2.5 x tCK(avg) + tAC, max + 1	ns
ODT to power down entry latency	tANPD	3	x	3	x	nCK
ODT Power Down Exit Latency	tAXPD	8		8		nCK
Mode register set command cycle time	tMRD	2	x	2	x	nCK
MRS command to ODT update delay	tMOD	0	12	0	12	ns
OCD drive mode output delay	tOIT	0	12	0	12	ns
Minimum time clocks remains ON after CKE asynchronously drops LOW	tDelay	tIS + tCK(avg) + tIH	X	tIS + tCK(avg) + tIH	x	ns



## 6.4 LPC 总线和其它引脚

### 6.4.1 LPC 总线

LPC 总线规范的直流和交流特性与 PCI V2.3 的规范类似，其信号推荐的上拉电阻见下表：

表 6-14 推荐的上拉电阻值

Signal Name	Pull-Up
LAD[3:0]	15k -100k ohm

### 6.4.2 EJTAG

表 6-15 EJTAG 的交流时序特性

Parameter		Symbol	Min.	Max.	Unit
EJTAG external clock frequency of operation		fJTG	0	33.3	MHz
EJTAG external clock cycle time		TJTG	30	-	ns
EJTAG external clock pulse width measured at 1.4 V		tJTKHKL	15	-	ns
EJTAG external clock rise and fall	times	tJTGR& tJTGF	0	2	ns
TRST assert time		tTRST	25	-	ns
Input setup times	Boundary-scan data TMS, TDI	tJTDVKH	4	-	ns
		tJTIVKH	0	-	
Input hold times	Boundary-scan data TMS, TDI	tJTDXKH	20	-	ns
		tJTIXKH	25	-	
Valid times	Boundary-scan data TDO	tJTKLDV	4	20	ns
		tJTKLOV	4	25	
Output hold times	Boundary-scan data TDO	tJTKLDX	-	-	ns
		tJTKLOX	-	-	
EJTAG external clock to output high	impedance: Boundary-scan data TDO	tJTKLDZ	3	19	ns
		tJTKLOZ	3	9	

## 6.5 参考时钟

### 6.5.1 HyperTransport 的时钟

表 6-16 发送端时钟的不确定性

Symbol	Description	400 Mb/s	600 Mb/s	800 Mb/s	1000 Mb/s	1200 Mb/s	1600 Mb/s	Unit
TPLLdc	2% duty cycle variation between opposing edges over 1 bit time	100	67	50	40	33	25	ps
TPLLjtr	Uncertainty in subsequent internal transmit clocks due to PLL variation between any 2 edges including that contributed by reference clock SSC techniques.	150	67	50	20	17	13	ps
TPLLerror	edges due PLL accumulated phase error ( $\leq 20$ ps/ns over 1 bit time) in the internal transmit clock Uncertainty in subsequent CADOUT	50	33	25	20	17	13	ps
TPLLsup	Uncertainty in subsequent internal transmit clocks due to temporal PLL power supply modulation (50 ps/ns)	125	83	63	50	42	31	ps
Tclkskew	Uncertainty in the CLKOUT relative to CADOUT caused by load variations between the 90 degree phase shifted clock relative to the 0 degree clock	20	20	20	10	10	10	ps

## 6.5.2 DDR2 内存的时钟

表 6-17 输入时钟抖动参数

Parameter	Symbol	DDR2-667		DDR2-800		Units
		Min.	Max.	Min.	Max.	
Clock period jitter	tJIT(per)	-125	125	-100	100	ps
Clock period jitter during DLL locking period	tJIT(per,lck)	-100	100	-80	80	ps
Cycle to cycle clock period jitter	tJIT(cc)	-250	250	-200	200	ps
Cycle to cycle clock period jitter during DLL locking period	tJIT(cc,lck)	-200	200	-160	160	ps
Cumulative error across 2 cycles	tERR(2per)	-175	175	-150	150	ps
Cumulative error across 3 cycles	tERR(3per)	-225	225	-175	175	ps
Cumulative error across 4 cycles	tERR(4per)	-250	250	-200	200	ps
Cumulative error across 5 cycles	tERR(5per)	-250	250	-200	200	ps
Cumulative error across n cycles, n = 6 ... 10, inclusive	tERR(6-10per)	-350	350	-300	300	ps

Cumulative error across n cycles, n = 11 ... 50, inclusive	tERR(11-50per)	-450	450	-450	450	ps
Duty cycle jitter	tJIT(duty)	- 125	125	-100	100	ps

### 6.5.3 LPC 时钟

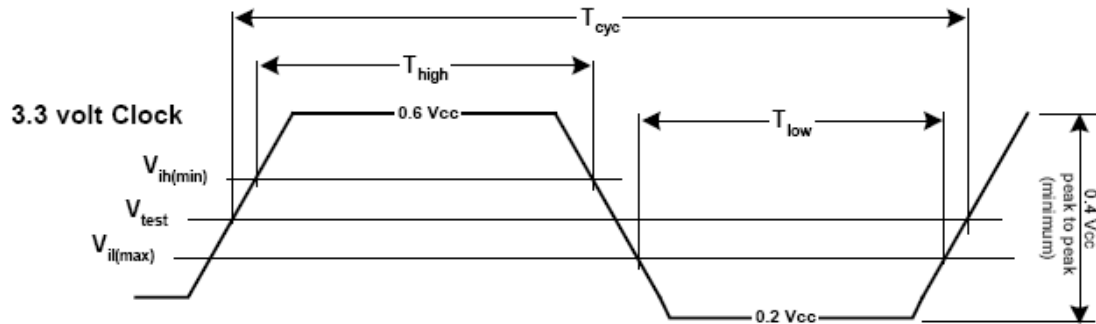


图 6.7 3.3V LPC 时钟波形

表 6-18 LPC 时钟参数

Sym	Parameter	33MHz		Unit
		Min.	Max.	
Tcyc	CLK Cycle Time	30	∞	ns
Thigh	CLK High Time	11		ns
Tlow	CLK Low Time	11		ns
-	CLK Slew Rate	1	4	V/ns
Spread Spectrum Requirements				
fmod	Modulation frequency			kHz
fspread	frequency spread			%

## 6.6 电源

### 6.6.1 电源工作条件

表 6-19 推荐的工作电源电压

Parameter	Description	Power Voltage			Max Current
		Min.	Typ.	Max.	
VDD	Chip core voltage	1.10V	1.15V	1.20V	12.8A
VDDE3V3	Chip IO voltage	3.135V	3.3V	3.465V	TBD
MEM_VDD_0/1	DDR2 ch0/1 core voltage	1.05V	1.1V	1.15V	TBD
MEM_VDDE_0/1	DDR2 ch0/1 IO voltage	1.7V	1.8V	1.9V	TBD

MEM_VREF_0/1	DDR2 ch0/1 reference voltage	0.882V	0.9V	0.918V	TBD
HT_VDD	HT core voltage	1.14V	1.2V	1.26V	TBD
HT_VDDE	HT IO voltage	1.7V	1.8V	1.9V	TBD
VDDESB	HT Side band voltage, can be config by SYS_CONFIG bit	1.7V	1.8V	1.9V	TBD
		2.4V	2.5V	2.6V	TBD
		3.135V	3.3V	3.465V	TBD
CORE_PLL_AVDD	Core PLL analog voltage	2.4V	2.5V	2.6V	TBD
CORE_PLL_DVDD	Core PLL digital voltage	1.1V	1.2V	1.3V	TBD
DDR_PLL_AVDD	DDR2 PLL analog voltage	2.4V	2.5V	2.6V	TBD
DDR_PLL_DVDD	DDR2 PLL digital voltage	1.1V	1.2V	1.3V	TBD
HT1_PLL_AVDD	HT1 PLL analog voltage	1.7V	1.8V	1.9V	TBD
HT1_PLL_DVDD	HT1 PLL digital voltage	1.1V	1.2V	1.3V	TBD

## 7 热特性

### 7.1 热参数

表 7-1 龙芯 2G 的热特性参数和推荐的最大值

Parameter	Value
TDP Max Power	20 Watts
$T_A$	25 °C
$T_J$	125 °C

表 7-2 龙芯 2G 的热阻参数

Heat sink	$V_{air}$ (m/s)	$\theta_{JA}$ (°C/W)	$\psi_{JT}$ (°C/W)	$\theta_{JC}$ (°C/W)
w/o	0	8.1	0.18	0.31
	1	6.2	0.18	-
	2	5.3	0.18	-
w/	0	3.5	0.24	-
	1	1.9	0.26	-
	2	1.4	0.27-	-

### 7.2 焊接温度

表 7-3 有铅工艺的封装回流最大温度表

Package Thickness	Volume mm <sup>3</sup> < 350	Volume mm <sup>3</sup> ≥ 350
-------------------	------------------------------	------------------------------

<2.5 mm	240 +0/-5 °C	225 +0/-5°C
≥ 2.5 mm	225 +0/-5°C	225 +0/-5°C

表 7-4 回流焊接温度分类表

Profile Feature		Sn-Pb Eutectic Assembly
Average ramp-up rate (T <sub>smax</sub> to T <sub>p</sub> )		3 °C/second max.
Preheat	Temperature Min (T <sub>smin</sub> )	100 °C
	Temperature Max (T <sub>smax</sub> )	150 °C
	Time (T <sub>smin</sub> to T <sub>smax</sub> ) (t <sub>s</sub> )	60-120 seconds
Time maintained above	Temperature (T <sub>L</sub> )	183 °C
	Time (t <sub>L</sub> )	60-150 seconds
Peak Temperature (T <sub>p</sub> )		225 °C
Time within 5 °C of actual Peak Temperature (t <sub>p</sub> ) <sup>2</sup>		10-30 seconds
Ramp-down Rate		6 °C/second max.
Time 25 °C to Peak Temperature		6 minutes max.

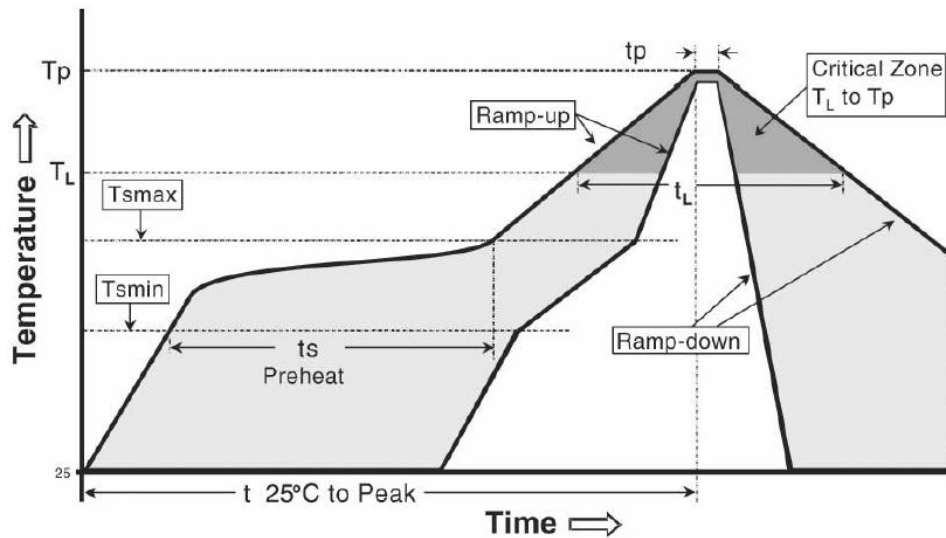


图 7.1 焊接回流曲线

## 8 引脚排列和封装

### 8.1 按引脚排列的封装引脚

表 8-1 按引脚排列的封装引脚表

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
A01	HT_VDDE_01	AA06	MEM_VDDE_01	AC28	MC0_DDR2_A05
A02	HT_VDDE_12	AA07	MEM_VDDE_02	AC29	MEM_VDDE_10
A03	HT1_TX_CADn03	AA24	MEM_VDDE_03	AC30	MC0_DDR2_BA2
A04	HT_VDDE_14	AA25	MEM_VDDE_04	AD01	MC1_DDR2_CLKP3
A05	HT_VDDE_15	AA26	MC0_DDR2_A12	AD02	MC1_DDR2_CLKN3
A06	HT1_TX_CADn11	AA27	MC0_DDR2_A14	AD03	MC1_DDR2_A04
A07	HT1_TX_CLKp0	AA28	MC0_DDR2_A11	AD04	MC1_DDR2_A01
A08	HT1_TX_CLKn0	AA29	MC0_DDR2_CKE1	AD05	MC1_DDR2_BA1
A09	HT1_TX_CADp05	AA30	MC0_DDR2_CKE0	AD06	MC1_DDR2_A10
A10	HT1_TX_CADn05	AB01	MC1_DDR2_CKE3	AD07	MEM_VREF_05
A11	HT1_TX_CADp07	AB02	MC1_DDR2_CKE2	AD08	MEM_GNDE_27
A12	HT1_TX_CADn07	AB03	MC1_DDR2_A08	AD09	MC1_DDR2_DQ52
A13	HT1CLKp	AB04	MEM_VDDE_05	AD10	MEM_GNDE_28
A14	HT1_RX_CTLn0	AB05	MC1_DDR2_A09	AD11	MC1_DDR2_DQ61
A15	HT1_RX_CTLp0	AB06	MC1_DDR2_A07	AD12	MEM_VREF_06
A16	HT1_RX_CADn06	AB07	MC1_DDR2_A06	AD13	VDDE3V3_25
A17	HT1_RX_CADp06	AB24	MC0_DDR2_A06	AD14	GND_64
A18	HT1_RX_CADn04	AB25	MC0_DDR2_A07	AD15	VDD_37
A19	HT1_RX_CADp04	AB26	MC0_DDR2_A09	AD16	GND_65
A20	HT1_RX_CADn03	AB27	MEM_VDDE_06	AD17	VDD_38
A21	HT1_RX_CADp03	AB28	MC0_DDR2_A08	AD18	GND_66
A22	HT1_RX_CADn01	AB29	MC0_DDR2_CKE2	AD19	MEM_VREF_07
A23	HT1_RX_CADp01	AB30	MC0_DDR2_CKE3	AD20	MC0_DDR2_DQ61
A24	HT1_LO_RSTN	AC01	MC1_DDR2_BA2	AD21	MEM_GNDE_29
A25	SYSCLK	AC02	MEM_VDDE_07	AD22	MC0_DDR2_DQ52
A26	HTCLK	AC03	MC1_DDR2_A05	AD23	MEM_GNDE_30
A27	INTN2	AC04	MC1_DDR2_A03	AD24	MEM_VREF_08
A28	TDO	AC05	MC1_DDR2_A02	AD25	MC0_DDR2_A10
A29	TRST	AC06	MC1_DDR2_A00	AD26	MC0_DDR2_BA1
AA01	MC1_DDR2_CKE0	AC07	MEM_VDDE_08	AD27	MC0_DDR2_A01
AA02	MC1_DDR2_CKE1	AC24	MEM_VDDE_09	AD28	MC0_DDR2_A04
AA03	MC1_DDR2_A11	AC25	MC0_DDR2_A00	AD29	MC0_DDR2_CLKN3
AA04	MC1_DDR2_A14	AC26	MC0_DDR2_A02	AD30	MC0_DDR2_CLKP3
AA05	MC1_DDR2_A12	AC27	MC0_DDR2_A03	AE01	MC1_DDR2_CLKP2

龙芯中科技术有限公司

Loongson Technology Corporation Limited

表 8-2 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
AE02	MC1_DDR2_CLKN2	AF06	MC1_DDR2_DQ40	AG10	MC1_DDR2_DQ54
AE03	MC1_DDR2_SCSN0	AF07	MC1_DDR2_DQ46	AG11	MEM_GNDE_37
AE04	MC1_DDR2_A13	AF08	MC1_DDR2_DQ43	AG12	MC1_DDR2_DQ58
AE05	MC1_DDR2_BA0	AF09	MC1_DDR2_DQ53	AG13	RESERVED
AE06	MEM_VDDE_11	AF10	MC1_DDR2_DQ49	AG14	RESERVED
AE07	MC1_DDR2_DQ41	AF11	MC1_DDR2_DQ60	AG15	RESERVED
AE08	MEM_GNDE_31	AF12	MC1_DDR2_DQ59	AG16	VDD_42
AE09	MC1_DDR2_DQ48	AF13	RESERVED	AG17	GND_71
AE10	MEM_GNDE_32	AF14	RESERVED	AG18	VDD_43
AE11	MC1_DDR2_DQ50	AF15	RESERVED	AG19	MC0_DDR2_DQ58
AE12	MEM_VREF_09	AF16	GND_69	AG20	MEM_GNDE_38
AE13	RESERVED	AF17	VDD_41	AG21	MC0_DDR2_DQ54
AE14	VDDE3V3_26	AF18	GND_70	AG22	MEM_GNDE_36
AE15	GND_67	AF19	MC0_DDR2_DQ59	AG23	MC0_DDR2_DQ47
AE16	VDD_39	AF20	MC0_DDR2_DQ60	AG24	MC0_DDR2_DQ42
AE17	GND_68	AF21	MC0_DDR2_DQ49	AG25	MC0_DDR2_DQM5
AE18	VDD_40	AF22	MC0_DDR2_DQ53	AG26	MC0_DDR2_DQ36
AE19	MEM_VREF_10	AF23	MC0_DDR2_DQ43	AG27	MEM_VDDE_16
AE20	MC0_DDR2_DQ50	AF24	MC0_DDR2_DQ46	AG28	MC0_DDR2_ODT3
AE21	MEM_GNDE_33	AF25	MC0_DDR2_DQ40	AG29	MC0_DDR2_ODT0
AE22	MC0_DDR2_DQ48	AF26	MEM_VDDE_14	AG30	MC0_DDR2_WEN
AE23	MEM_GNDE_34	AF27	MC0_DDR2_SCSN1	AH01	MC1_DDR2_ODT2
AE24	MC0_DDR2_DQ41	AF28	MC0_DDR2_CASN	AH02	MC1_DDR2_SCSN3
AE25	MEM_VDDE_12	AF29	MC0_DDR2_SCSN2	AH03	MEM_VDDE_17
AE26	MC0_DDR2_BA0	AF30	MC0_DDR2_RASN	AH04	MC1_DDR2_DQM4
AE27	MC0_DDR2_A13	AG01	MC1_DDR2_WEN	AH05	MC1_DDR2_DQ38
AE28	MC0_DDR2_SCSN0	AG02	MC1_DDR2_ODT0	AH06	MC1_DDR2_DQ35
AE29	MC0_DDR2_CLKN2	AG03	MC1_DDR2_ODT3	AH07	MC1_DDR2_DQSN5
AE30	MC0_DDR2_CLKP2	AG04	MEM_VDDE_15	AH08	MC1_DDR2_CLKN5
AF01	MC1_DDR2_RASN	AG05	MC1_DDR2_DQ36	AH09	MC1_DDR2_DQSP6
AF02	MC1_DDR2_SCSN2	AG06	MC1_DDR2_DQM5	AH10	MC1_DDR2_DQ56
AF03	MC1_DDR2_CASN	AG07	MC1_DDR2_DQ42	AH11	MC1_DDR2_DQ63
AF04	MC1_DDR2_SCSN1	AG08	MC1_DDR2_DQ47	AH12	MC1_DDR2_DQSN7

AF05	MEM_VDDE_13	AG09	MEM_GNDE_35	AH13	RESSERVED
------	-------------	------	-------------	------	-----------



表 8-3 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
AH14	DDR_PLL_GND	AJ18	VDD_46	AK23	MC0_DDR2_CLKN4
AH15	DDR_PLL_GNDE	AJ19	MC0_DDR2_DQSP7	AK24	MC0_DDR2_CLKP4
AH16	GND_72	AJ20	MC0_DDR2_DQ57	AK25	MC0_DDR2_DQ45
AH17	VDD_44	AJ21	MC0_DDR2_DQ51	AK26	MC0_DDR2_DQ34
AH18	GND_73	AJ22	MC0_DDR2_DQSN6	AK27	MC0_DDR2_DQSP4
AH19	MC0_DDR2_DQSN7	AJ23	MC0_DDR2_CLKP5	AK28	MC0_DDR2_DQ32
AH20	MC0_DDR2_DQ63	AJ24	MC0_DDR2_DQSP5	AK29	MC0_DDR2_DQ37
AH21	MC0_DDR2_DQ56	AJ25	MC0_DDR2_DQ44	B01	HT1_TX_CADp02
AH22	MC0_DDR2_DQSP6	AJ26	MC0_DDR2_DQ39	B02	HT1_TX_CADn02
AH23	MC0_DDR2_CLKN5	AJ27	MC0_DDR2_DQSN4	B03	HT1_TX_CADp03
AH24	MC0_DDR2_DQSN5	AJ28	MC0_DDR2_DQ33	B04	HT1_TX_CADn10
AH25	MC0_DDR2_DQ35	AJ29	MEM_VDDE_20	B05	HT1_TX_CADp10
AH26	MC0_DDR2_DQ38	AJ30	MC0_DDR2_ODT1	B06	HT1_TX_CADp11
AH27	MC0_DDR2_DQM4	AK02	MC1_DDR2_DQ37	B07	HT_VDDE_16
AH28	MEM_VDDE_18	AK03	MC1_DDR2_DQ32	B08	HT1_TX_CADp04
AH29	MC0_DDR2_SCSN3	AK04	MC1_DDR2_DQSP4	B09	HT_VDDE_17
AH30	MC0_DDR2_ODT2	AK05	MC1_DDR2_DQ34	B10	HT1_TX_CADp06
AJ01	MC1_DDR2_ODT1	AK06	MC1_DDR2_DQ45	B11	HT_VDDE_18
AJ02	MEM_VDDE_19	AK07	MC1_DDR2_CLKP4	B12	HT1_TX_CTLp0
AJ03	MC1_DDR2_DQ33	AK08	MC1_DDR2_CLKN4	B13	HT1CLKn
AJ04	MC1_DDR2_DQSN4	AK09	MC1_DDR2_DQM6	B14	HT_VDDE_19
AJ05	MC1_DDR2_DQ39	AK10	MC1_DDR2_DQ55	B15	HT1_RX_CADn07
AJ06	MC1_DDR2_DQ44	AK11	MC1_DDR2_DQM7	B16	HT_VDDE_20
AJ07	MC1_DDR2_DQSP5	AK12	MC1_DDR2_DQ62	B17	HT1_RX_CADn05
AJ08	MC1_DDR2_CLKP5	AK13	LPC_RESETN	B18	HT_VDDE_02
AJ09	MC1_DDR2_DQSN6	AK14	LPC_CLK	B19	HT1_RX_CLKn0
AJ10	MC1_DDR2_DQ51	AK15	MEMCLK	B20	HT_VDDE_03
AJ11	MC1_DDR2_DQ57	AK16	GND_75	B21	HT1_RX_CADn02
AJ12	MC1_DDR2_DQSP7	AK17	VDD_47	B22	HT_VDDE_04
AJ13	RESERVED	AK18	GND_76	B23	HT1_RX_CADn00
AJ14	DDR_PLL_DVDD	AK19	MC0_DDR2_DQ62	B24	HT1_LO_HOSTMODE
AJ15	DDR_PLL_AVDD	AK20	MC0_DDR2_DQM7	B25	SYSRESETN
AJ16	VDD_45	AK21	MC0_DDR2_DQ55	B26	SPI_SCK
AJ17	GND_74	AK22	MC0_DDR2_DQM6	B27	INTN3

表 8-4 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
B28	INTN0	D02	HT_GNDE_14	E06	RESERVED
B29	TMS	D03	HT_GNDE_15	E07	HT1_TX_CLKp1
B30	TDI	D04	HT1_TX_CADn08	E08	HT_GNDE_05
C01	HT1_TX_CADn00	D05	HT1_TX_CADp08	E09	HT1_TX_CADp13
C02	HT1_TX_CADp01	D06	HT1_TX_CADp09	E10	HT_GNDE_06
C03	HT1_TX_CADn01	D07	HT1_TX_CLKn1	E11	HT1_TX_CADp15
C04	HT_GNDE_01	D08	HT_GNDE_16	E12	HT_GNDE_07
C05	HT_GNDE_12	D09	HT1_TX_CADn13	E13	HT1_PLL_DVDD
C06	HT1_TX_CADn09	D10	HT_GNDE_17	E14	HT1_RX_CTLn1
C07	HT_VDDE_05	D11	HT1_TX_CADn15	E15	HT_GNDE_08
C08	HT1_TX_CADn04	D12	HT_GNDE_18	E16	HT1_RX_CADn14
C09	HT_VDDE_06	D13	HT1_PLL_AGND	E17	HT_GNDE_09
C10	HT1_TX_CADn06	D14	HT1_RX_CTLp1	E18	HT1_RX_CADn12
C11	HT_VDDE_07	D15	HT_GNDE_19	E19	HT_GNDE_10
C12	HT1_TX_CTLn0	D16	HT1_RX_CADp14	E20	HT1_RX_CADn11
C13	HT1_PLL_AVDD	D17	HT_GNDE_20	E21	HT_GNDE_11
C14	HT_VDDE_08	D18	HT1_RX_CADp12	E22	HT1_RX_CADn09
C15	HT1_RX_CADp07	D19	HT_GNDE_02	E23	HT_GNDE_13
C16	HT_VDDE_09	D20	HT1_RX_CADp11	E24	HT1_LO_POWEROK
C17	HT1_RX_CADp05	D21	HT_GNDE_03	E25	VDDESB_02
C18	HT_VDDE_10	D22	HT1_RX_CADp09	E26	DOTEST
C19	HT1_RX_CLKp0	D23	HT_GNDE_04	E27	GND_05
C20	HT_VDDE_11	D24	VDDESB_01	E28	VDDE3V3_02
C21	HT1_RX_CADp02	D25	CORE_PLL_GNDE	E29	EJTAG_TDO
C22	HT_VDDE_13	D26	SPI_SDI	E30	EJTAG_TRST
C23	HT1_RX_CADp00	D27	TESTCLK	F01	UART0_RXD
C24	HT1_HI_HOSTMODE	D28	GND_02	F02	UART0_TXD
C25	CORE_PLL_AVDD	D29	VDDE3V3_01	F03	SYS_CONFIG7
C26	SPI_SDO	D30	GND_03	F04	RESERVED
C27	NMIN	E01	SYS_CONFIG0	F05	GND_06
C28	INTN1	E02	RESERVED	F06	RESERVED
C29	GND_01	E03	GND_04	F07	HT1_TX_CADp12
C30	TCK	E04	RESERVED	F08	HT1_TX_CADn12
D01	HT1_TX_CADp00	E05	RESERVED	F09	HT1_TX_CADp14

表 8-5 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
F10	HT1_TX_CADn14	G14	HT_GND_03	J04	UART1_DCD
F11	HT1_TX_CTLn1	G15	HT_GND_04	J05	UART1_DTR
F12	HT1_TX_CTLp1	G16	HT_VDD_5	J06	UART1_RI
F13	HT1_PLL_DGND	G17	HT_VDD_6	J07	GND_11
F14	HT1_RX_CADn15	G18	HT_GND_05	J24	VDDE3V3_08
F15	HT1_RX_CADp15	G19	HT_GND_06	J25	VDDE3V3_09
F16	HT1_RX_CADn13	G20	HT_VDD_7	J26	GPI006
F17	HT1_RX_CADp13	G21	HT_VDD_8	J27	GPI005
F18	HT1_RX_CLKp1	G22	HT_GND_07	J28	GPI004
F19	HT1_RX_CLKn1	G23	HT_GND_08	J29	GPI003
F20	HT1_RX_CADn10	G24	HT1_LO_LDT_STOPN	J30	GPI002
F21	HT1_RX_CADp10	G25	CORE_PLL_GND	K01	CLKSEL02
F22	HT1_RX_CADn08	G26	VDDE3V3_05	K02	CLKSEL03
F23	HT1_RX_CADp08	G27	GPI015	K03	CLKSEL04
F24	HT1_LO_LDT_REQN	G28	GPI014	K04	CLKSEL10
F25	CORE_PLL_DVDD	G29	GPI013	K05	VDDE3V3_10
F26	GND_07	G30	GPI012	K06	RESERVED
F27	VDDE3V3_03	H01	UART0_RI	K07	RESERVED
F28	EJTAG_TMS	H02	UART0_DTR	K24	GND_12
F29	EJTAG_TDI	H03	UART0_DCD	K25	GND_13
F30	EJTAG_TCK	H04	UART1_DSR	K26	LPC_ROM8MBITS
G01	UART0_RTS	H05	VDDE3V3_06	K27	LPC_SERIRQ
G02	UART0_CTS	H06	UART1_CTS	K28	LPC_LFRAMEN
G03	VDDE3V3_04	H07	UART1_RTS	K29	GPI001
G04	UART0_DSR	H24	GND_09	K30	GPI000
G05	UART1_TXD	H25	GND_10	L01	CLKSEL14
G06	UART1_RXD	H26	GPI007	L02	CLKSEL13
G07	GND_08	H27	GPI008	L03	CLKSEL12
G08	HT_VDD_1	H28	GPI009	L04	CLKSEL11
G09	HT_VDD_2	H29	GPI010	L05	RESERVED
G10	HT_GND_01	H30	GPI011	L06	MEM_VREF_01
G11	HT_GND_02	J01	CLKSEL00	L07	MEM_VREF_02
G12	HT_VDD_3	J02	CLKSEL01	L11	GND_14
G13	HT_VDD_4	J03	VDDE3V3_07	L12	VDDE3V3_11

表 8-6 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
L13	GND_15	M26	MC0_DDR2_DQ05	P06	MC1_DDR2_DQ13
L14	VDDE3V3_12	M27	MEM_GNDE_02	P07	MC1_DDR2_DQ12
L15	GND_16	M28	MC0_DDR2_DQSN0	P11	VDDE3V3_21
L16	VDDE3V3_13	M29	MC0_DDR2_DQSP0	P12	GND_29
L17	GND_17	M30	MC0_DDR2_DQ06	P13	VDD_06
L18	VDDE3V3_14	N01	MC1_DDR2_DQ03	P14	GND_30
L19	GND_18	N02	MC1_DDR2_DQ02	P15	VDD_07
L20	VDDE3V3_15	N03	MC1_DDR2_DQ07	P16	GND_31
L24	MEM_VREF_03	N04	MC1_DDR2_DQM0	P17	VDD_08
L25	MEM_VREF_04	N05	MC1_DDR2_DQ01	P18	GND_32
L26	LPC_ROMINTEL	N06	MEM_GNDE_03	P19	VDD_09
L27	LPC_LAD3	N07	MEM_GNDE_04	P20	GND_33
L28	LPC_LAD2	N11	GND_24	P24	MC0_DDR2_DQ12
L29	LPC_LAD1	N12	VDD_01	P25	MC0_DDR2_DQ13
L30	LPC_LAD0	N13	GND_25	P26	MC0_DDR2_DQ08
M01	MC1_DDR2_DQ06	N14	VDD_02	P27	MEM_GNDE_08
M02	MC1_DDR2_DQSP0	N15	GND_26	P28	MC0_DDR2_DQSN1
M03	MC1_DDR2_DQSN0	N16	VDD_03	P29	MC0_DDR2_DQSP1
M04	MEM_GNDE_01	N17	GND_27	P30	MC0_DDR2_DQ15
M05	MC1_DDR2_DQ05	N18	VDD_04	R01	MC1_DDR2_CLKP1
M06	MC1_DDR2_DQ04	N19	GND_28	R02	MC1_DDR2_DQ10
M07	MC1_DDR2_DQ00	N20	VDD_05	R03	MC1_DDR2_DQ14
M11	VDDE3V3_16	N24	MEM_GNDE_05	R04	MC1_DDR2_DQM1
M12	GND_19	N25	MEM_GNDE_06	R05	MC1_DDR2_DQ09
M13	VDDE3V3_17	N26	MC0_DDR2_DQ01	R06	MEM_GNDE_09
M14	GND_20	N27	MC0_DDR2_DQM0	R07	MEM_GNDE_10
M15	VDDE3V3_18	N28	MC0_DDR2_DQ07	R11	GND_34
M16	GND_21	N29	MC0_DDR2_DQ02	R12	VDD_10
M17	VDDE3V3_19	N30	MC0_DDR2_DQ03	R13	GND_35
M18	GND_22	P01	MC1_DDR2_DQ15	R14	VDD_11
M19	VDDE3V3_20	P02	MC1_DDR2_DQSP1	R15	GND_36
M20	GND_23	P03	MC1_DDR2_DQSN1	R16	VDD_12
M24	MC0_DDR2_DQ00	P04	MEM_GNDE_07	R17	GND_37
M25	MC0_DDR2_DQ04	P05	MC1_DDR2_DQ08	R18	VDD_13

表 8-7 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
R19	GND_38	U02	MC1_DDR2_DQSN2	V15	VDD_25
R20	VDD_14	U03	MC1_DDR2_DQSP2	V16	GND_51
R24	MEM_GNDE_11	U04	MC1_DDR2_DQ17	V17	VDD_26
R25	MEM_GNDE_12	U05	MC1_DDR2_DQ16	V18	GND_52
R26	MC0_DDR2_DQ09	U06	MEM_GNDE_15	V19	VDD_27
R27	MC0_DDR2_DQM1	U07	MEM_GNDE_16	V20	GND_53
R28	MC0_DDR2_DQ14	U11	GND_44	V24	MC0_DDR2_DQM8
R29	MC0_DDR2_DQ10	U12	VDD_19	V25	MC0_DDR2_DQ19
R30	MC0_DDR2_CLKP1	U13	GND_45	V26	MC0_DDR2_DQM3
T01	MC1_DDR2_CLKN1	U14	VDD_20	V27	MEM_GNDE_20
T02	MC1_DDR2_CLKN0	U15	GND_46	V28	MC0_DDR2_DQ22
T03	MC1_DDR2_CLKP0	U16	VDD_21	V29	MC0_DDR2_DQ18
T04	MEM_GNDE_13	U17	GND_47	V30	MC0_DDR2_DQ23
T05	MC1_DDR2_DQ21	U18	VDD_22	W01	MC1_DDR2_DQ29
T06	MC1_DDR2_DQ20	U19	GND_48	W02	MC1_DDR2_DQ25
T07	MC1_DDR2_DQ11	U20	VDD_23	W03	MC1_DDR2_DQ24
T11	VDDE3V3_22	U24	MEM_GNDE_17	W04	MC1_DDR2_DQ31
T12	GND_39	U25	MEM_GNDE_18	W05	MC1_DDR2_DQ30
T13	VDD_15	U26	MC0_DDR2_DQ16	W06	MEM_GNDE_21
T14	GND_40	U27	MC0_DDR2_DQ17	W07	MEM_GNDE_22
T15	VDD_16	U28	MC0_DDR2_DQSP2	W11	GND_54
T16	GND_41	U29	MC0_DDR2_DQSN2	W12	VDD_28
T17	VDD_17	U30	MC0_DDR2_DQM2	W13	GND_55
T18	GND_42	V01	MC1_DDR2_DQ23	W14	VDD_29
T19	VDD_18	V02	MC1_DDR2_DQ18	W15	GND_56
T20	GND_43	V03	MC1_DDR2_DQ22	W16	VDD_30
T24	MC0_DDR2_DQ11	V04	MEM_GNDE_19	W17	GND_57
T25	MC0_DDR2_DQ20	V05	MC1_DDR2_DQM3	W18	VDD_31
T26	MC0_DDR2_DQ21	V06	MC1_DDR2_DQ19	W19	GND_58
T27	MEM_GNDE_14	V07	MC1_DDR2_DQM8	W20	VDD_32
T28	MC0_DDR2_CLKP0	V11	VDDE3V3_23	W24	MEM_GNDE_23
T29	MC0_DDR2_CLKN0	V12	GND_49	W25	MEM_GNDE_24
T30	MC0_DDR2_CLKN1	V13	VDD_24	W26	MC0_DDR2_DQ30
U01	MC1_DDR2_DQM2	V14	GND_50	W27	MC0_DDR2_DQ31

表 8-8 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
W28	MC0_DDR2_DQ24	Y07	MC1_DDR2_RESETN	Y19	VDD_36
W29	MC0_DDR2_DQ25	Y11	VDDE3V3_24	Y20	GND_63
W30	MC0_DDR2_DQ29	Y12	GND_59	Y24	MC0_DDR2_RESETN
Y01	MC1_DDR2_DQ28	Y13	VDD_33	Y25	MC0_DDR2_DQ26
Y02	MC1_DDR2_DQSN3	Y14	GND_60	Y26	MC0_DDR2_DQ27
Y03	MC1_DDR2_DQSP3	Y15	VDD_34	Y27	MEM_GNDE_26
Y04	MEM_GNDE_25	Y16	GND_61	Y28	MC0_DDR2_DQSP3
Y05	MC1_DDR2_DQ27	Y17	VDD_35	Y29	MC0_DDR2_DQSN3
Y06	MC1_DDR2_DQ26	Y18	GND_62	Y30	MC0_DDR2_DQ28

## 8.2 FCBGA 引脚顶层排列

	1	2	3	4	5	6	7
A	HT_VDDE	HT_VDDE	HT1_TX_CADn03	HT_VDDE	HT_VDDE	HT1_TX_CADn11	HT1_TX_CLKp0
B	HT1_TX_CADp02	HT1_TX_CADn02	HT1_TX_CADp03	HT1_TX_CADn10	HT1_TX_CADp10	HT1_TX_CADp11	HT_VDDE
C	HT1_TX_CADn00	HT1_TX_CADp01	HT1_TX_CADn01	HT_GNDE	HT_GNDE	HT1_TX_CADn09	HT_VDDE
D	HT1_TX_CADp00	HT_GNDE	HT_GNDE	HT1_TX_CADn08	HT1_TX_CADp08	HT1_TX_CADp09	HT1_TX_CLKn1
E	SYS_CONFIG0	RESERVED	GND	RESERVED	RESERVED	RESERVED	HT1_TX_CLKp1
F	UART0_RXD	UART0_TXD	SYS_CONFIG7	RESERVED	GND	RESERVED	HT1_TX_CADp12
G	UART0_RTS	UART0_CTS	VDDE3V3	UART0_DSR	UART1_TXD	UART1_RXD	GND
H	UART0_RI	UART0_DTR	UART0_DCD	UART1_DSR	VDDE3V3	UART1_CTS	UART1_RTS
J	CLKSEL00	CLKSEL01	VDDE3V3	UART1_DCD	UART1_DTR	UART1_RI	GND
K	CLKSEL02	CLKSEL03	CLKSEL04	CLKSEL10	VDDE3V3	NODE_ID0	NODE_ID1
L	CLKSEL14	CLKSEL13	CLKSEL12	CLKSEL11	ICCC_EN	MEM_VREF	MEM_VREF
M	MC1_DDR2_DQ06	MC1_DDR2_DQSP0	MC1_DDR2_DQSN0	MEM_GNDE	MC1_DDR2_DQ05	MC1_DDR2_DQ04	MC1_DDR2_DQ00
N	MC1_DDR2_DQ03	MC1_DDR2_DQ02	MC1_DDR2_DQ07	MC1_DDR2_DQM0	MC1_DDR2_DQ01	MEM_GNDE	MEM_GNDE
P	MC1_DDR2_DQ15	MC1_DDR2_DQSP1	MC1_DDR2_DQSN1	MEM_GNDE	MC1_DDR2_DQ08	MC1_DDR2_DQ13	MC1_DDR2_DQ12
R	MC1_DDR2_CLKP1	MC1_DDR2_DQ10	MC1_DDR2_DQ14	MC1_DDR2_DQM1	MC1_DDR2_DQ09	MEM_GNDE	MEM_GNDE
T	MC1_DDR2_CLKN1	MC1_DDR2_CLKN0	MC1_DDR2_CLKP0	MEM_GNDE	MC1_DDR2_DQ21	MC1_DDR2_DQ20	MC1_DDR2_DQ11
U	MC1_DDR2_DQM2	MC1_DDR2_DQSN2	MC1_DDR2_DQSP2	MC1_DDR2_DQ17	MC1_DDR2_DQ16	MEM_GNDE	MEM_GNDE
V	MC1_DDR2_DQ23	MC1_DDR2_DQ18	MC1_DDR2_DQ22	MEM_GNDE	MC1_DDR2_DQM3	MC1_DDR2_DQ19	MC1_DDR2_DQM8
W	MC1_DDR2_DQ29	MC1_DDR2_DQ25	MC1_DDR2_DQ24	MC1_DDR2_DQ31	MC1_DDR2_DQ30	MEM_GNDE	MEM_GNDE
Y	MC1_DDR2_DQ28	MC1_DDR2_DQSN3	MC1_DDR2_DQSP3	MEM_GNDE	MC1_DDR2_DQ27	MC1_DDR2_DQ26	MC1_DDR2_RESETN
AA	MC1_DDR2_CKE0	MC1_DDR2_CKE1	MC1_DDR2_A11	MC1_DDR2_A14	MC1_DDR2_A12	MEM_VDDE	MEM_VDDE
AB	MC1_DDR2_CKE3	MC1_DDR2_CKE2	MC1_DDR2_A08	MEM_VDDE	MC1_DDR2_A09	MC1_DDR2_A07	MC1_DDR2_A06
AC	MC1_DDR2_BA2	MEM_VDDE	MC1_DDR2_A05	MC1_DDR2_A03	MC1_DDR2_A02	MC1_DDR2_A00	MEM_VDDE
AD	MC1_DDR2_CLKP3	MC1_DDR2_CLKN3	MC1_DDR2_A04	MC1_DDR2_A01	MC1_DDR2_BA1	MC1_DDR2_A10	MEM_VREF
AE	MC1_DDR2_CLKP2	MC1_DDR2_CLKN2	MC1_DDR2_SCSN0	MC1_DDR2_A13	MC1_DDR2_BA0	MEM_VDDE	MC1_DDR2_DQ41

AF	MC1_DDR2_RASN	MC1_DDR2_SCSN2	MC1_DDR2_CASN	MC1_DDR2_SCSN1	MEM_VDDE	MC1_DDR2_DQ40	MC1_DDR2_DQ46
AG	MC1_DDR2_WEN	MC1_DDR2_ODT0	MC1_DDR2_ODT3	MEM_VDDE	MC1_DDR2_DQ36	MC1_DDR2_DQM5	MC1_DDR2_DQ42
AH	MC1_DDR2_ODT2	MC1_DDR2_SCSN3	MEM_VDDE	MC1_DDR2_DQM4	MC1_DDR2_DQ38	MC1_DDR2_DQ35	MC1_DDR2_DQSN5
AJ	MC1_DDR2_ODT1	MEM_VDDE	MC1_DDR2_DQ33	MC1_DDR2_DQSN4	MC1_DDR2_DQ39	MC1_DDR2_DQ44	MC1_DDR2_DQSP5
AK		MC1_DDR2_DQ37	MC1_DDR2_DQ32	MC1_DDR2_DQSP4	MC1_DDR2_DQ34	MC1_DDR2_DQ45	MC1_DDR2_CLKP4
	1	2	3	4	5	6	7

图 8.1 顶层引脚排列（左侧）

8	9	10	11	12	13	14	15
HT1_TX_CLKn0	HT1_TX_CADp05	HT1_TX_CADn05	HT1_TX_CADp07	HT1_TX_CADn07	HT1CLKp	HT1_RX_CTLn0	HT1_RX_CTLp0
HT1_TX_CADp04	HT_VDDE	HT1_TX_CADp06	HT_VDDE	HT1_TX_CTLp0	HT1CLKn	HT_VDDE	HT1_RX_CADn07
HT1_TX_CADn04	HT_VDDE	HT1_TX_CADn06	HT_VDDE	HT1_TX_CTLn0	HT1_PLL_AVDD	HT_VDDE	HT1_RX_CADp07
HT_GNDE	HT1_TX_CADn13	HT_GNDE	HT1_TX_CADn15	HT_GNDE	HT1_PLL_AGND	HT1_RX_CTLp1	HT_GNDE
HT_GNDE	HT1_TX_CADp13	HT_GNDE	HT1_TX_CADp15	HT_GNDE	HT1_PLL_DVDD	HT1_RX_CTLn1	HT_GNDE
HT1_TX_CADn12	HT1_TX_CADp14	HT1_TX_CADn14	HT1_TX_CTLn1	HT1_TX_CTLp1	HT1_PLL_DGND	HT1_RX_CADn15	HT1_RX_CADp15
HT_VDD	HT_VDD	HT_GND	HT_GND	HT_VDD	HT_VDD	HT_GND	HT_GND
			GND	VDDE3V3	GND	VDDE3V3	GND
			VDDE3V3	GND	VDDE3V3	GND	VDDE3V3
			GND	VDD	GND	VDD	GND
			VDDE3V3	GND	VDD	GND	VDD
			GND	VDD	GND	VDD	GND
			VDDE3V3	GND	VDD	GND	VDD
			GND	VDD	GND	VDD	GND
			VDDE3V3	GND	VDD	GND	VDD
			GND	VDD	GND	VDD	GND
			VDDE3V3	GND	VDD	GND	VDD
MEM_GNDE	MC1_DDR2_DQ52	MEM_GNDE	MC1_DDR2_DQ61	MEM_VREF	VDDE3V3	GND	VDD
MEM_GNDE	MC1_DDR2_DQ48	MEM_GNDE	MC1_DDR2_DQ50	MEM_VREF	RESERVED	VDDE3V3	GND
MC1_DDR2_DQ43	MC1_DDR2_DQ53	MC1_DDR2_DQ49	MC1_DDR2_DQ60	MC1_DDR2_DQ59	RESERVED	RESERVED	RESERVED
MC1_DDR2_DQ47	MEM_GNDE	MC1_DDR2_DQ54	MEM_GNDE	MC1_DDR2_DQ58	RESERVED	RESERVED	RESERVED
MC1_DDR2_CLKN5	MC1_DDR2_DQSP6	MC1_DDR2_DQ56	MC1_DDR2_DQ63	MC1_DDR2_DQSN7	RESERVED	DDR_PLL_GND	DDR_PLL_GNDE
MC1_DDR2_CLKP5	MC1_DDR2_DQSN6	MC1_DDR2_DQ51	MC1_DDR2_DQ57	MC1_DDR2_DQSP7	RESERVED	DDR_PLL_DVDD	DDR_PLL_AVDD
MC1_DDR2_CLKN4	MC1_DDR2_DQM6	MC1_DDR2_DQ55	MC1_DDR2_DQM7	MC1_DDR2_DQ62	LPC_RESETN	LPC_CLK	MEMCLK
8	9	10	11	12	13	14	15

图 8.2 顶层引脚排列（中间 1）



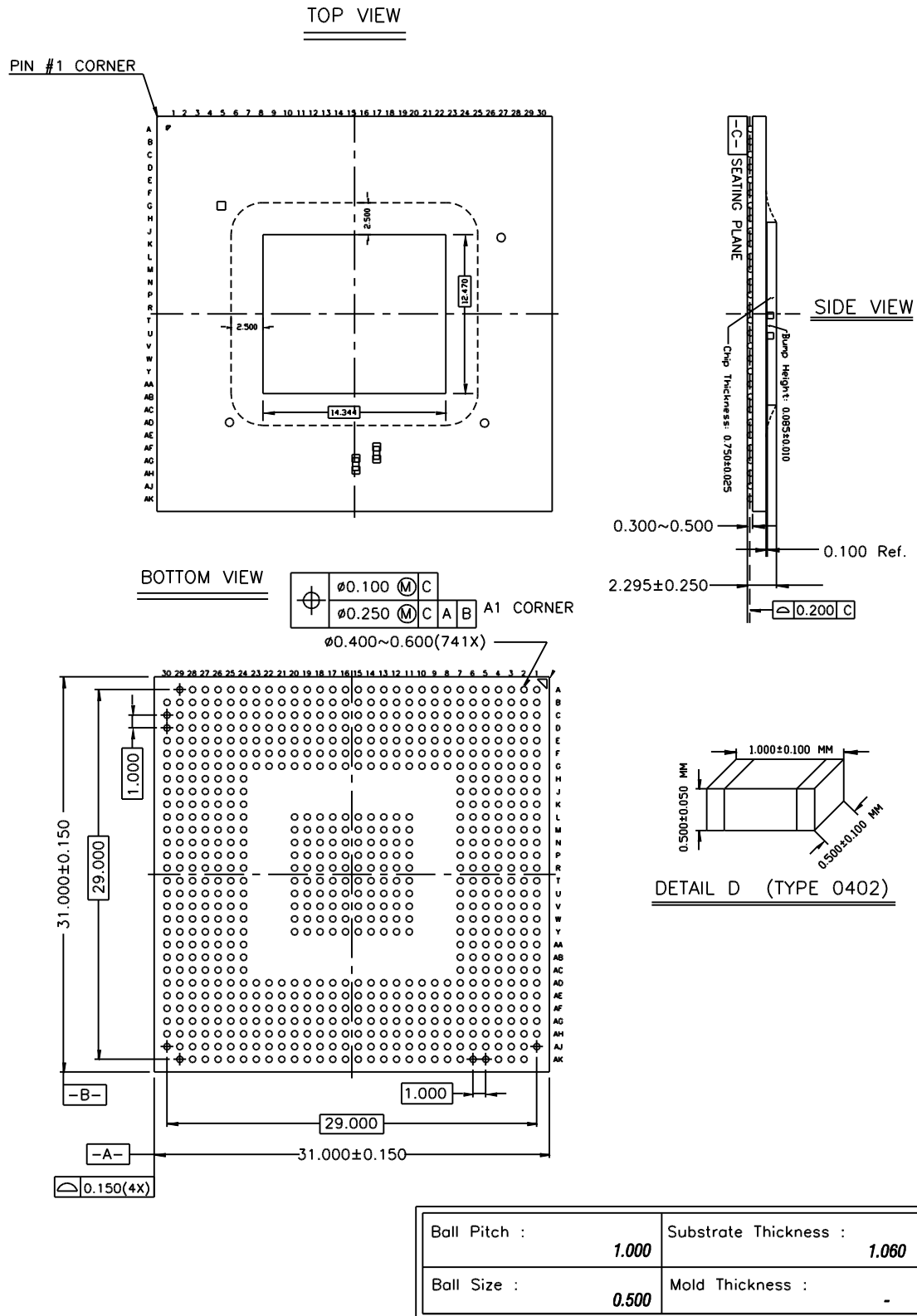
16	17	18	19	20	21	22	23
HT1_RX_CADn06	HT1_RX_CADp06	HT1_RX_CADn04	HT1_RX_CADp04	HT1_RX_CADn03	HT1_RX_CADp03	HT1_RX_CADn01	HT1_RX_CADp01
HT_VDDE	HT1_RX_CADn05	HT_VDDE	HT1_RX_CLKn0	HT_VDDE	HT1_RX_CADn02	HT_VDDE	HT1_RX_CADn00
HT_VDDE	HT1_RX_CADp05	HT_VDDE	HT1_RX_CLKp0	HT_VDDE	HT1_RX_CADp02	HT_VDDE	HT1_RX_CADp00
HT1_RX_CADp14	HT_GNDE	HT1_RX_CADp12	HT_GNDE	HT1_RX_CADp11	HT_GNDE	HT1_RX_CADp09	HT_GNDE
HT1_RX_CADn14	HT_GNDE	HT1_RX_CADn12	HT_GNDE	HT1_RX_CADn11	HT_GNDE	HT1_RX_CADn09	HT_GNDE
HT1_RX_CADn13	HT1_RX_CADp13	HT1_RX_CLKp1	HT1_RX_CLKn1	HT1_RX_CADn10	HT1_RX_CADp10	HT1_RX_CADn08	HT1_RX_CADp08
HT_VDD	HT_VDD	HT_GND	HT_GND	HT_VDD	HT_VDD	HT_GND	HT_GND
VDDE3V3	GND	VDDE3V3	GND	VDDE3V3			
GND	VDDE3V3	GND	VDDE3V3	GND			
VDD	GND	VDD	GND	VDD			
GND	VDD	GND	VDD	GND			
VDD	GND	VDD	GND	VDD			
GND	VDD	GND	VDD	GND			
VDD	GND	VDD	GND	VDD			
GND	VDD	GND	VDD	GND			
VDD	GND	VDD	GND	VDD			
GND	VDD	GND	VDD	GND			
GND	VDD	GND	MEM_VREF	MC0_DDR2_DQ61	MEM_GNDE	MC0_DDR2_DQ52	MEM_GNDE
VDD	GND	VDD	MEM_VREF	MC0_DDR2_DQ50	MEM_GNDE	MC0_DDR2_DQ48	MEM_GNDE
GND	VDD	GND	MC0_DDR2_DQ59	MC0_DDR2_DQ60	MC0_DDR2_DQ49	MC0_DDR2_DQ53	MC0_DDR2_DQ43
VDD	GND	VDD	MC0_DDR2_DQ58	MEM_GNDE	MC0_DDR2_DQ54	MEM_GNDE	MC0_DDR2_DQ47
GND	VDD	GND	MC0_DDR2_DQSN7	MC0_DDR2_DQ63	MC0_DDR2_DQ56	MC0_DDR2_DQSP6	MC0_DDR2_CLKN5
VDD	GND	VDD	MC0_DDR2_DQSP7	MC0_DDR2_DQ57	MC0_DDR2_DQ51	MC0_DDR2_DQSN6	MC0_DDR2_CLKP5
GND	VDD	GND	MC0_DDR2_DQ62	MC0_DDR2_DQM7	MC0_DDR2_DQ55	MC0_DDR2_DQM6	MC0_DDR2_CLKN4
16	17	18	19	20	21	22	23

图 8.3 顶层引脚排列（中间 2）

24	25	26	27	28	29	30	
HT1_LO_RSTN	SYSCLK	HTCLK	INTN2	TDO	TRST		A
HT1_LO_HOSTMODE	SYSRESETN	SPI_SCK	INTN3	INTN0	TMS	TDI	B
HT1_HI_HOSTMODE	CORE_PLL_AVDD	SPI_SDO	NMIN	INTN1	GND	TCK	C
<b>VDDESB</b>	CORE_PLL_GNDE	SPI_SDI	TESTCLK	GND	VDDE3V3	GND	D
HT1_LO_POWEROK	<b>VDDESB</b>	DOTEST	GND	VDDE3V3	EJTAG_TDO	EJTAG_TRST	E
HT1_LO_LDT_REQN	CORE_PLL_DVDD	GND	VDDE3V3	EJTAG_TMS	EJTAG_TDI	EJTAG_TCK	F
HT1_LO_LDT_STOPN	CORE_PLL_GND	VDDE3V3	GPIO15	GPIO14	GPIO13	GPIO12	G
GND	GND	GPIO07	GPIO08	GPIO09	GPIO10	GPIO11	H
VDDE3V3	VDDE3V3	GPIO06	GPIO05	GPIO04	GPIO03	GPIO02	J
GND	GND	LPC_ROM8MBITS	LPC_SERIRQ	LPC_LFRAMEN	GPIO01	GPIO00	K
MEM_VREF	MEM_VREF	LPC_ROMINTEL	LPC_LAD3	LPC_LAD2	LPC_LAD1	LPC_LAD0	L
MC0_DDR2_DQ00	MC0_DDR2_DQ04	MC0_DDR2_DQ05	MEM_GNDE	MC0_DDR2_DQSNO	MC0_DDR2_DQSP0	MC0_DDR2_DQ06	M
MEM_GNDE	MEM_GNDE	MC0_DDR2_DQ01	MC0_DDR2_DQM0	MC0_DDR2_DQ07	MC0_DDR2_DQ02	MC0_DDR2_DQ03	N
MC0_DDR2_DQ12	MC0_DDR2_DQ13	MC0_DDR2_DQ08	MEM_GNDE	MC0_DDR2_DQSN1	MC0_DDR2_DQSP1	MC0_DDR2_DQ15	P
MEM_GNDE	MEM_GNDE	MC0_DDR2_DQ09	MC0_DDR2_DQM1	MC0_DDR2_DQ14	MC0_DDR2_DQ10	<b>MC0_DDR2_CLKP1</b>	R
MC0_DDR2_DQ11	MC0_DDR2_DQ20	MC0_DDR2_DQ21	MEM_GNDE	<b>MC0_DDR2_CLKP0</b>	<b>MC0_DDR2_CLKN0</b>	<b>MC0_DDR2_CLKN1</b>	T
MEM_GNDE	MEM_GNDE	MC0_DDR2_DQ16	MC0_DDR2_DQ17	MC0_DDR2_DQSP2	MC0_DDR2_DQSN2	MC0_DDR2_DQM2	U
MC0_DDR2_DQM8	MC0_DDR2_DQ19	MC0_DDR2_DQM3	MEM_GNDE	MC0_DDR2_DQ22	MC0_DDR2_DQ18	MC0_DDR2_DQ23	V
MEM_GNDE	MEM_GNDE	MC0_DDR2_DQ30	MC0_DDR2_DQ31	MC0_DDR2_DQ24	MC0_DDR2_DQ25	MC0_DDR2_DQ29	W
MC0_DDR2_RESETN	MC0_DDR2_DQ26	MC0_DDR2_DQ27	MEM_GNDE	MC0_DDR2_DQSP3	MC0_DDR2_DQSN3	MC0_DDR2_DQ28	Y
MEM_VDDE	MEM_VDDE	MC0_DDR2_A12	MC0_DDR2_A14	MC0_DDR2_A11	MC0_DDR2_CKE1	MC0_DDR2_CKE0	AA
MC0_DDR2_A06	MC0_DDR2_A07	MC0_DDR2_A09	MEM_VDDE	MC0_DDR2_A08	MC0_DDR2_CKE2	MC0_DDR2_CKE3	AB
MEM_VDDE	MC0_DDR2_A00	MC0_DDR2_A02	MC0_DDR2_A03	MC0_DDR2_A05	MEM_VDDE	MC0_DDR2_BA2	AC
MEM_VREF	MC0_DDR2_A10	MC0_DDR2_BA1	MC0_DDR2_A01	MC0_DDR2_A04	<b>MC0_DDR2_CLKN3</b>	<b>MC0_DDR2_CLKP3</b>	AD
MC0_DDR2_DQ41	MEM_VDDE	MC0_DDR2_BA0	MC0_DDR2_A13	MC0_DDR2_SCSN0	<b>MC0_DDR2_CLKN2</b>	<b>MC0_DDR2_CLKP2</b>	AE
MC0_DDR2_DQ46	MC0_DDR2_DQ40	MEM_VDDE	MC0_DDR2_SCSN1	MC0_DDR2_CASN	MC0_DDR2_SCSN2	MC0_DDR2_RASN	AF
MC0_DDR2_DQ42	MC0_DDR2_DQM5	MC0_DDR2_DQ36	MEM_VDDE	MC0_DDR2_ODT3	MC0_DDR2_ODT0	MC0_DDR2_WEN	AG
MC0_DDR2_DQSN5	MC0_DDR2_DQ35	MC0_DDR2_DQ38	MC0_DDR2_DQM4	MEM_VDDE	MC0_DDR2_SCSN3	MC0_DDR2_ODT2	AH
MC0_DDR2_DQSP5	MC0_DDR2_DQ44	MC0_DDR2_DQ39	MC0_DDR2_DQSN4	MC0_DDR2_DQ33	MEM_VDDE	MC0_DDR2_ODT1	AJ
<b>MC0_DDR2_CLKP4</b>	MC0_DDR2_DQ45	MC0_DDR2_DQ34	MC0_DDR2_DQSP4	MC0_DDR2_DQ32	MC0_DDR2_DQ37		AK
24	25	26	27	28	29	30	

图 8.4 顶层引脚排列（右侧）

## 9 封装机械尺寸



## 10 不使用引脚处理

无论相关总线使用与否，相关的电源地信号必须正确连接。

## 10.1 系统配置引脚

系统配置引脚包括 DOTEST、CLKSEL、ICCC\_EN、NODEID、SYS\_CONFIG，不可悬空，必须连接正确输入。

## 10.2 LPC 总线

LPC 总线在龙芯 2G 中是 BIOS 启动总线，无法不使用。LPC\_IRQ 信号在不使用时可以不处理。

## 10.3 SPI/UART/GPIO 总线

SPI、UART 或 GPIO 总线不使用时可以不处理。

## 10.4 DDR 总线

DDR 总线不使用时可以不处理。

## 10.5 HyperTransport 总线

HyperTransport 总线不使用时可以不处理。

## 10.6 JTAG/EJTAG 总线、TESTCLK

JTAG/EJTAG 总线、TESTCLK 不使用时可以不处理。

## 10.7 系统中断管脚

系统中断管理包括 INTn 与 NMI<sub>n</sub>，不使用时可以不处理。

## 10.8 保留管脚

管脚列表中被标记为“RESERVED”的管脚需要悬空。